# 北京大学信息科学技术学院考试试卷

**考试科目：** 数字逻辑电路　　**姓名：**_____ **学号：**_____

**考试时间：** 2008 年 06 月 19 日 **任课教师:** _____

| 题号 | 一 | 二 | 三 | 四 | 五 | 六 | 七 | 八 | **总分** |
|---|---|---|---|---|---|---|---|---|---|
| 分数 | | | | | | | | | |
| 阅卷人 | | | | | | | | | |

装订线内

不要答题

**考 场 纪 律**

1. 请持学生证入场考试，并按指定座位就座；除必要的文具和教师指定的用具用书外，其他所有物品包括手机、呼机、MP3、电子词典、书籍、笔记、纸张等严禁带入座位，必须放在指定位置。凡有试题印制问题请向监考教师提出，不得向其他考生询问。
2. 认真、诚实、独立并在规定时间内完成答卷，严禁任何形式的违纪作弊行为；否则，本答卷成绩以 0 分记，并根据《北京大学本科考试工作与学术规范条例》给予纪律处分。
3. 提前交卷的考生不要在考场逗留，不要在门口、窗外大声喧哗。考试结束时间到，请停止答卷，在座位等候监考教师收卷并清点完毕，方可离开考场；考题和试卷不得带出考场。

以下为试题和答题纸，共 12 页。

一．填空题（15 分）

1．4 比特二进制减计数器的初始状态从高位到低位依次为 $Q_DQ_CQ_BQ_A$＝0101，经过 7 个有效时钟周期后，其状态为 $Q_DQ_CQ_BQ_A$＝_____

2．同步时序逻辑电路最简状态转移图中含 $m$ 个状态，假定该电路所用触发器个数为 $n$，则 $m$ 和 $n$ 应满足如下关系_____；用二进制异步计数器从 0 计到 87，至少需要_____级 D 触发器

3．三个级联非门首尾相接构成的电路，会产生_____现象；

4．由与非门构成的 RS 触发器，其特征方程为_____

5．常见的 AD 转换器有并行比较型、逐位比较型和双积分型 ADC 等，其中转换速度最快的是_____

6．FPGA 是_____的英文缩写

7．若一个存储器的容量是 512K×8，则其地址位宽为_____

8．判断题（正确填 T，错误填 F）

1）VHDL 中不区分大小写，注释以“-”开头 _____

2）VHDL 中实体名、结构体名都必须与该 VHDL 文件名相同 _____

3）5V 标准的 TTL 和 CMOS 中小规模组件可以直接相联 _____

9．现有 8 位二进制补码表示的有符号数 A=1010101 和 B=1010，则：

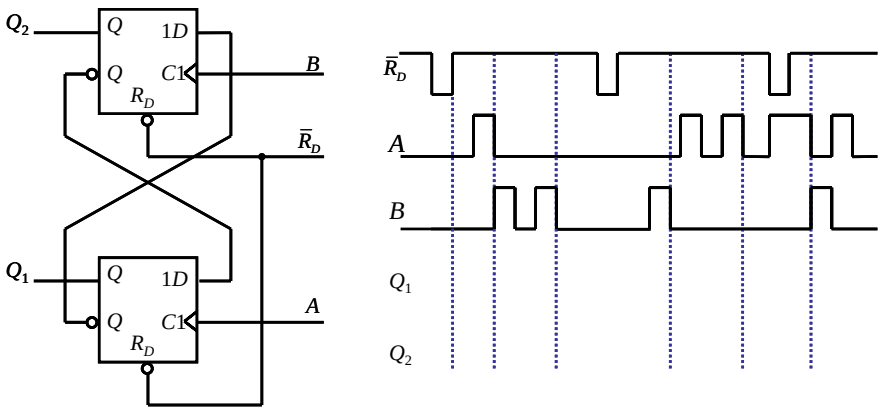
A+B=_____，加法运算结果_____溢出，_____进位；

A–B=_____，减法运算结果_____溢出，_____借位。

二．（15 分）分析如图所示电路。根据 $\overline{R}_D$、$A$ 和 $B$ 的输入波形画出 $Q_1$ 和 $Q_2$ 波形（假定所有触发器初态为 0），说明电路功能。

装订线内

不要答题




答：

三．（20 分）同步时序逻辑电路设计：按照附表，用 D 触发器和门电路设计一个计数器。说明计数过程，画出逻辑图。

| $N$ | $Q_2$ | $Q_1$ | $Q_0$ |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 |
| 2 | 1 | 1 | 0 |
| 3 | 0 | 1 | 1 |
| 4 | 1 | 0 | 1 |
| 5 | 0 | 1 | 0 |
| 6 | 0 | 0 | 1 |

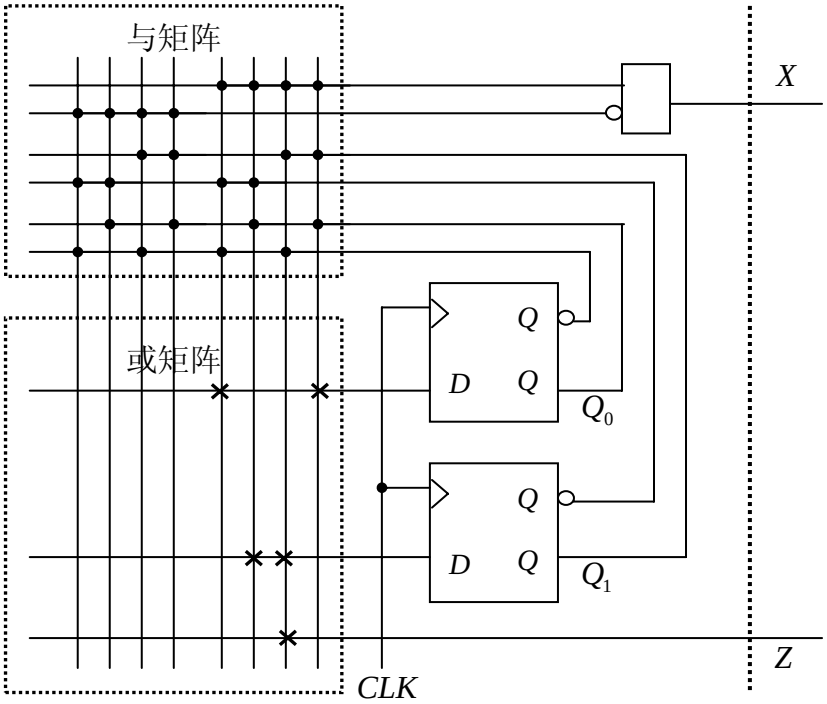
答：

装订线内

不要答题

四．（15 分）分析如图所示的可编程逻辑电路

1）作出状态转移图，说明电路功能




2）若用 GAL16V8-10 器件实现该电路，计算该电路能达到的最高工作频率。

**Table** Timing specifications, in nanoseconds, of popular bipolar and CMOS PLDs.

| Part numbers | Suffix | $t_{PD}$ | $t_{CO}$ | $t_{CF}$ | $t_{SU}$ | $t_H$ |
|---|---|---|---|---|---|---|
| GAL16V8, GAL20V8 | -7 | 7.5 | 5 | 3 | 5 | 0 |
| GAL16V8, GAL20V8 | -10 | 10 | 7.5 | 6 | 7.5 | 0 |
| GAL16V8, GAL20V8 | -15 | 15 | 10 | 8 | 12 | 0 |
| GAL16V8, GAL20V8 | -25 | 25 | 12 | 10 | 15 | 0 |
| PALCE22V10 | -5 | 5 | 4 | – | 3 | 0 |
| PALCE22V10 | -7 | 7.5 | 4.5 | – | 4.5 | 0 |
| GAL22V10 | -10 | 10 | 7 | 2.5 | 7 | 0 |
| GAL22V10 | -15 | 15 | 8 | 2.5 | 10 | 0 |
| GAL22V10 | -25 | 25 | 15 | 13 | 15 | 0 |

注释：

$t_{PD}$：该参数适用于组合逻辑电路输出。它是指信号从一个输入引脚、或双向引脚、或“反馈”引脚输入传送到组合型输出的传播延迟。“反馈”输入是“与或”阵列的一个内部输入，该阵列由一个内部宏单元的寄存器型输出驱动。

$t_{CO}$：该参数适用于寄存器型输出。它是指从 CLK 的上升沿开始，到产生一个输出为止的传播延迟。

$t_{CF}$：该参数也适用于寄存器型输出。它是指从 CLK 的上升沿开始，到一个宏单元的寄存器型输出被送回到反馈输入端为止的传播延迟。如果 $t_{CF}$ 被指定，它通常小于 $t_{CO}$。但是，有些厂商并不指定 $t_{CF}$，这时你必须假设 $t_{CF} = t_{CO}$。

$t_{SU}$：该参数适用于传输到触发器 D 输入端的信号，包括输入引脚、双向引脚或反馈引脚输入。它是指在 CLK 的上升沿到来之前，输入信号要达到稳定所必需的建立时间。

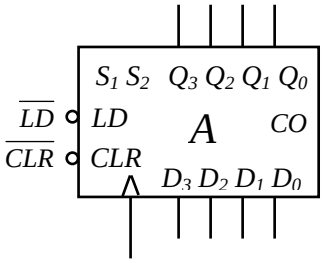
$t_H$：该参数也适用于传输到触发器 D 输入端的信号。它是指在 CLK 的上升沿到来之后，输入信号要达到稳定所必需的保持时间。

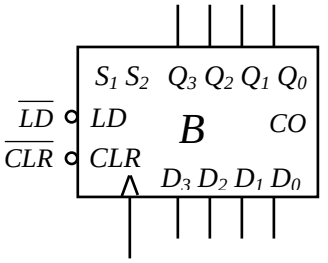
答：

装订线内

不要答题

五.（20 分）用两片带同步清除和同步置数端的 8421BCD 码计数器芯片 74LS162 接成六十进制计数电路（芯片功能表如下），其中 $CO$ 为进位输出信号，$D_i$ 和 $Q_i$ 分别为置数输入和数据输出。采用同步级联和异步级联两种方案进行设计（允许使用少量门电路），并说明各方案的优缺点。




| 输入信号 | | | | | 74LS162 芯片功能 |
|---|---|---|---|---|---|
| $\overline{CLR}$ | $\overline{LD}$ | $S_2$ | $S_1$ | $CP$ | |
| 0 | X | X | X | ↑ | 清零 |
| 1 | 0 | X | X | ↑ | 置数 |
| 1 | 1 | 1 | 1 | ↑ | 计数 |
| 1 | 1 | 0 | X | X | 状态保持（$CO=L$） |
| 1 | 1 | X | 0 | X | 状态保持（允许 $CO$ 输出） |

装订线内

不要答题

六.（15 分）阅读下列 VHDL 程序

```
-----------------------------------------------------------------------------------------
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
-----------------------------------------------------------------------------------------
ENTITY State_Mach1 is
    PORT(
        CP, D, NC       : IN      STD_LOGIC;
        OP              : OUT     STD_LOGIC);
END State_Mach1;
-----------------------------------------------------------------------------------------
ARCHITECTURE a OF State_Mach1 IS
    TYPE        STATE IS (S0,S1,S2,S3);
    SIGNAL      PState, NState    : STATE;

BEGIN
    Process (CP,NC)
    BEGIN
        IF NC = '0' THEN
                PState <= S0;
        ELSIF CP'EVENT AND CP = '1' THEN
                PState <= NState;
        END IF;
    END Process;
    PROCESS (D,PState)
    BEGIN
        CASE PState IS
            WHEN S0 =>                  --STATE S0
                IF D = '1' THEN
                    NState <= S0;
                    OP <= '0';
                ELSE
                    NState <= S1;
                    OP <= '0';
                END IF;
            WHEN S1 =>                  --STATE S1
                IF D = '1' THEN
```

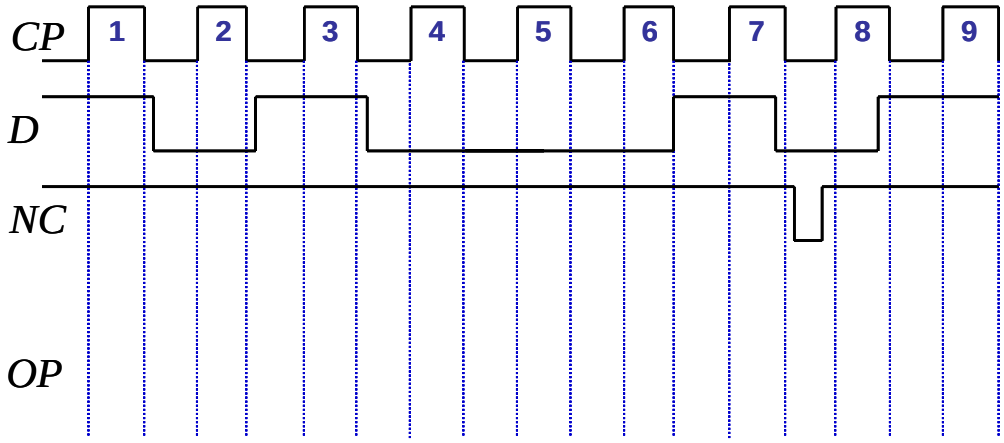
```
                NState <= S3;
                OP <= '0';
            ELSE
                NState <= S2;
                OP <= '0';
            END IF;
        WHEN S2 =>                  --STATE S2
            IF D = '0' THEN
                NState <= S2;
                OP <= '0';
            ELSE
                NState <= S3;
                OP <= '1';
            END IF;
        WHEN S3 =>                  --STATE S3
            IF D = '0' THEN
                NState <= S1;
                OP <= '1';
            ELSE
                NState <= S0;
                OP <= '0';
            END IF;
        WHEN OTHERS =>
            NState <= S0;
            OP <= '0';
    END CASE;
END PROCESS;
END a;
```

装订线内

不要答题

1）画相应状态转移图，指出它是 Mealy 型还是 Moore 型状态机？

2）输入信号如图所示，给出电路输出信号 OP 的波形（假定初态为 S0）




答：