

信息科学技术学院 2005-2006 学年第二学期

本科生期末考试试卷

考试科目:

考试时间: 2006 年 6 月

_____专业_____级_____班 主讲教师-----

姓名_____ 学号_____

题号	一	二	三	四	五	六	总分
得分							

装
订
线
内
请
勿
答
题

一. (20 分) 填空

1. 二进制数 $-(0.1111)_2$ 的反码为_____，补码为_____。
2. 4 比特二进制减法计数器的初始状态为 $Q_DQ_CQ_BQ_A=0101$ ，经过 7 个有效时钟周期后，其状态为 $Q_DQ_CQ_BQ_A=$ _____
3. 四位二进制同步计数器集成芯片 74LS161 功能表如下，可以看出它具有如下控制信号：_____/CLR、_____/LD 和时钟使能 S，其中控制信号_____的优先级最高（表中“X”表示任意，“↑”表示任意上升沿）

/CLR	/LD	S	CP	芯片功能
0	X	X	X	清零
1	0	X	↑	置数
1	1	1	↑	计数
1	1	0	X	保持

4. 10 级 D 触发器构成二进制同步计数器，最大模值为_____；
用二进制异步计数器从 0 计到 123，至少要_____级 D 触发器

5. CPU 内部的 Cache 属于以下哪种存储器_____；我们平常用的 U 盘，其存储介质属于以下哪种存储器_____
- A. PROM B. SDRAM C. (UV)EPROM D. Flash Memory
E. SRAM F. EEPROM G. DDR RAM H. 磁存储器
6. 并行存储器芯片 AT49F8192A 有 19 条地址线，16 条数据线，它的存储量是_____位，_____字节。用闪存芯片 AT29C512 (64K×8bits) 实现相同存储配置，需要_____片
7. GAL 器件由与矩阵、或矩阵和_____等 3 部分组成，GAL20V8 最多允许_____个输入和_____个输出
8. 常见的 AD 转换器有并行比较型、逐位比较型和双积分型 ADC 等，其中_____具有高精度、适中的转换速度、较低的功耗。AD 转换电路中，若将模拟信号转换为 N 位数字量，量化误差为_____；将 0V~5V 的模拟电平，转换为 8 位数字量 (0V 对应 00H, 5V 对应 FFH)，则 2V 电压转换成数字量为_____
9. 电平异步时序逻辑电路的记忆功能是由_____来实现的
10. 所谓 SAM 存储器是指_____； GAL 的英文全称是_____

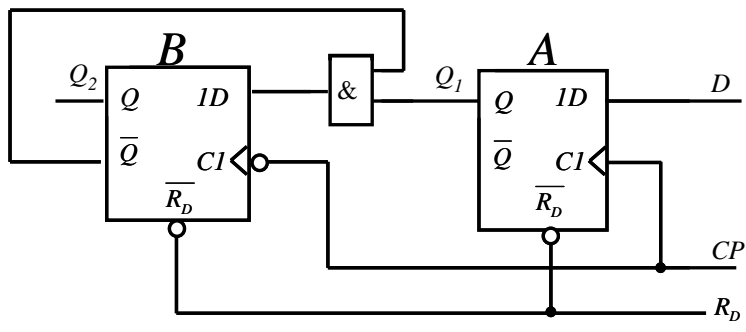
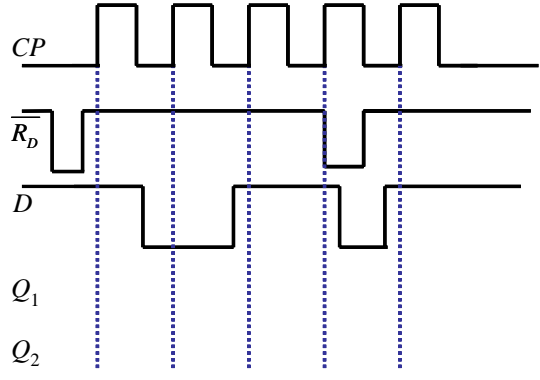
二. (10 分) 用 8 位补码完成下列运算，指出是否发生进位和溢出

1) . 00111001 2) . $-(65)_{10} - (67)_{10} = ?$

$$\begin{array}{r} 00111001 \\ + 11010111 \\ \hline \end{array}$$

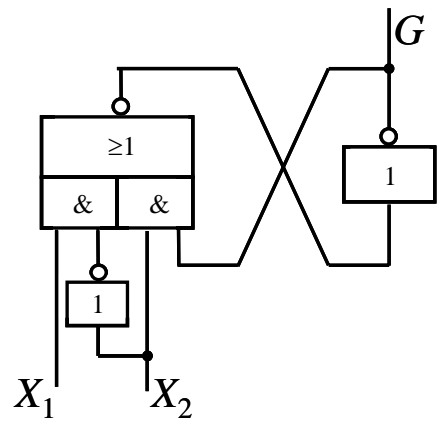
装
订
线
内
请
勿
答
题

三. (15分) 如图所示电路和输入信号, 假定 Q_1, Q_2 初态为“11”, 试画出输出端 Q_1, Q_2 波形 (图中 $\overline{R_D}$ 为 D 触发器异步复位信号,)



四. (20分) 分析如图异步时序电路:

- 1) 写出逻辑表达式
- 2) 假定电路初态 $G=0$, 输入序列 X_2X_1 为 $10 \rightarrow 11 \rightarrow 01 \rightarrow 11 \rightarrow 10 \rightarrow 00 \rightarrow 10$, 画出输出 G 的时序图.
- 3) 画状态转移图, 说明电路功能



四答:

五. (20分) 设计 1 个四进制可逆同步计数器 (既能加计数又能减计数, 用输入端 X 进行控制。 $X=1$ 时加计数, $X=0$ 时减计数), 用 PAL 实现该电路.

- 1) 画出状态转移图.
- 2) 给出真值转换表, 逻辑函数式.
- 3) 画出逻辑图 (用 PAL 实现).

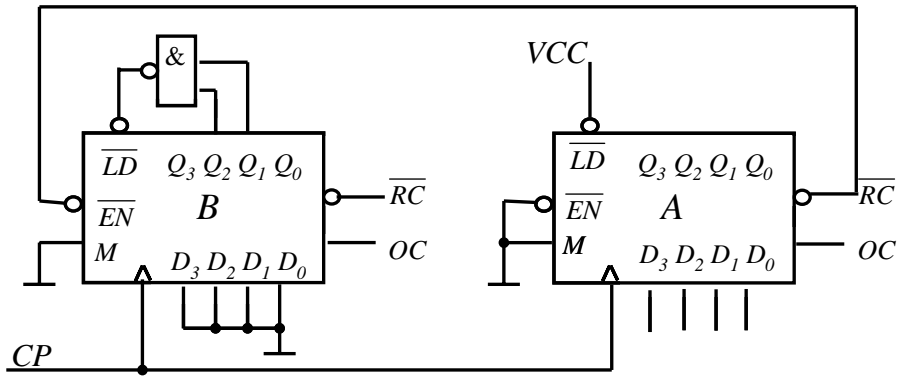
五答:

装
订
线
内
请
勿
答
题

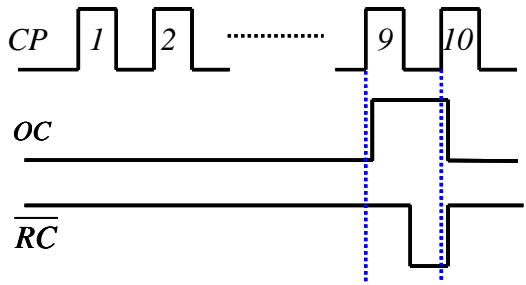
装
订
线
内
请
勿
答
题

六. (15分) 两片同步 8421BCD 码加/减计数器 74LS190 芯片接成如图电路, 根据芯片功能表和输出信号波形 (OC 为进位/借位输出, \overline{RC} 为串行时钟输出信号)

- 1) 画芯片 A、B 的状态转移图, 分析电路功能, 该电路有何特点?
- 2) 若要保持电路功能不变, 但芯片 B 的 \overline{EN} 的信号改为由芯片 A 的 OC 输出, 是否可行? 若不行, 应如何改进?
- 3) 若要保持电路功能不变, 可否将芯片 A 的 \overline{RC} 或 OC 信号作为芯片 B 的触发脉冲? \overline{RC} 和 OC 作为触发脉冲时, 有何不同?



74LS190 芯片功能表				
\overline{LD}	\overline{EN}	M	CP	芯片功能
0	X	X	X	并行送数 (与 CP 无关)
1	0	0	↑	加计数
1	0	1	↑	减计数
1	1	X	X	状态保持 (输出 $\overline{RC} = 1$)



- 4) 若要实现级数为 4、周期为 2008 的多级计数器，请给出一种电路工作频率尽可能高的实现方案，并说明理由。

六答：