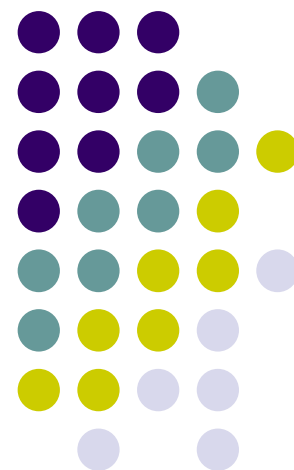


数字集成电路原理

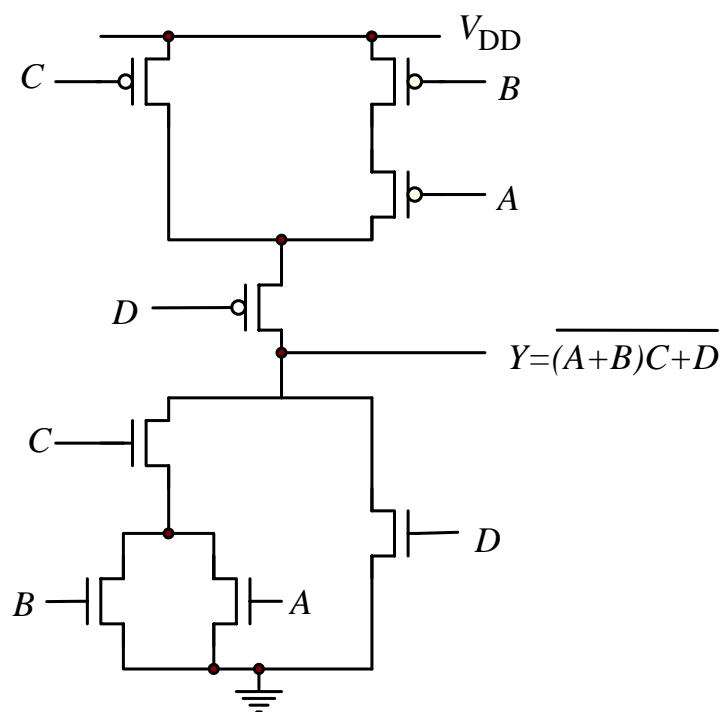
课堂讨论3





讨论题1

分析如下电路在各种输入状态下的 K_{Neff} 和 K_{Peff} ，确定电路的直流噪声容限，假定所有MOS管的阈值电压绝对值都是 V_T ，导电因子都是 K 。



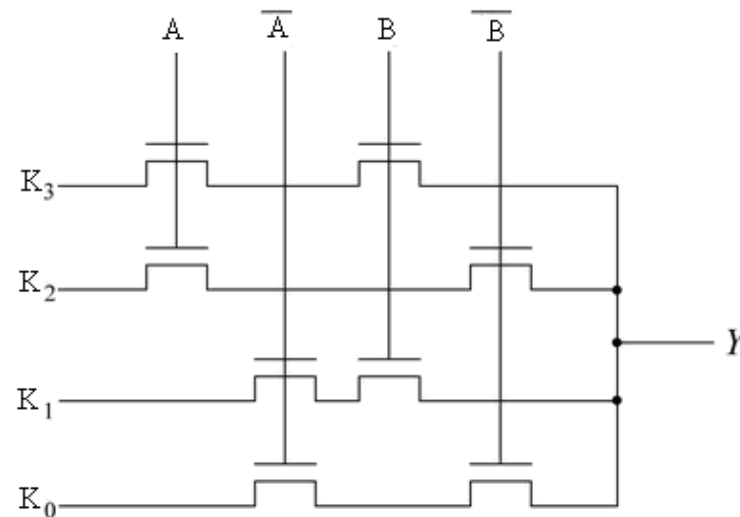


讨论题2-3

2、如何实现下述逻辑功能，画出对应的静态**CMOS**电路。

$$Y = \overline{AC + BD + ADE + BCE}$$

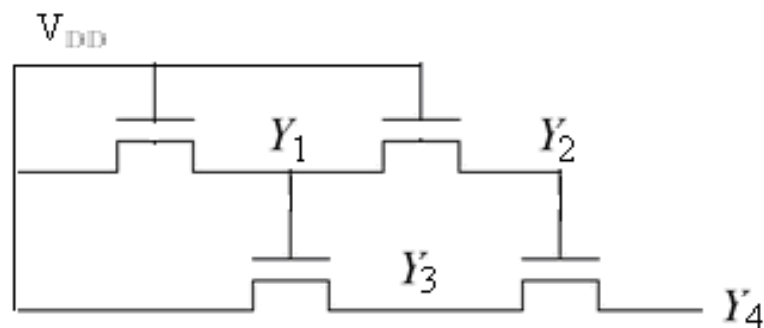
3、若所有输入信号的高电平是**VDD**，低电平是0，所有**MOS**管的阈值电压是**VT**，导电因子是**K**，分析传输门阵列的输出高、低电平以及传输延迟时间。





讨论题4

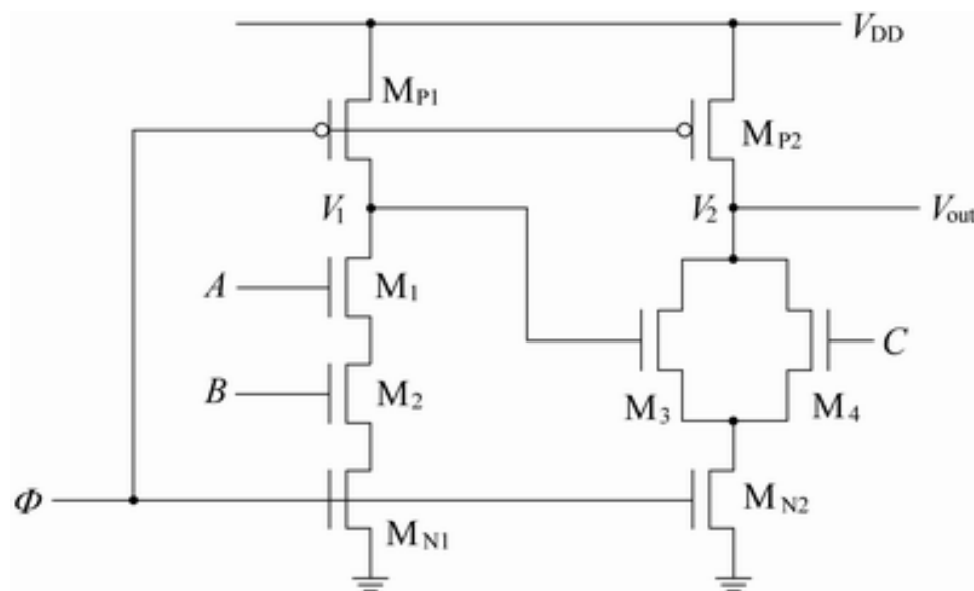
4、分析下图电路中各节点的电压，近似分析Y4的传输延迟时间。



讨论题5



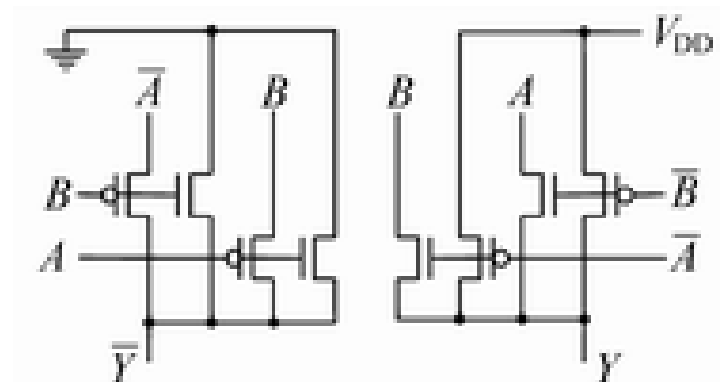
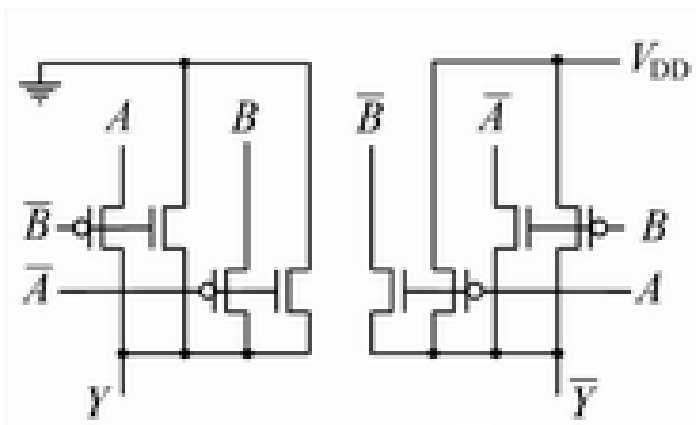
5、在保证功能不变的前提下，如何改进如下电路，使电路能可靠工作。



讨论题6



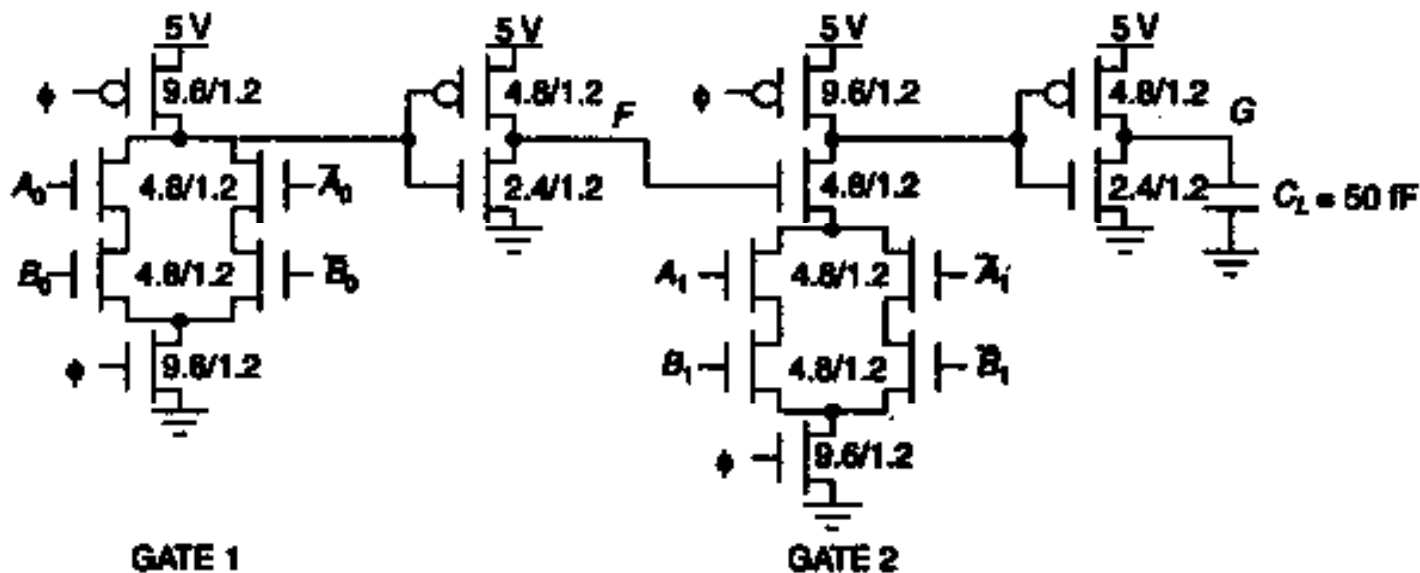
6、分析如下**DPL**电路的逻辑功能和高、低电平。





讨论题7

下图是2级多米诺电路，分析电路中**F**和**G**的逻辑功能，并分析**F**和**G**的输出哪一个更易受到电荷分享的影响，近似分析从输入到**G**的传输延迟时间。





讨论题8

如图一个TTL电路，已知 $R2/R3 = 1.6$ ， $I_L = 1.6\text{mA}$ ，输出低电平时电源电流为 5.5mA ，输出高电平时电源电流为 2mA ，电源电压为 5V ， $V_{BE(\text{on})} = 0.8\text{V}$ 考虑电阻的制造误差为 20% ，电源电压有 10% 的波动，设计 $R1$ 、 $R2$ 和 $R3$ 的标称值。

