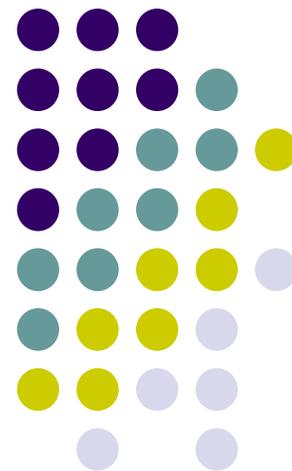


数字集成电路原理

课堂讨论2



讨论题1



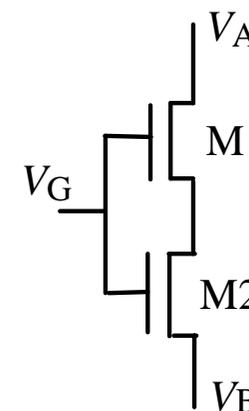
1、如图所示，M1和M2两管串联， $V_B < V_G - V_T < V_A$ ，

1) 若都是NMOS，它们各工作在什么状态？

2) 若都是PMOS，它们各工作在什么状态？

3) 证明两管串联的等效导电因子是

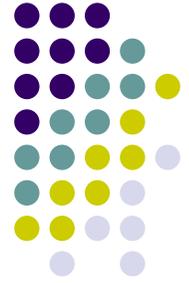
$$K_{eff} = K_1 K_2 / (K_1 + K_2)。$$



4) 如果改变 V_A 和 V_B ，两管工作状态可能都为线性区吗？

可能都为饱和区吗？如果两管阈值电压不等，

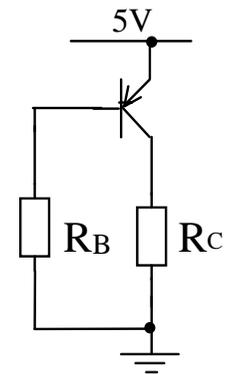
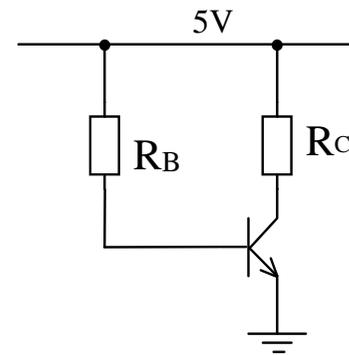
可以求出 K_{eff} 吗？



讨论题2

分析NPN和PNP晶体管的工作状态（截止、放大、饱和），计算其集电极电流 I_C ，NPN晶体管参数如下： $\beta=100$ ， $V_{BE(on)}=0.7V$ ， $V_{CES}=0.2V$ ；PNP晶体管的参数如下： $\beta=80$ ， $V_{BE(on)}=-0.7V$ ， $V_{CES}=-0.2V$ ；考虑以下3种电阻值情况：

- a) $R_B=5\text{ k}\Omega$ ， $R_C=1\text{ k}\Omega$;
- b) $R_B=50\text{ k}\Omega$ ， $R_C=0.5\text{ k}\Omega$;
- c) $R_B=10\text{ k}\Omega$ ， $R_C=250\text{ }\Omega$ 。
- d) R_B 和 R_C 阻值可以任意取吗？

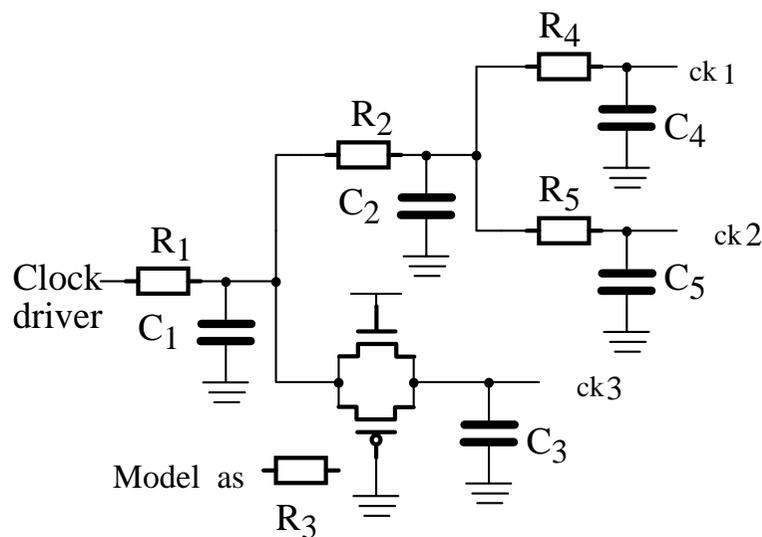


讨论题3



如图是一个时钟信号线的分布示意图，为了避免局部时钟信号ck1、ck2、ck3之间有偏移，要求从时钟信号源到ck1、ck2、ck3的延迟时间近似相等。

- 1) 写出时钟信号源到ck1、ck2、ck3的RC延迟的表达式，
- 2) 若 $R_1=R_2=R_4=R_5=R$ ， $C_1=C_2=C_3=C_4=C_5=C$ ， R_3 应该多大？



讨论题4-6



- 4、如果把CMOS反相器中的NMOS和PMOS颠倒连接,电路能否工作。
- 5、如果用2个增强型PMOS构成反相器,电路如何连接。
- 6、分析耗尽型负载NMOS反相器的直流电压传输特性和阶跃输入下的输出上升、下降时间。

讨论题7



- 如果根据瞬态特性设计，使 $V_{it}=2.1V$ ，
应如何调整器件尺寸满足噪声容限要求？
- 如果根据瞬态特性设计，使 $V_{it}=2.9V$ ，
应如何调整器件尺寸满足噪声容限要求？