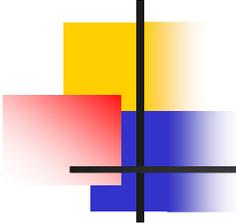


# 第八章

---

## VLSI设计方法



# 电路设计

---

- 电路设计就是完成满足一定约束条件的、可以正确实现某种功能的电路产品
- 约束条件：
  - 速度
  - 面积
  - 功耗
  - 可靠性
  - 可测性。 。 。

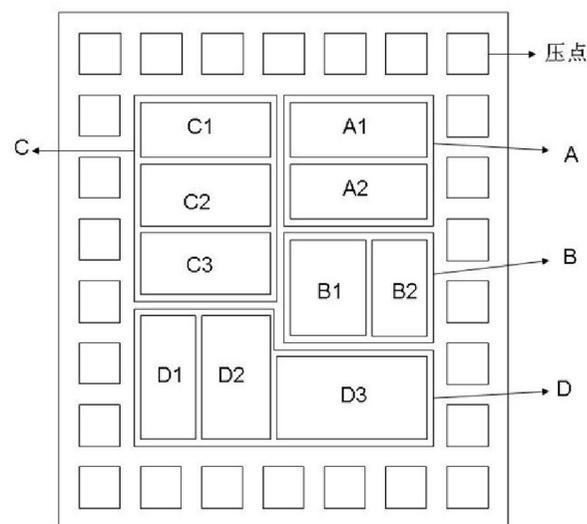
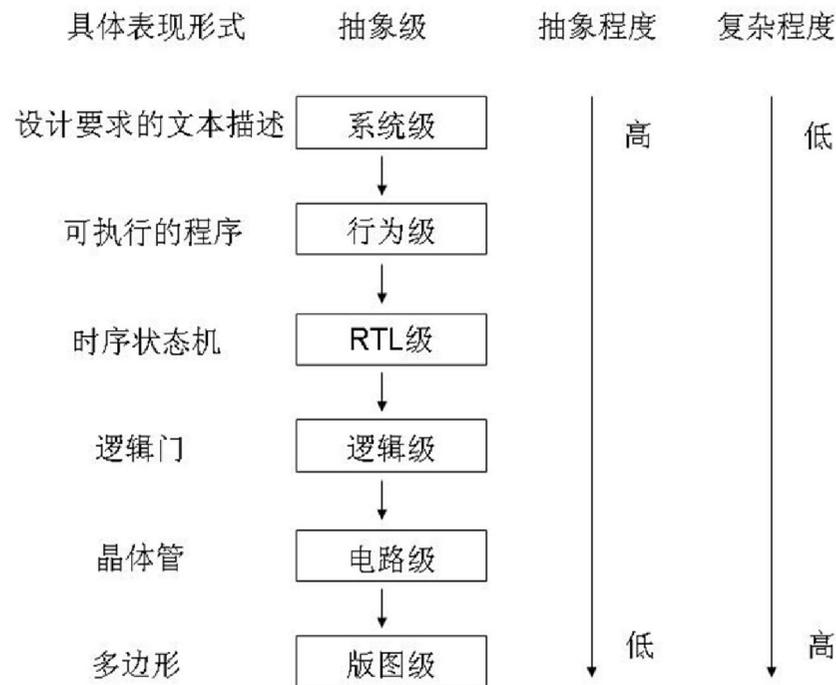
# 集成电路的设计过程

- 现代VLSI的设计过程是一个从抽象到具体的过程
- 抽象的目的是提高设计层级，提高设计能力
- 设计的过程就是逐步对高层级的抽象设计向低层级的设计进行映射的过程

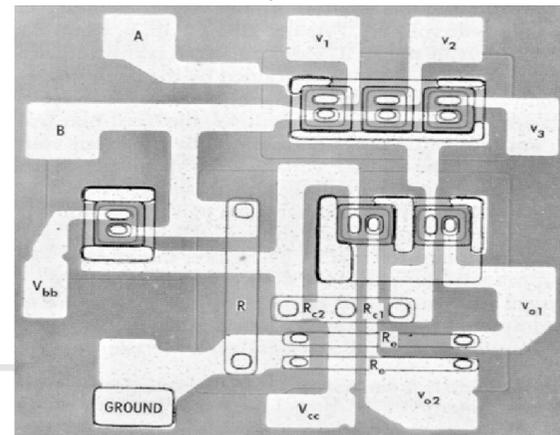


# 设计层级

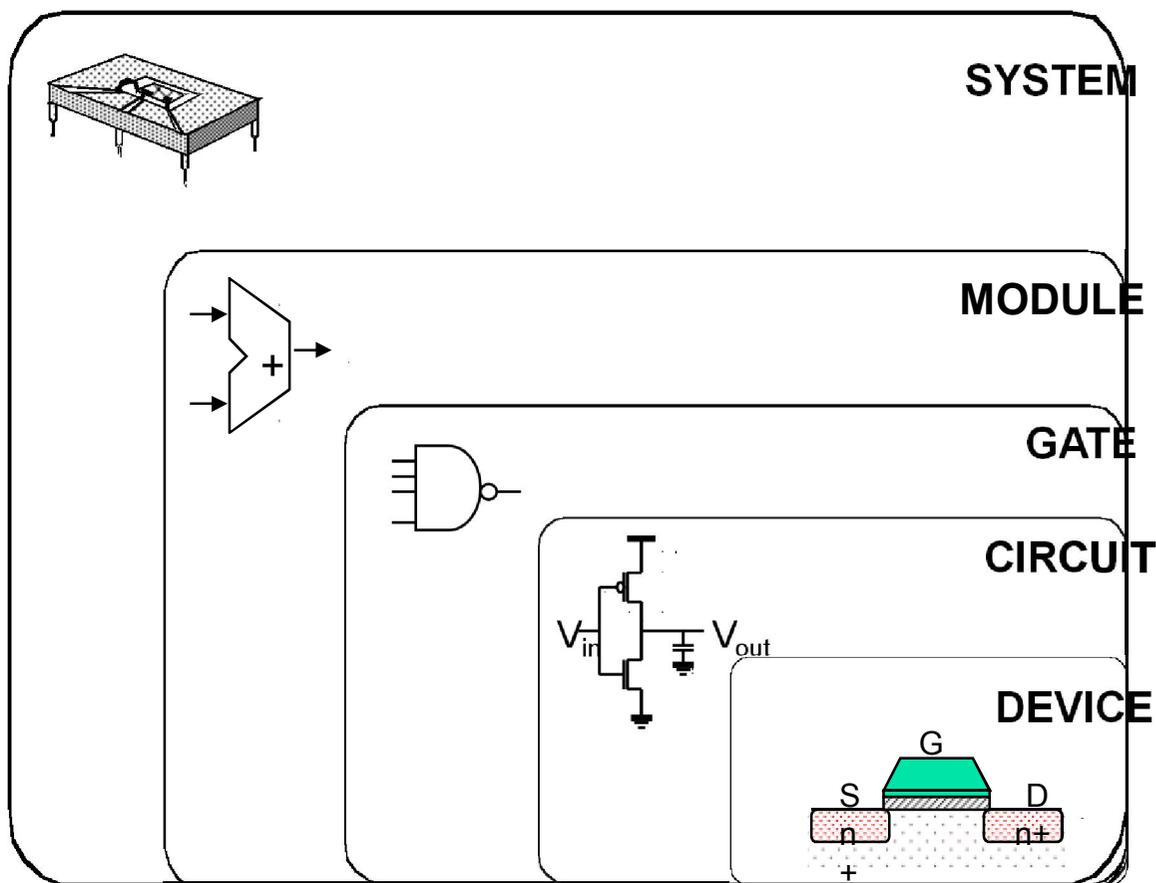
- 面对设计规模的挑战人们需要提高设计层级来有效的完成
- Divide and conquer
- 层次化和模块化有助于设计分工、管理和重复利用



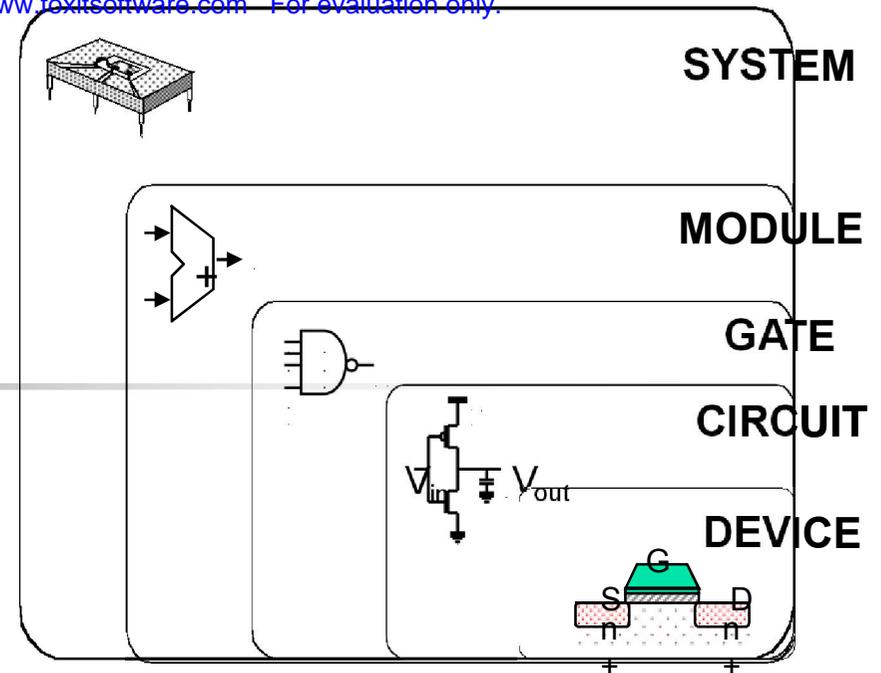
# 集成电路的设计层级



- 最早的IC设计在最底层完成，即根据版图数据加工掩模版，然后利用掩模版进行半导体加工
- 当时的IC设计人员同机械和建筑设计人员类似，用直尺和坐标纸工作



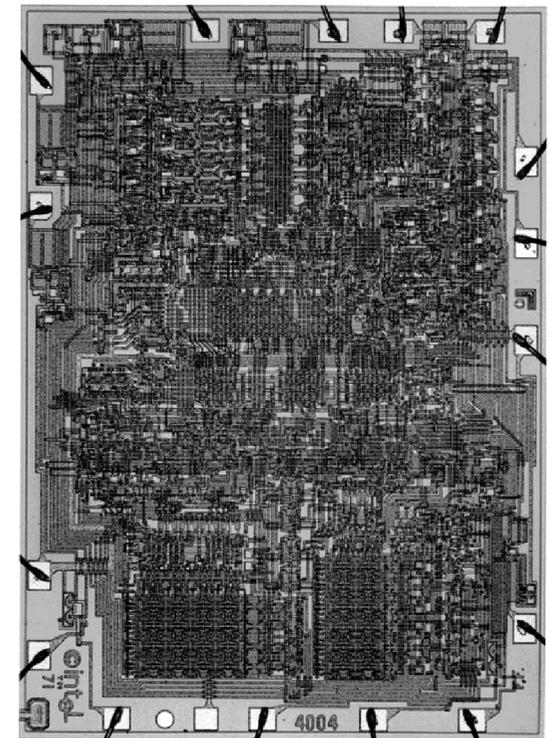
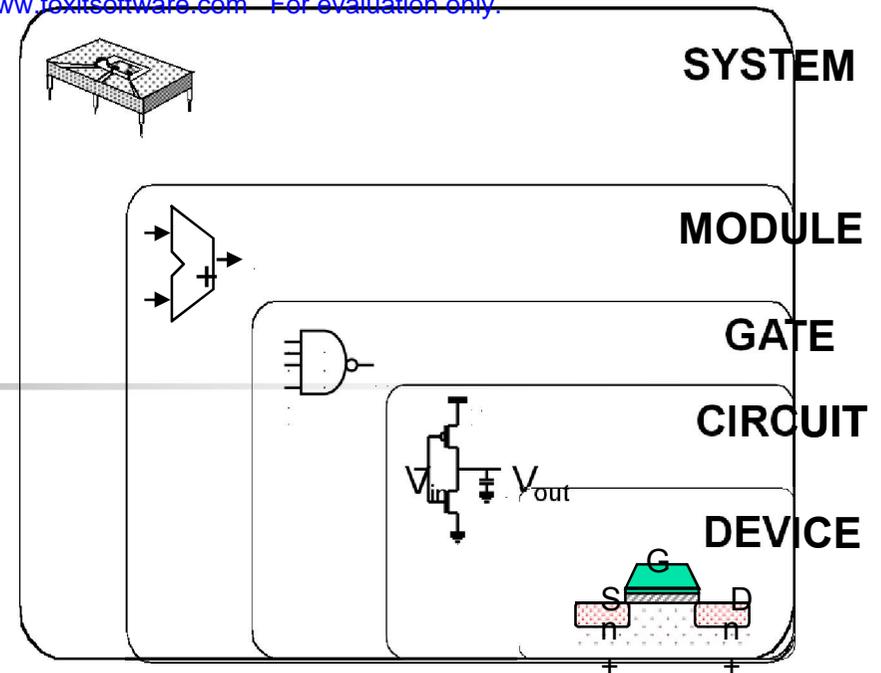
# 集成电路的设计层级



- 当集成电路规模增加以后，手工计算无法对大规模的电路进行有效和准确的设计
- 70年代，IC设计进入电路级设计，即通过对器件建模，完成器件的抽象
- 电路级设计通过利用晶体管搭建电路原理图，利用spice工具进行优化设计，然后对优化后的电路完成版图设计

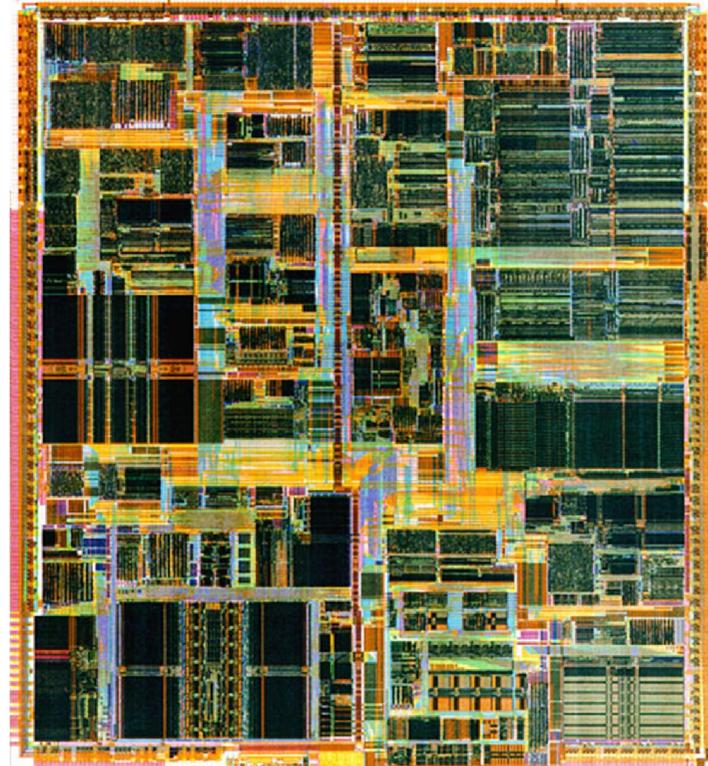
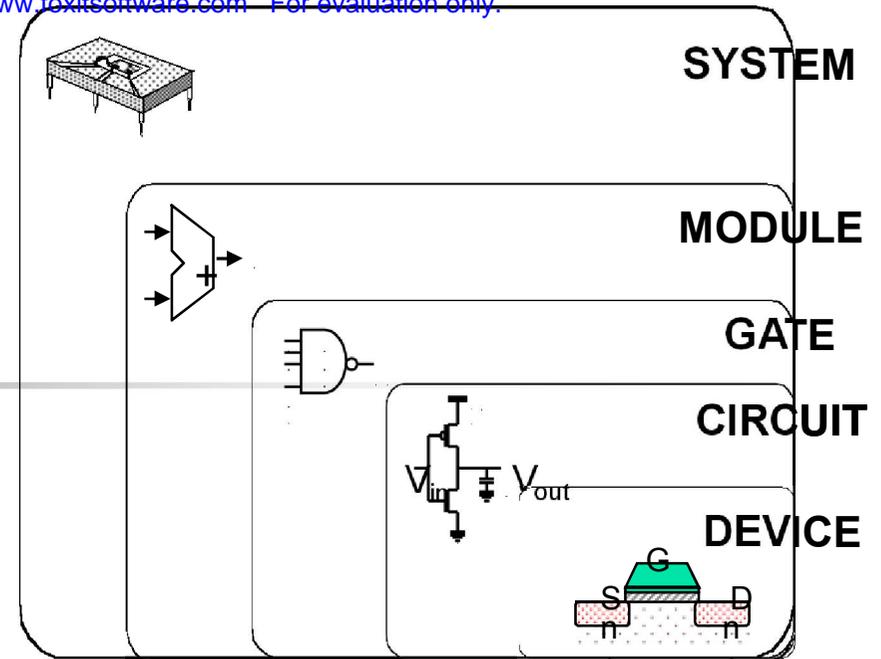
# 集成电路的设计层级

- 当集成电路特别是数字电路的规模继续增加以后：
  - Spice工具对较大规模电路的仿真能力有限
  - 手工版图设计对大规模电路设计时间很长
- 人们把数字电路描述成布尔逻辑，把实现某个布尔逻辑的电路称为门电路
  - 利用逻辑仿真可以对门级数字电路进行验证
  - 利用可重复使用的标准单元库可以快速完成版图设计
- 逻辑级设计避免了spice仿真，简化了手工版图



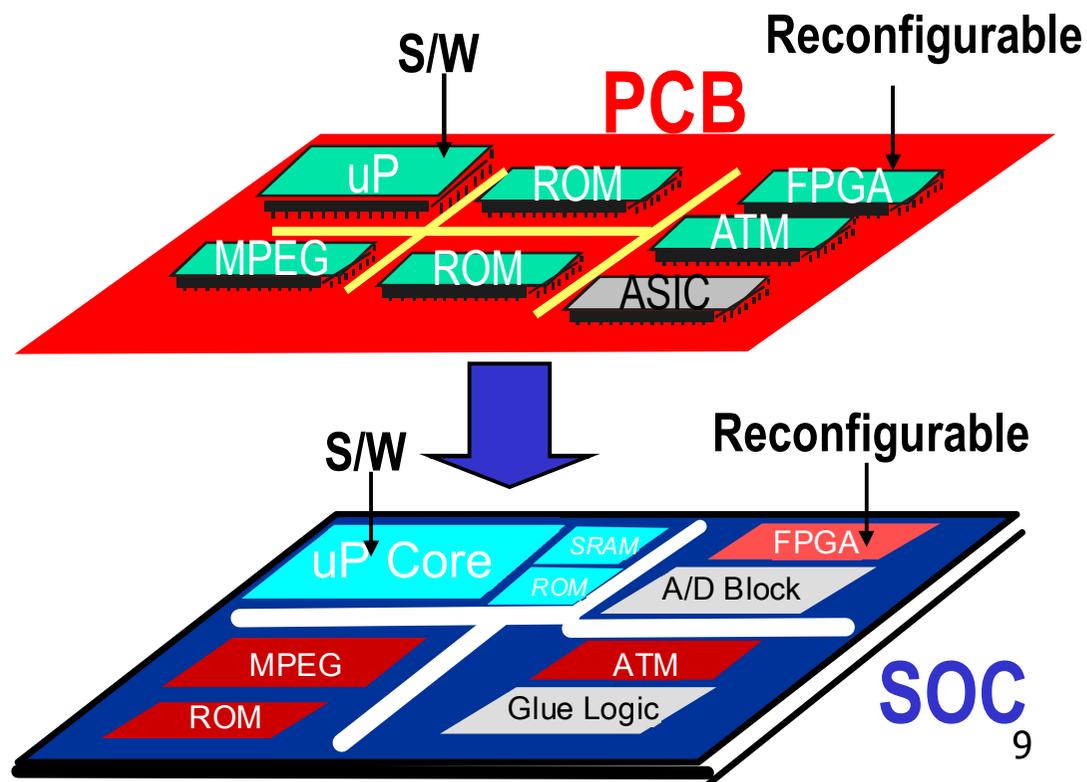
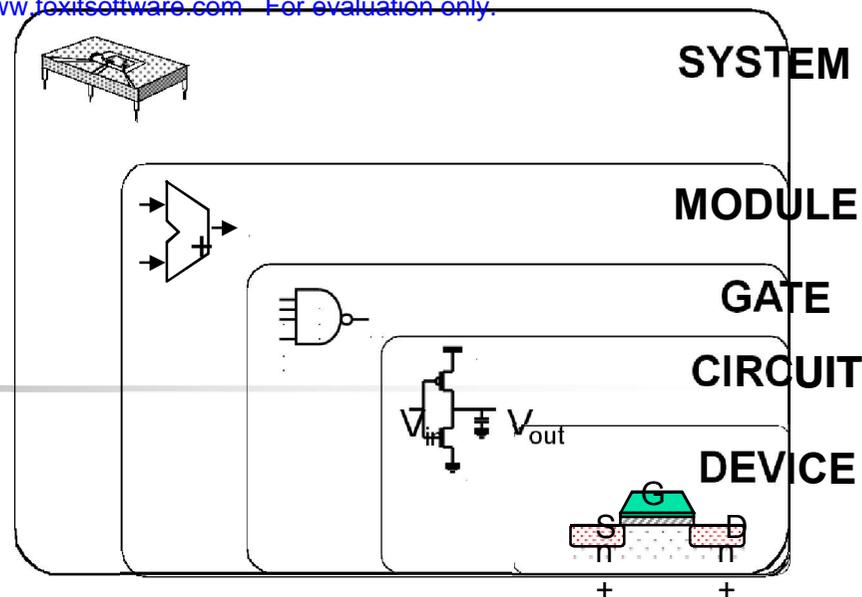
# 集成电路的设计层级

- 随着计算机技术的发展，大规模的数字IC设计依靠设计工具来辅助完成
  - 硬件描述语言取代了原理图输入
  - 逻辑仿真取代了spice仿真
  - 逻辑综合和自动布局布线工具完成设计实现
- VLSI设计进入RTL（行为和结构）级



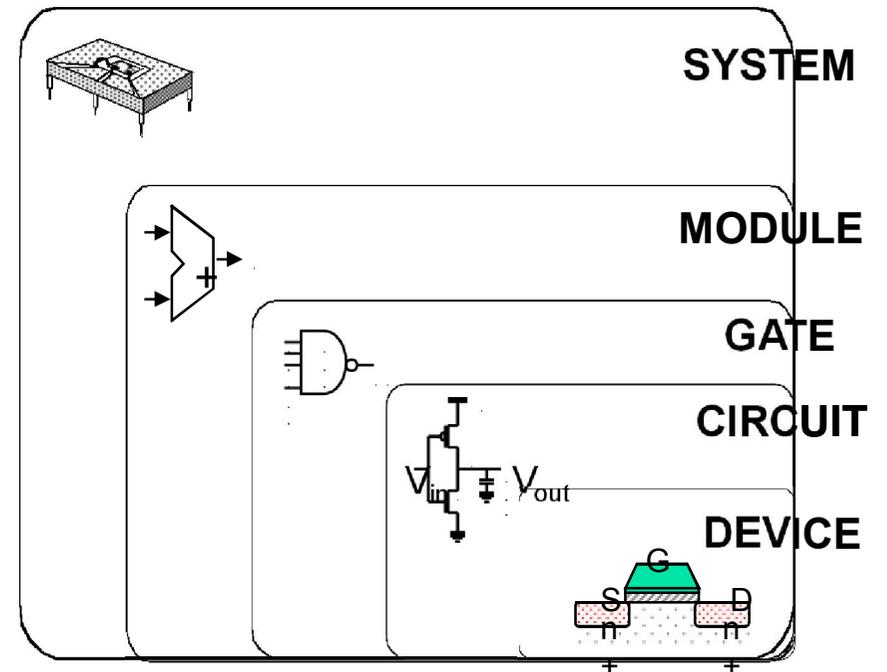
# 集成电路的设计层级

- 进入21世纪，面向系统级应用的千万门级设计的数据计算量使得设计层级需要进一步提高
- SoC是基于IP的设计，是系统级的VLSI设计



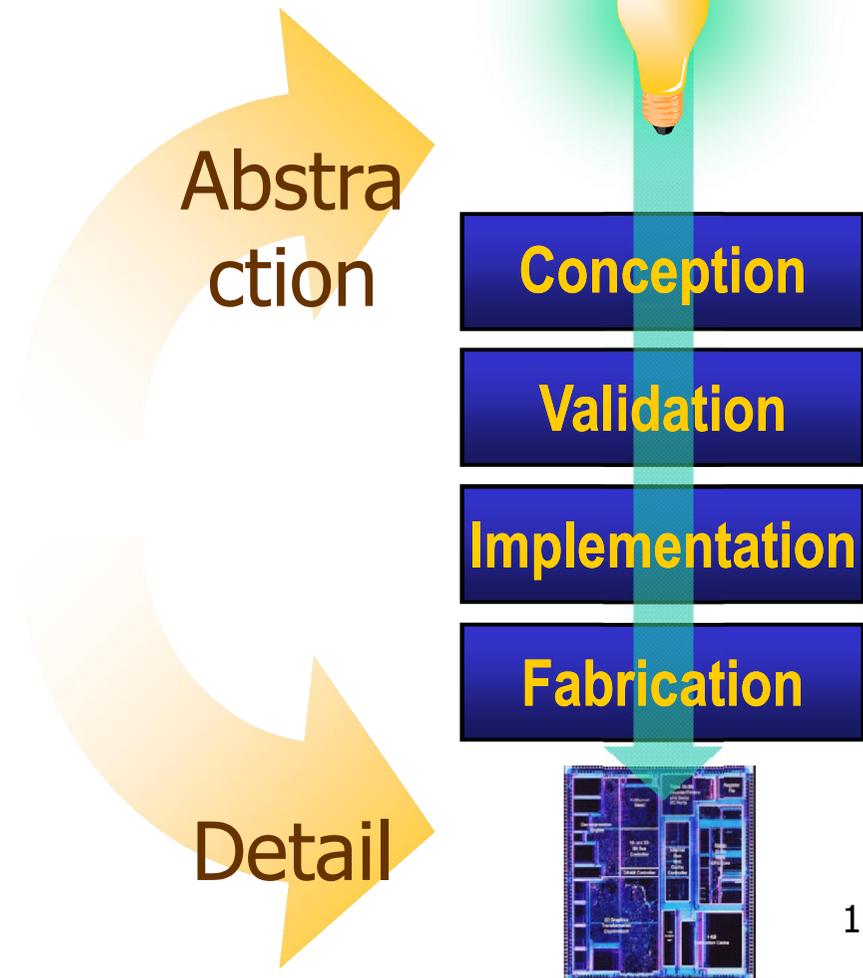
# 设计层级与设计方法

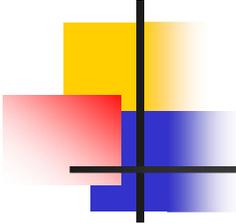
- 面对设计规模的挑战人们需要提高设计层级来有效的完成（**Divide and conquer**）
- 高层级的设计采用更多的抽象，设计数据减小，从而可以支持更大规模的设计
- 设计方法是同设计层级对应的流程



# 设计方法：自顶向下Vs自底向上

- 全定制的设计方法：
  - 电路原理图
  - Spice仿真
  - 定制版图
- 半定制的设计方法
  - HDL输入
  - 逻辑仿真
  - 逻辑综合和自动布局布线
- 全定制方法适合于小规模的设计，半定制方法适合大规模设计

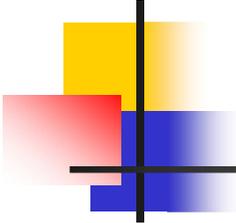




# 全定制设计方法

---

- 优点：
  - 精度高——spice仿真
- 缺点：
  - 设计工作量大，时间长——spice仿真，定制版图
- 利用优点，避免其缺点
- 模拟电路：难以进行逻辑抽象，只能依靠spice仿真，电路规模较小
- 数字电路：版图结构规整；小规模模块

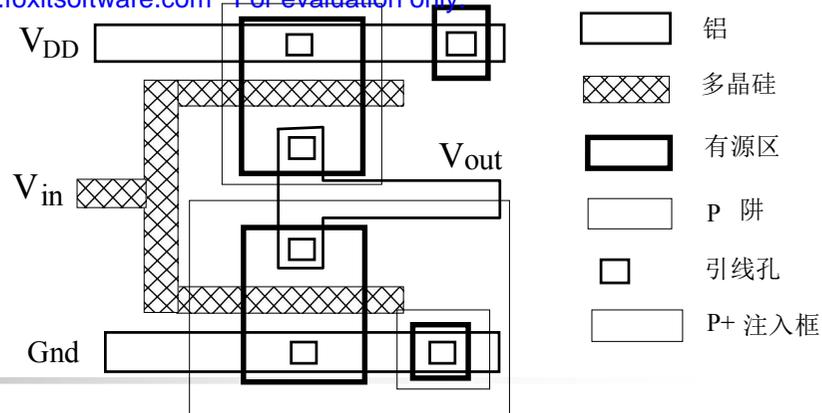


# 半定制设计方法

---

- 自顶向下的设计方法，包括基于标准单元库的**ASIC**方法和基于**IP**的**SoC**方法
- 是目前数字**VLSI**设计的主流方法，适合于大规模的设计
- 在**ASIC**的课程中学习了**ASIC**的设计方法
- 为了满足大规模设计的需要，半定制方法对**EDA**工具的依赖较多（逻辑仿真，逻辑综合和自动布局布线等）
- 优点是自动化程度高，缺点是精度较定制方法低

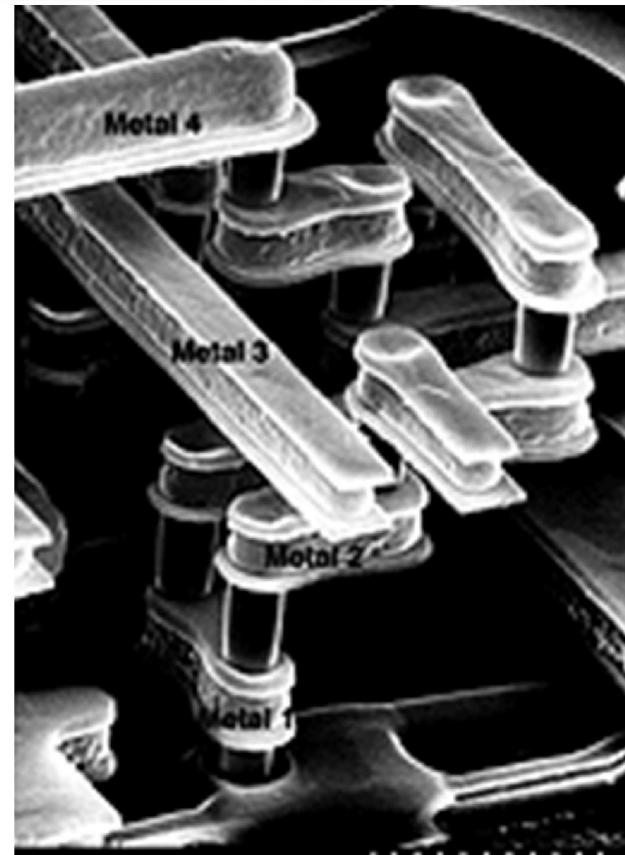
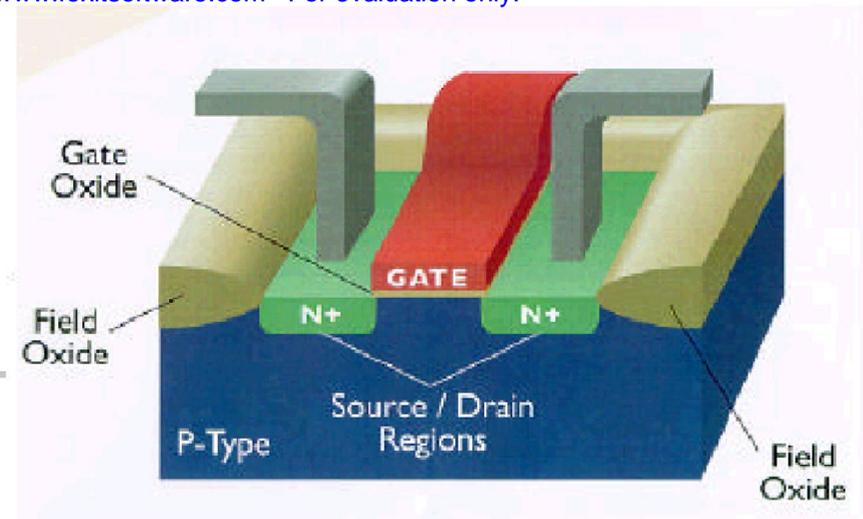
# 设计实现 —— 版图设计



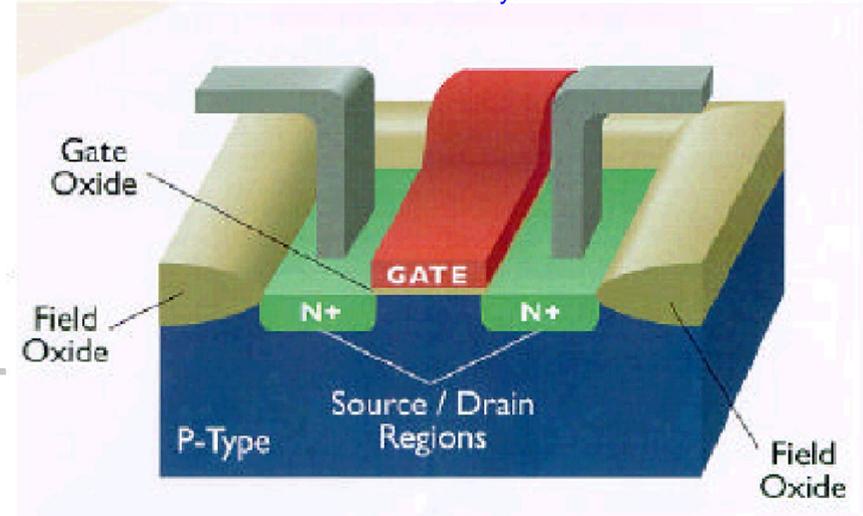
- 版图设计的目的是完成集成电路加工所需的各个掩模版上的图形的设计
- 版图设计的主要约束条件是面积，对模拟电路来说还可能会影响性能甚至功能
- 由于半导体是精细加工，器件和电路的功能和性能都依赖于版图图形，加工工艺对版图设计提出限制条件，以避免可能的加工错误，这些限制条件就是**设计规则**

# Design Rules

- 设计规则是设计者和工艺工程师之间的接口
- 设计规则保证满足设计规则的设计加工后的器件可以达到工艺的标准性能
- 本课程中使用的是无锡上华公司的0.5微米CMOS工艺，版图设计需要满足CSMC提供的设计规则



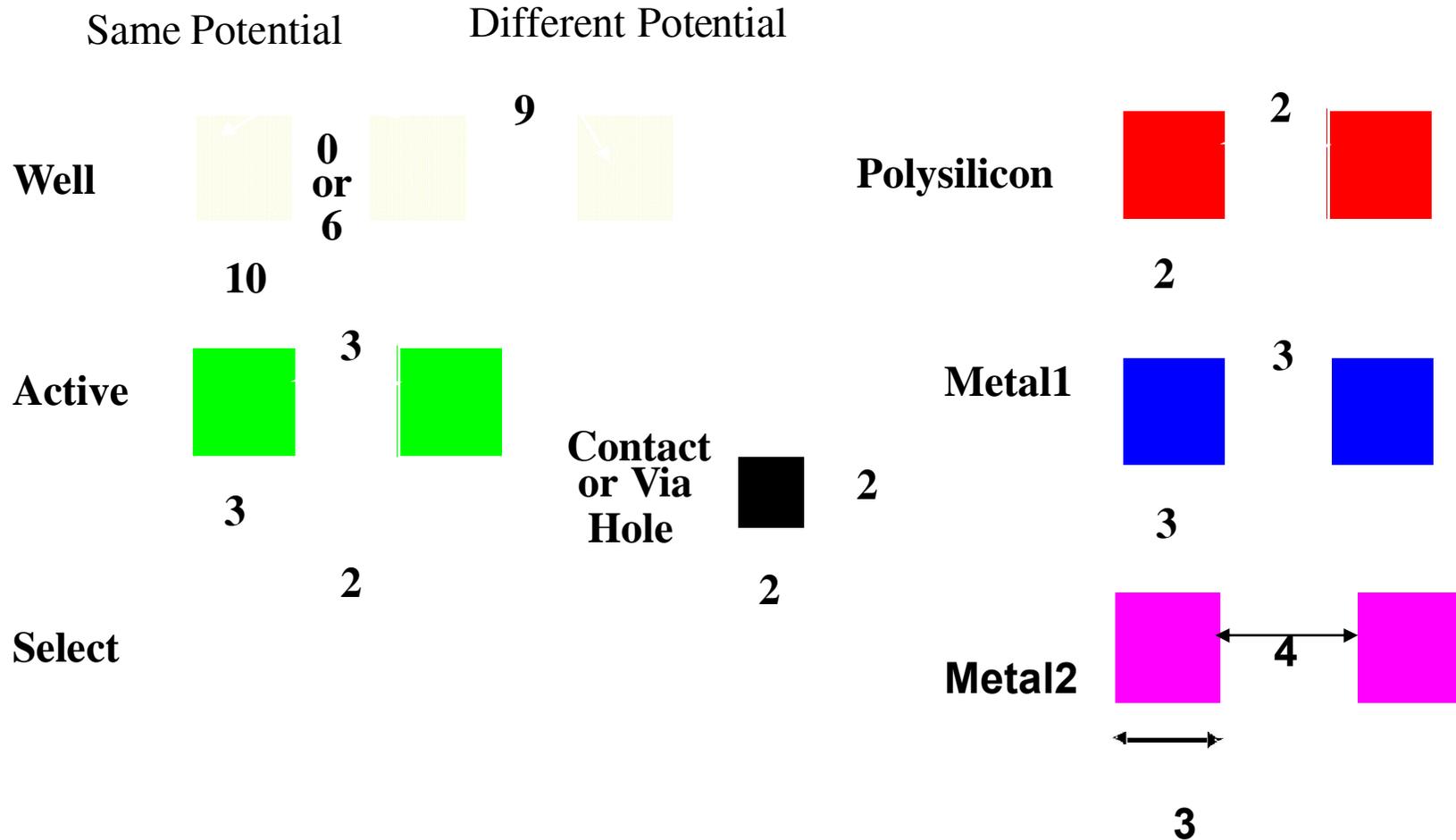
# CMOS Process Layers



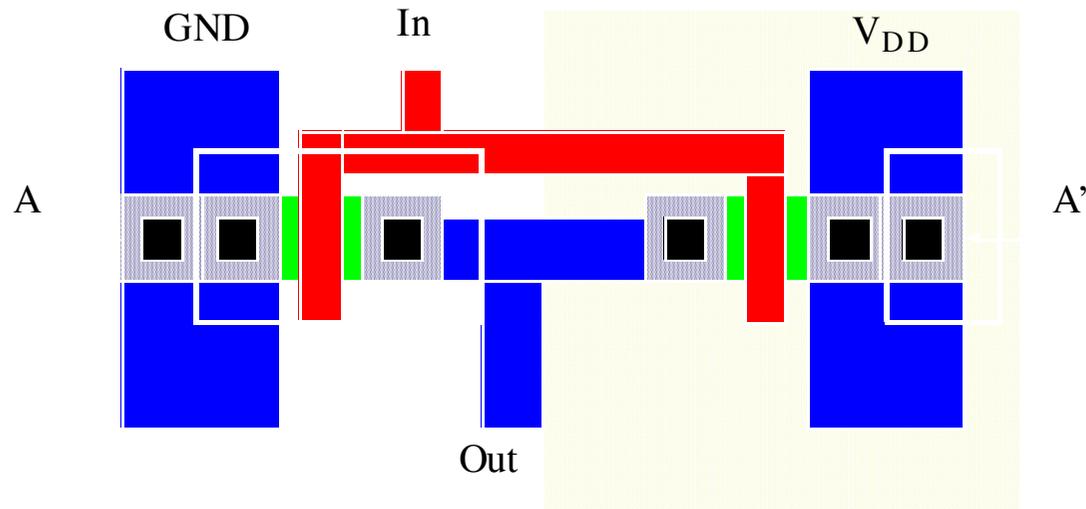
- 在版图设计工具中一般把每个数据层规定一个层名，并用某个颜色和填充来区分
- 基本的CMOS工艺的设计图层
- 为了保证正确加工，设计规则中规定了同层和不同层数据之间的最小宽度和间距等要求

Layer	Color	Representation
Well (p,n)	Yellow	
Active Area (n+,p+)	Green	
Select (p+,n+)	Green	
Polysilicon	Red	
Metal1	Blue	
Metal2	Magenta	
Contact To Poly	Black	
Contact To Diffusion	Black	
Via	Black	

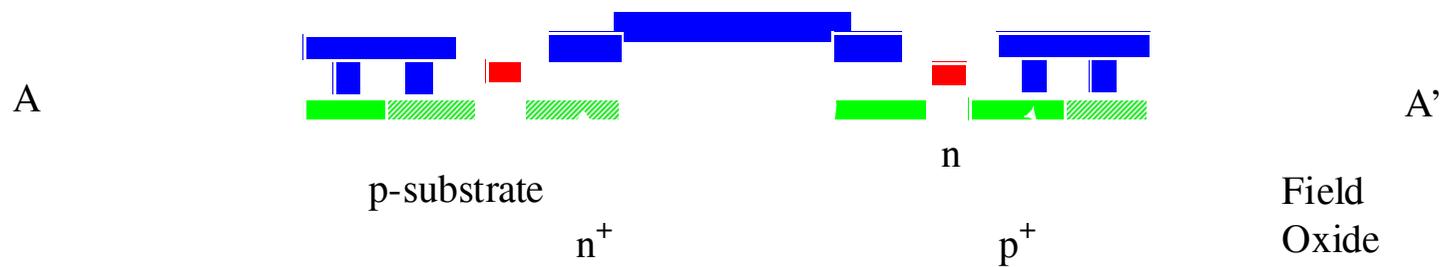
# Intra-Layer Design Rules



# CMOS Inverter Layout



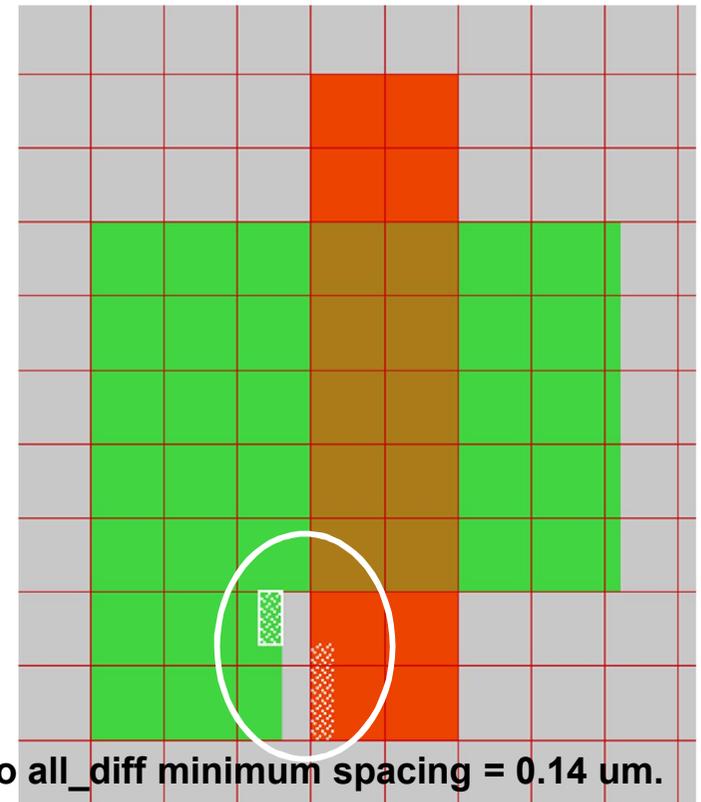
(a) Layout



(b) Cross-Section along A-A'

# 设计规则检查

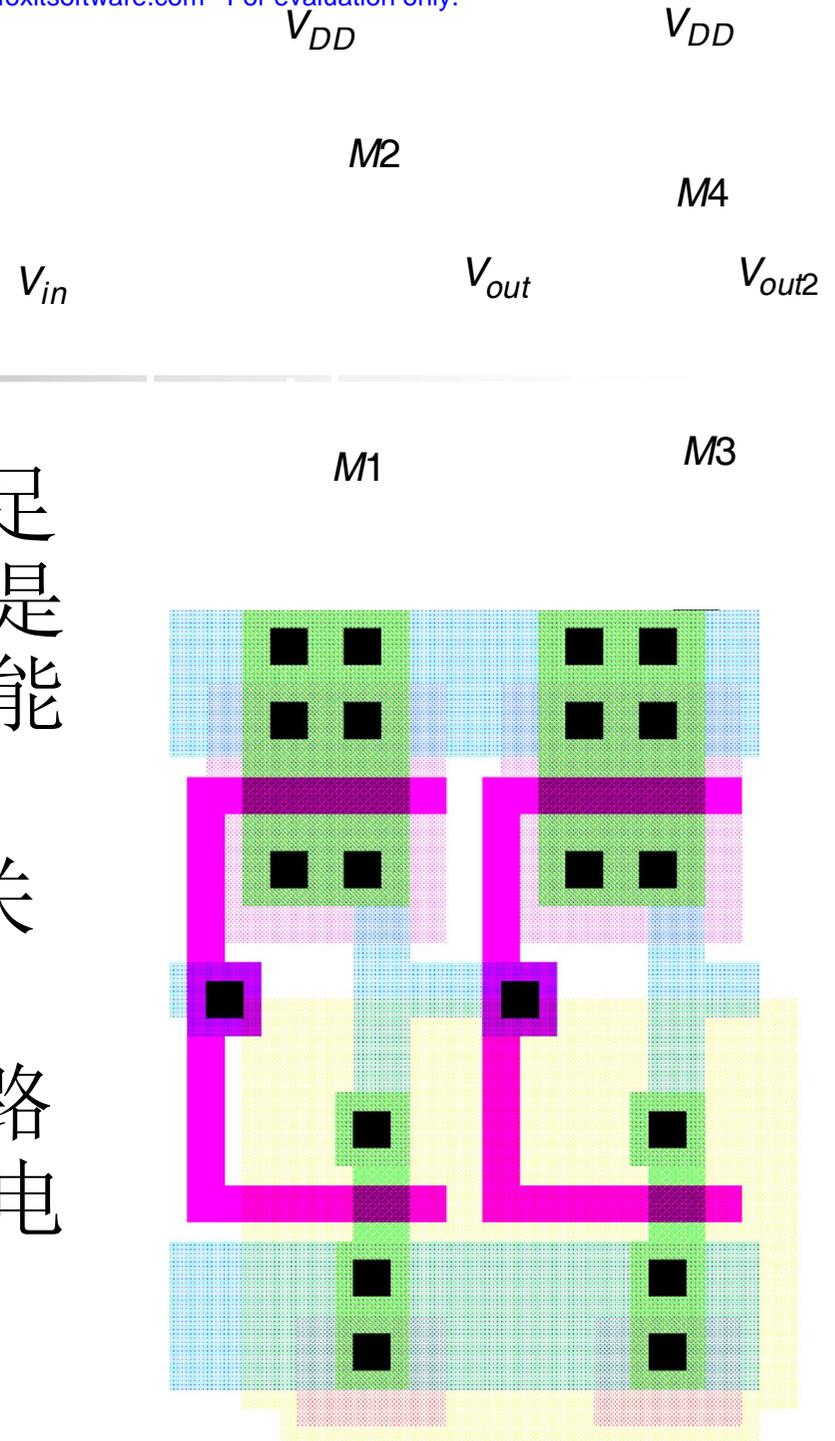
- 我们使用的版图设计工具是cadence公司的Virtuoso Layout Editor
- 版图设计过程中可以利用设计规则检查（DRC）工具检查版图是否违反了设计规则
- 根据工具的报错信息，修改版图图形，直到满足设计要求



poly\_not\_fet to all\_diff minimum spacing = 0.14 um.

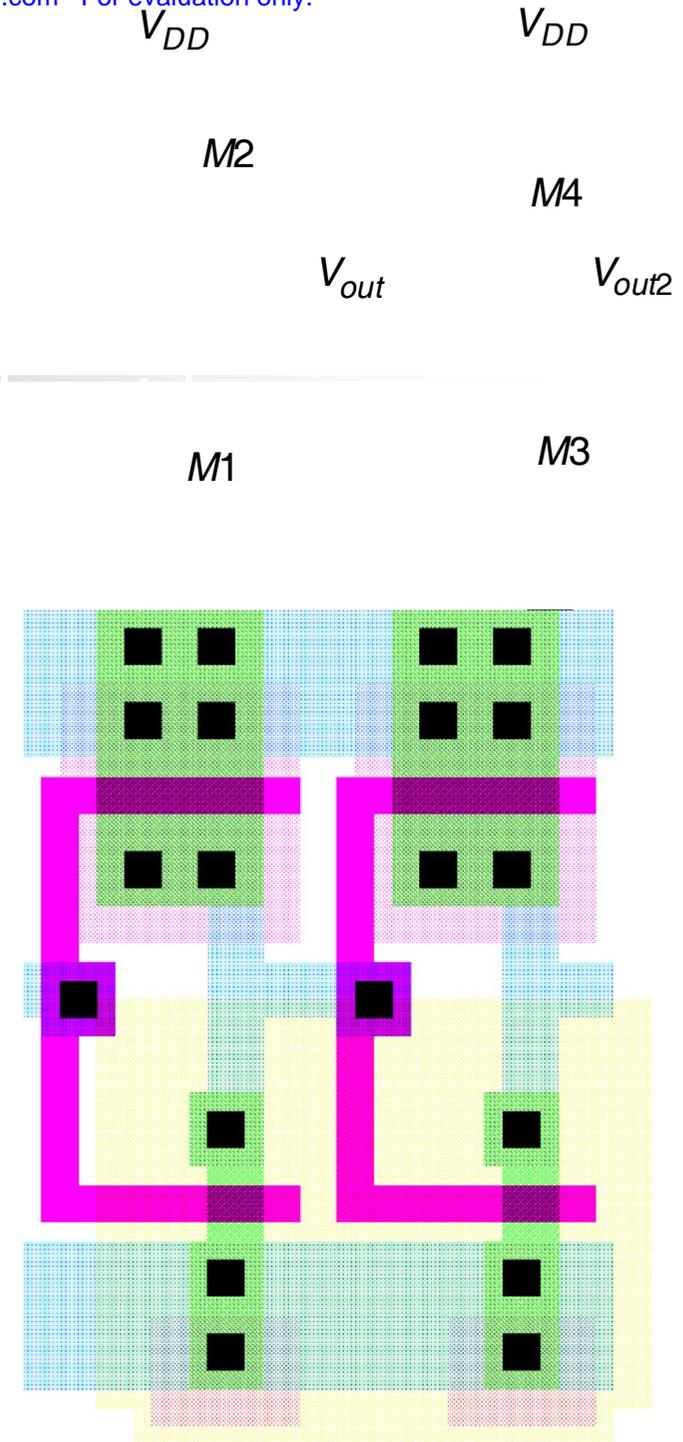
# 版图原理图一致性检查LVS

- DRC检查可以保证版图满足设计规则，但是这个版图是否实现了电路原理图的功能呢
- LVS主要检查器件的连接关系和器件尺寸是否一致
- EDA工具从版图中提取电路网表，然后将这个网表同电路原理图进行比较

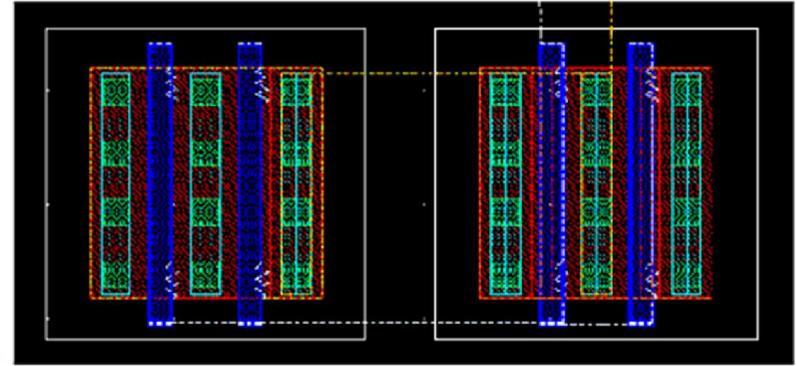


# 版图寄生参数提取LPE

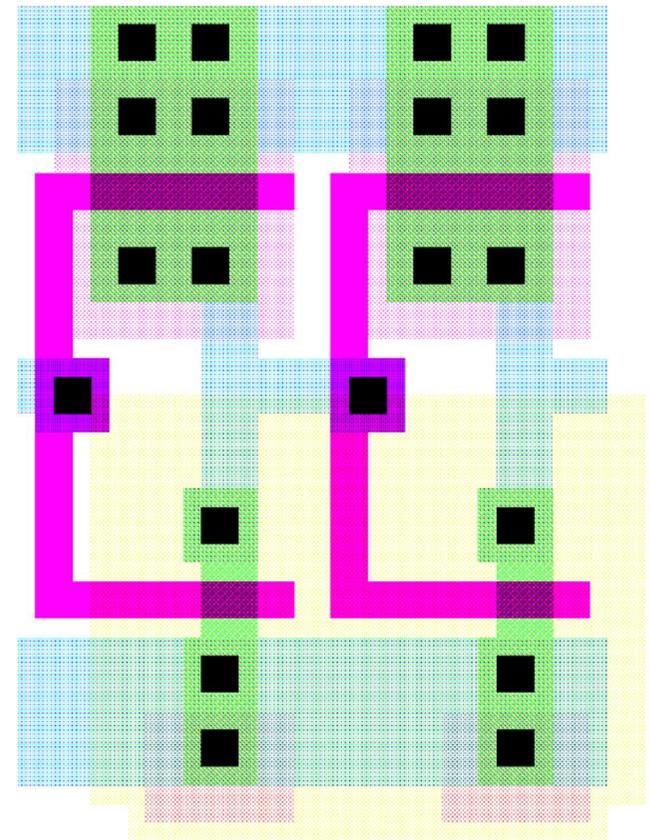
- 版图设计是设计实现阶段，该阶段之后，设计就被确定完成了
- 版图中提取的器件同电路原理图相比，包含完整的器件尺寸和寄生参数的信息
  - 器件尺寸：源漏区周长和面积
  - 技术参数：连线电阻，电容等
- 当版图DRC正确，LVS正确以后，可以对规则和逻辑正确的版图进行LPE提取，提取出包含寄生参数的spice网表，用于带有寄生参数的后仿真



# 定制版图的设计原则

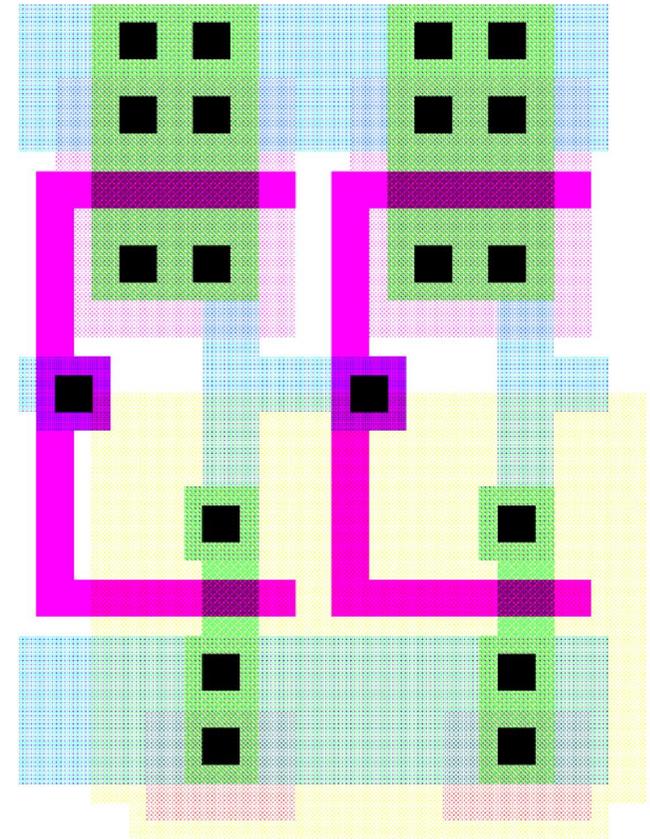


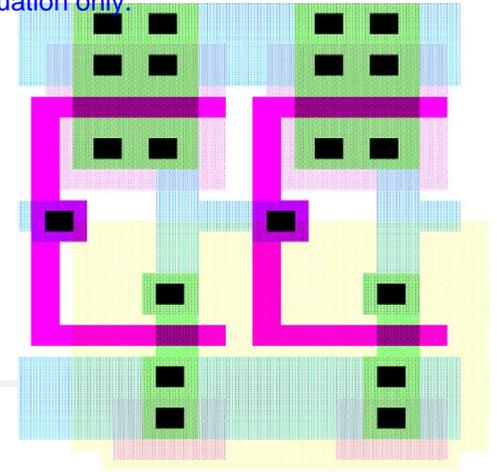
- 定制版图的设计对象是mos晶体管等器件，主要缺点是工作量大，设计时间长
- 对于规模稍大的设计，最好是可以利用电路结构的规整性来简化设计难度
- 用于构建电路的门电路一般设计成矩形，以便于集成



# 标准单元

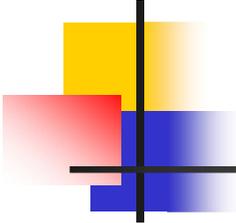
- 用于构建电路的门电路一般设计成矩形，以便于集成
- 如果进一步要求门电路满足高度相等，电源的宽度和位置相同等标准的形式，这样的门电路就称为标准单元
- 在标准单元内部可能会有面积的浪费，但是有利于减小工作量并可能减少整体版图面积





## 标准单元库

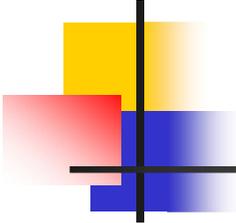
- 如果把常用的基本布尔逻辑都做成标准单元，任意逻辑电路的版图就可以用这些单元的版图搭建起来
- 标准单元库的版图可以用到相同工艺的不同设计中
- 更为重要的是，如果把某个数字电路内的逻辑功能全部用标准单元库中的单元来表示，即门级网表，就可以全部采用该库中的单元构建该电路的版图，这就是半定制的版图设计方法



# 半定制的设计方法

---

- 半定制方法不同于全定制方法中的spice仿真和手工版图的设计过程
- 半定制的设计方法包括基于门阵列，基于标准单元和基于IP的方法，我们主要学习基于**标准单元**的方法
- 基于标准单元库的半定制设计方法，也称为**ASIC**方法，是**SoC**方法之前的主流的自顶向下的设计方法

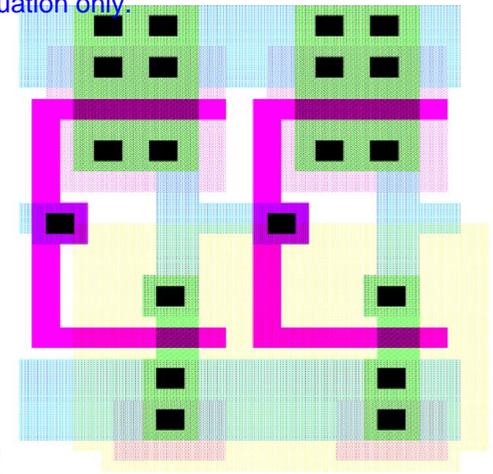
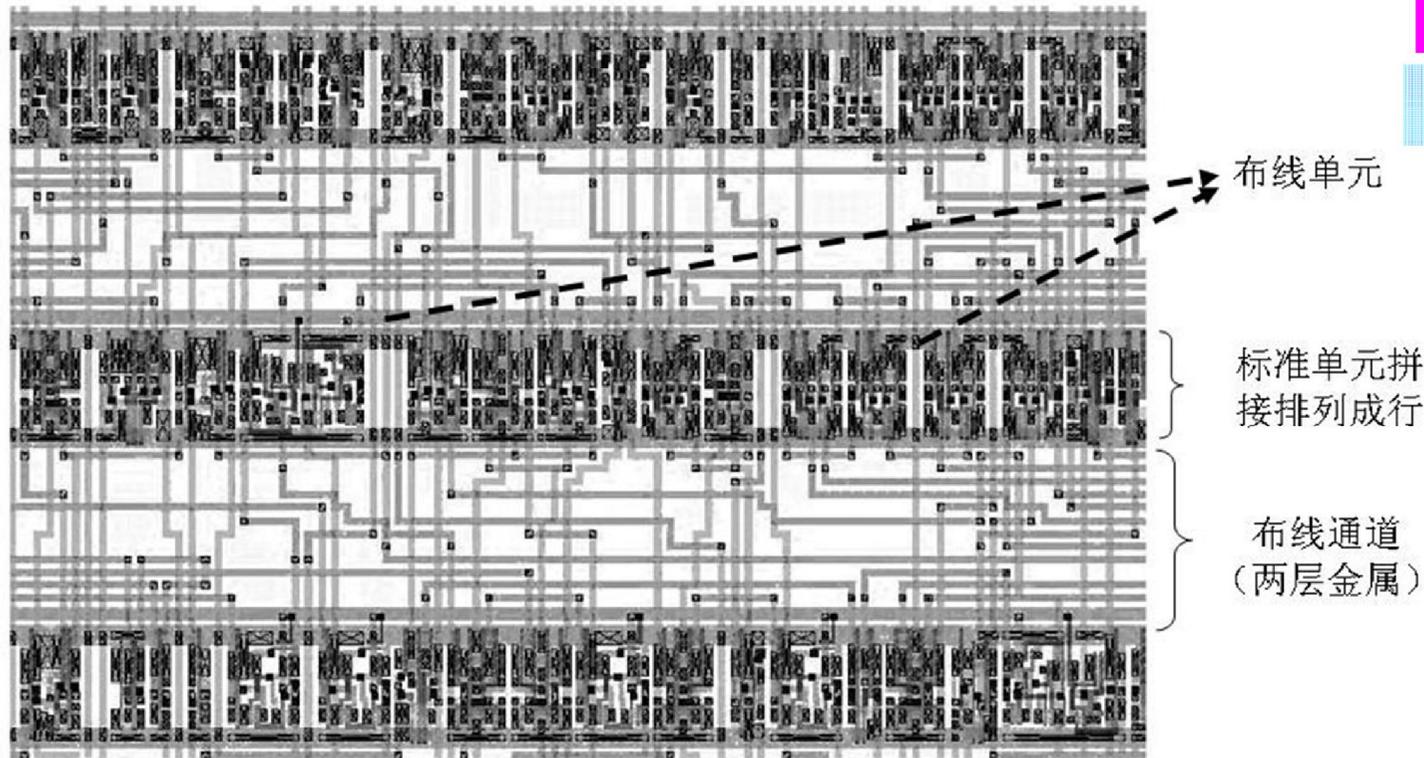


# 半定制方法

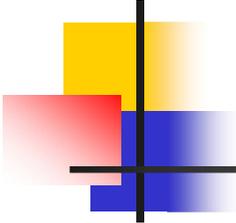
---

- 设计输入：采用硬件描述语言，比原理图输入效率提高
- 设计优化：利用**逻辑综合器**将行为和结构级的HDL转化为基于标准单元库的门级HDL网表，不需要手工调整器件尺寸
- 设计验证：逻辑仿真，利用**逻辑仿真器**可以在行为级和门级进行，比spice仿真效率提高
- 设计实现：利用**自动布局布线**工具将门级网表中的库单元摆放（布局）到版图适当位置，并根据连接关系连线（布线）

# 基于标准单元的版图



- 由于单元库中的单元是等高的布局器（**placer**）将门级网表中的全部单元按行排列
- 布线器（**router**）根据网表中的连接关系把相关单元的输入输出信号用金属线连接



# 半定制方法Vs全定制方法

---

- 全定制方法是基于器件的设计，**spice**仿真精度高，手工版图面积紧凑
- 半定制方法是基于门的设计，逻辑仿真和自动版图设计周期短
- 半定制方法适合大规模的**数字IC**，全定制方法适合规模较小的模拟电路和结构规整的**数字模块电路**的设计

# 集成电路和芯片

- 版图设计，流片加工，晶圆切割，芯片封装，芯片测试
- Wafer, die, chip

