



# 第六章 CMOS I/O设计

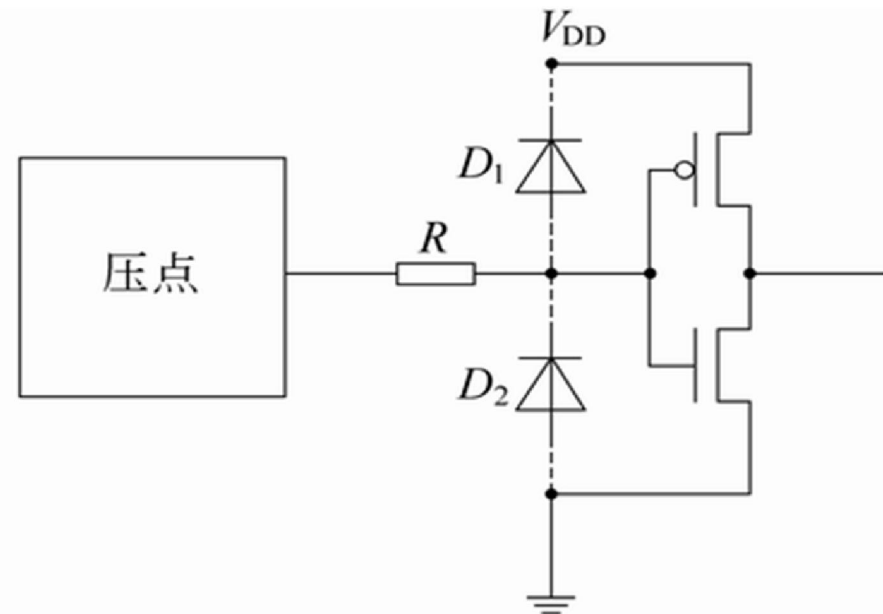
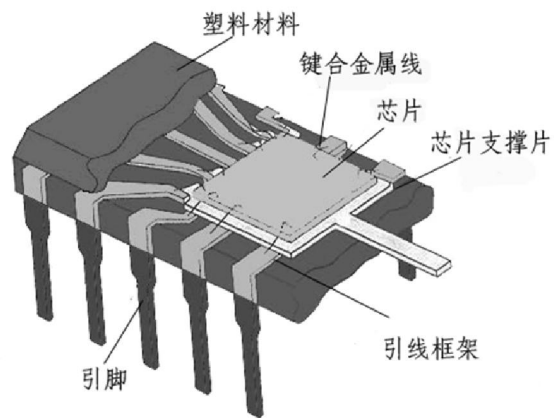
---

# CMOS集成电路的I/O设计

- 6.1 输入缓冲器
- 6.2 输出缓冲器
- 6.3 ESD保护电路
- 6.4 三态输出的双向I/O缓冲器

# 输入缓冲器

- 两方面作用
  - 电平转换接口
  - 过滤外部信号噪声



# 输入缓冲器：电平转换

- 电平兼容
  - TTL电路逻辑摆幅小
  - 最坏情况CMOS电路输入电平 ( $V_{DD}=5V$ )

$$V_{IHmin} = 2.0V \quad V_{ILmax} = 0.8V$$

# 输入缓冲器

$$V_{it} = \frac{V_{TN} + \sqrt{1/K_r} (V_{DD} + V_{TP})}{1 + \sqrt{1/K_r}}$$

## 逻辑阈值设计

$$V_{it} = \frac{V_{IHmin} + V_{ILmax}}{2} = 1.4V$$

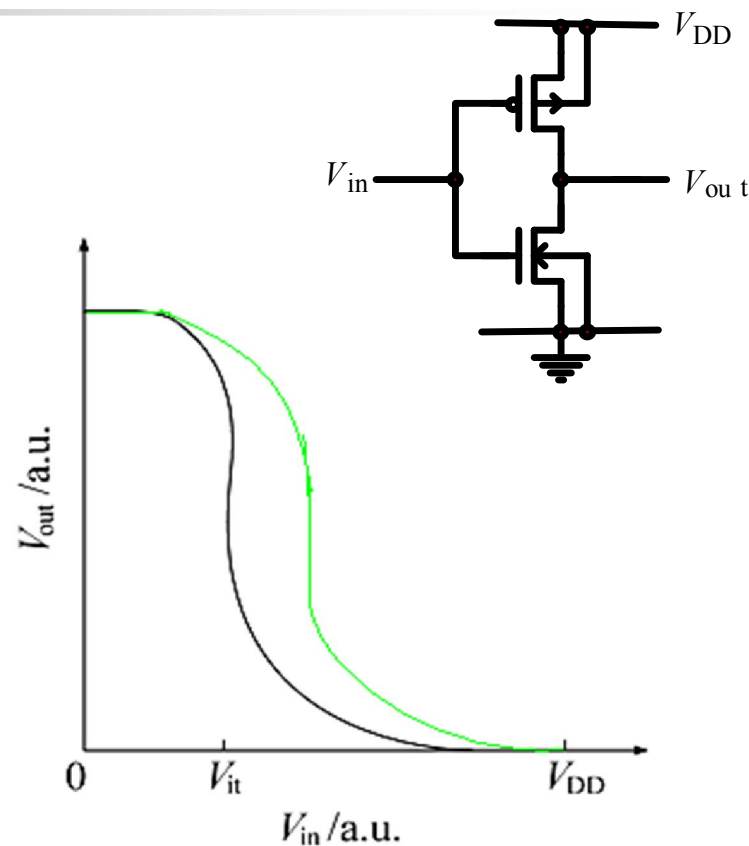
## 求算导电因子比例

$$V_{DD} = 5V, V_{TN} = -V_{TP} = 0.8V$$

$$K_r = \frac{K_N}{K_p} = 21.7$$

NMOS管占用大量芯片面积;

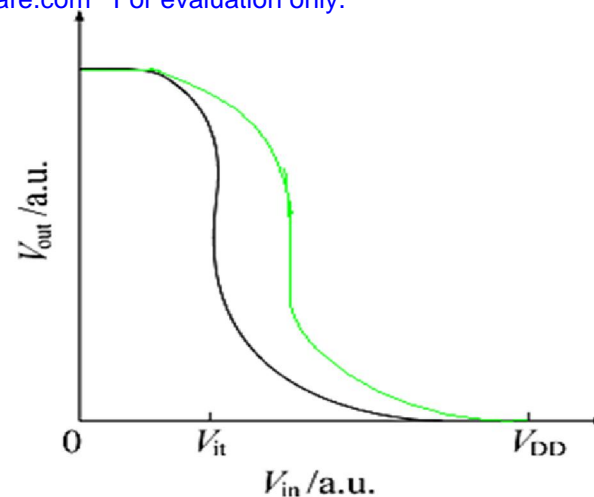
输入为  $V_{IHmin}$  时有静态功耗



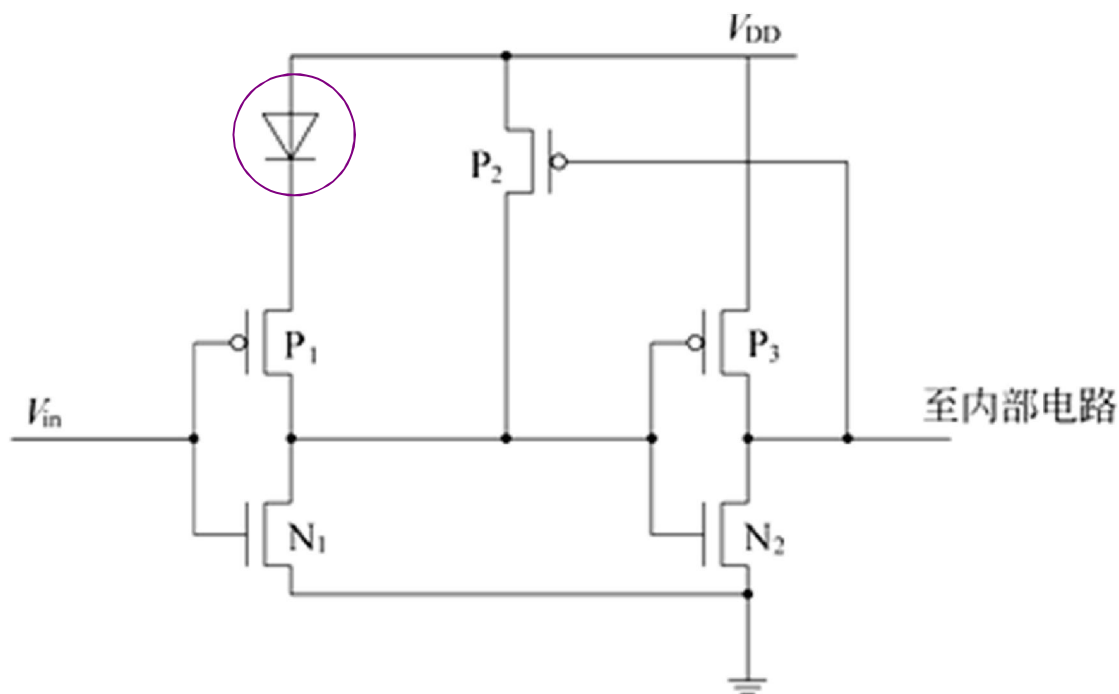
$$V_{IHmin} = 2.0V \quad V_{ILmax} = 0.8V$$

# 输入缓冲器

$$V_{it} = \frac{V_{TN} + \sqrt{1/K_r} (V_{DD} + V_{TP})}{1 + \sqrt{1/K_r}}$$



## ■ 改进电路



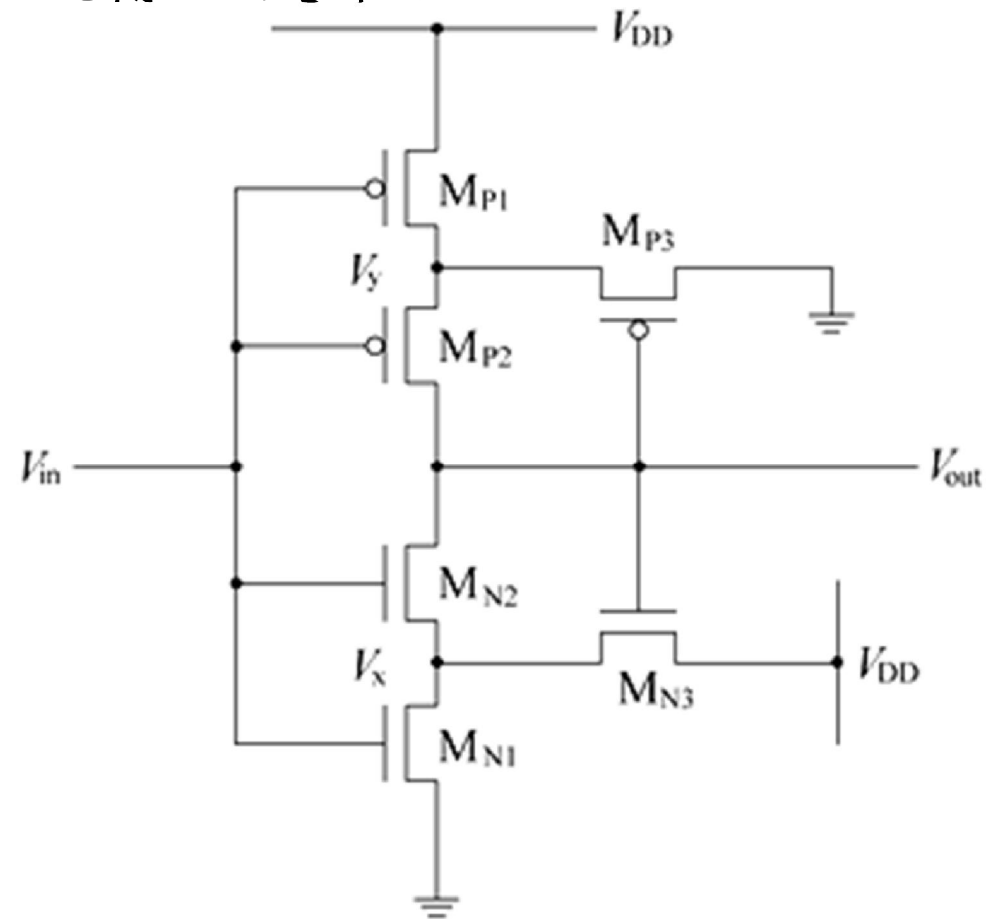
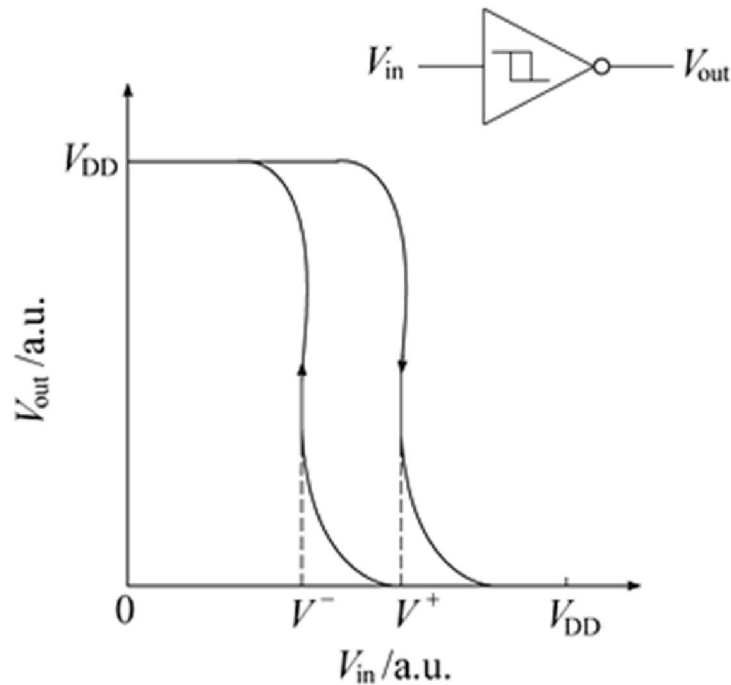
→ 增加二极管，使反相器上的有效电源电压降低

→ PMOS加衬底偏压，增大其阈值电压的绝对值

→ 增加反馈管  $M_{P2}$ ，改善输出高电平

# 输入缓冲器：抑制输入噪声

- 用CMOS史密特触发器做输入缓冲器



# 史密特触发器：输入缓冲器

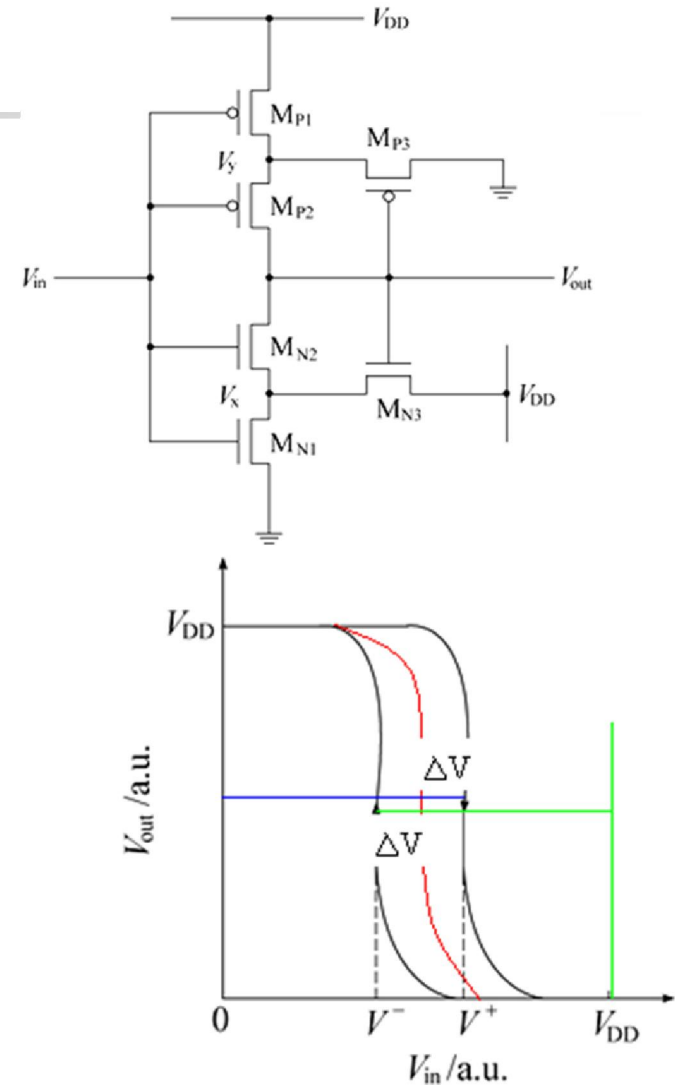
## ■ 转换电平

$$V^+ = \frac{V_{DD} + \sqrt{K_r} V_{TN}}{1 + \sqrt{K_r}}$$

$$V^- = \frac{\sqrt{K'_r} (V_{DD} + V_{TP})}{1 + \sqrt{K'_r}}$$

## ■ 噪声容限 $V_{NHM} = V_{DD} - V^-$ , $V_{NLM} = V^+$

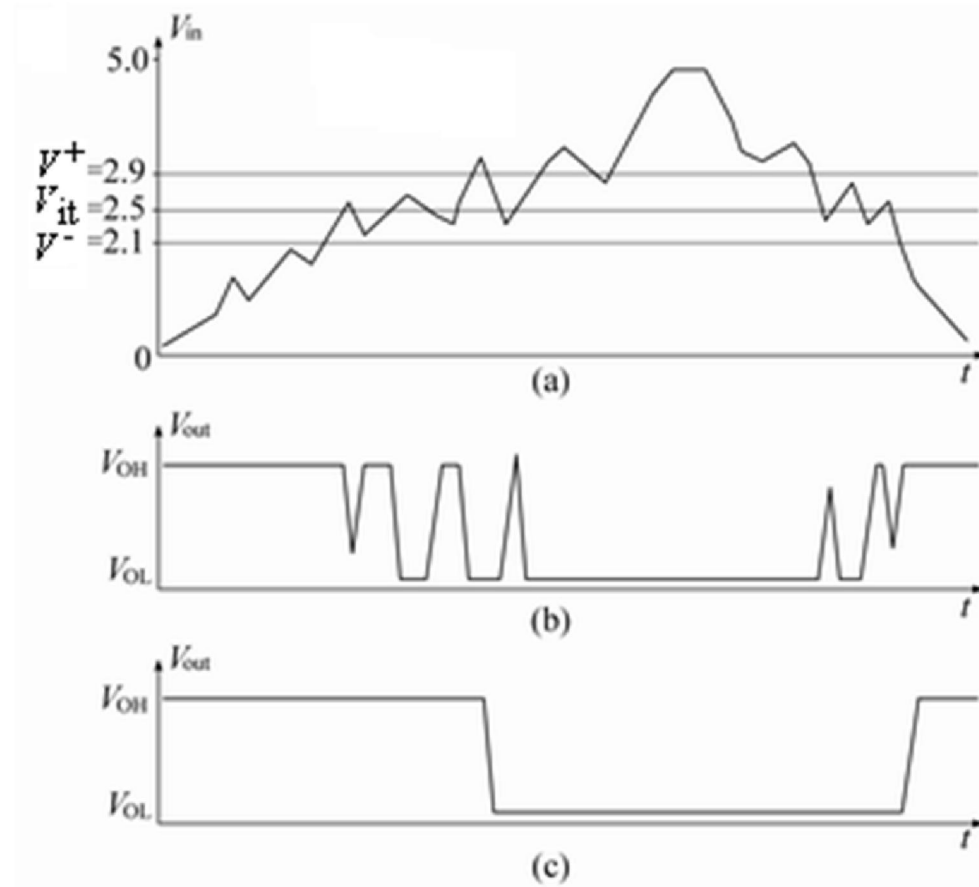
## ■ 回滞电压 $V_H = V^+ - V^-$ , $\Delta V = V_H/2$





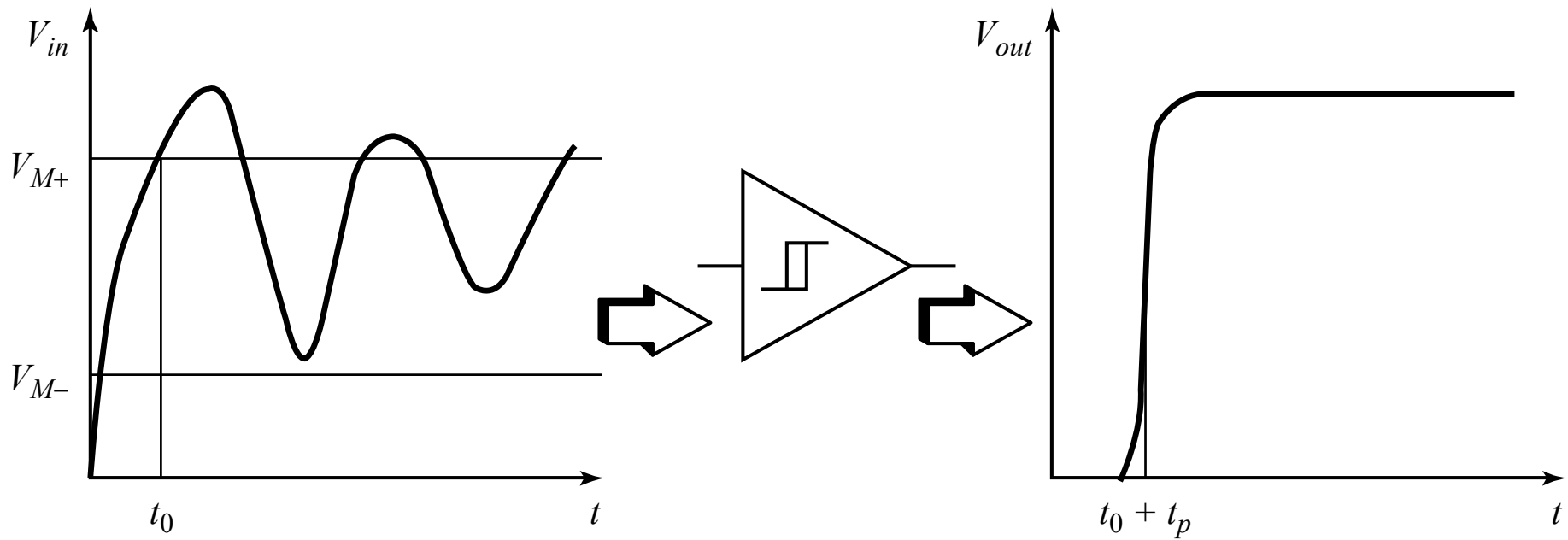
# 史密特触发器做输入缓冲器

- 利用回滞电压特性抑制输入噪声干扰



# Noise Suppression using Schmitt

## Trigger





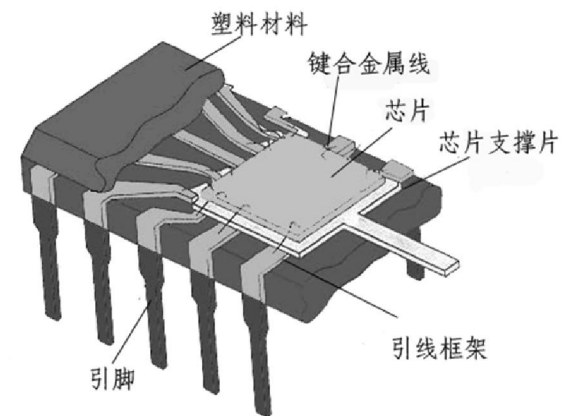
# CMOS集成电路的I/O设计

---

- 6.1 输入缓冲器
- 6.2 输出缓冲器
- 6.3 ESD保护电路
- 6.4 三态输出的双向I/O缓冲器

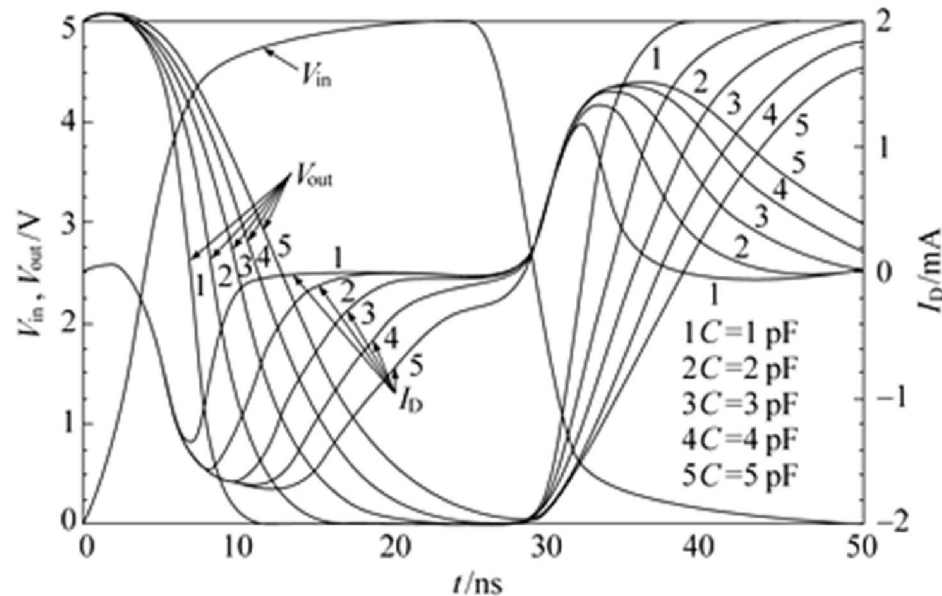
# 输出缓冲器

- 在驱动很大的负载电容时，需要设计合理的输出缓冲器
  - 提供所驱动负载需要的电流
  - 使缓冲器的总延迟时间最小
- 一般用多级反相器构成的反相器链做输出缓冲器



# 输出缓冲器

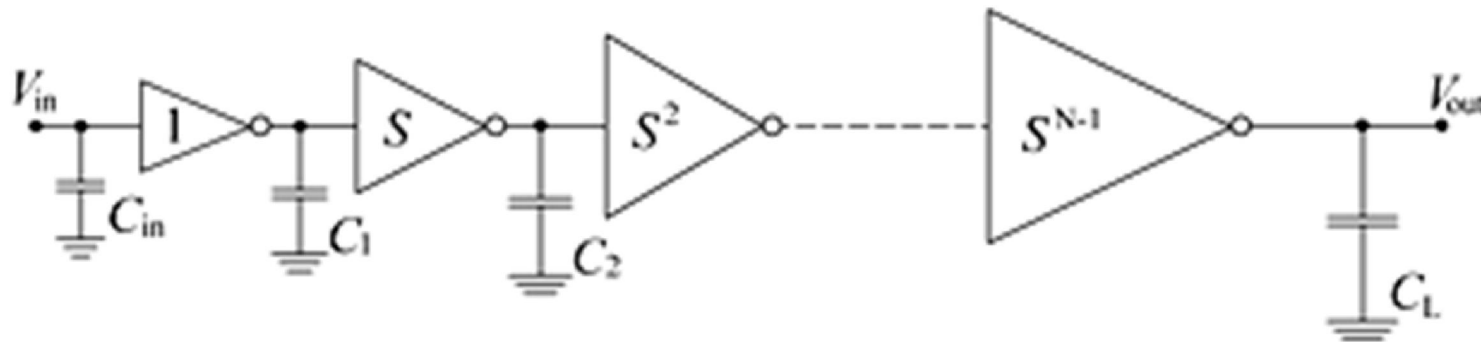
- 驱动不同负载电容时，输入/输出电压波形及充放电电流



- 使反相器链逐级增大相同的比例，则每级反相器有近似相同的延迟，有利于提高速度

# 输出缓冲器

$t_{p0}$  为反相器驱动一个  
相同反相器负载的  
延迟时间



$$C_1 = SC_{in},$$

$$C_2 = S^2 C_{in},$$

$$C_L = S^N C_{in}.$$

$$S = (C_L / C_{in})^{1/N}$$

$$t_p = NSt_{p0}$$

$$= N(C_L / C_{in})^{1/N} t_{p0}$$

# 输出缓冲器：反相器链

使  $t_p$  最小的  $N$  与  $S$  的最优值

$$N = \ln(C_L / C_{in})$$

$$S = (C_L / C_{in})^{1/N} = e \approx 2.72$$

- 实际设计中应在满足速度要求的前提下，尽量减少  $N$ ，适当增大  $S$ ，以减少面积和功耗
- 对最终输出级的上升、下降时间有要求时，应先根据时间要求和负载大小，设计出最终输出级反相器的尺寸，再设计前几级电路。

$$N = \ln(C_L / C_{in})$$

$$S = (C_L / C_{in})^{1/N} = e \approx 2.72$$

## 输出缓冲器

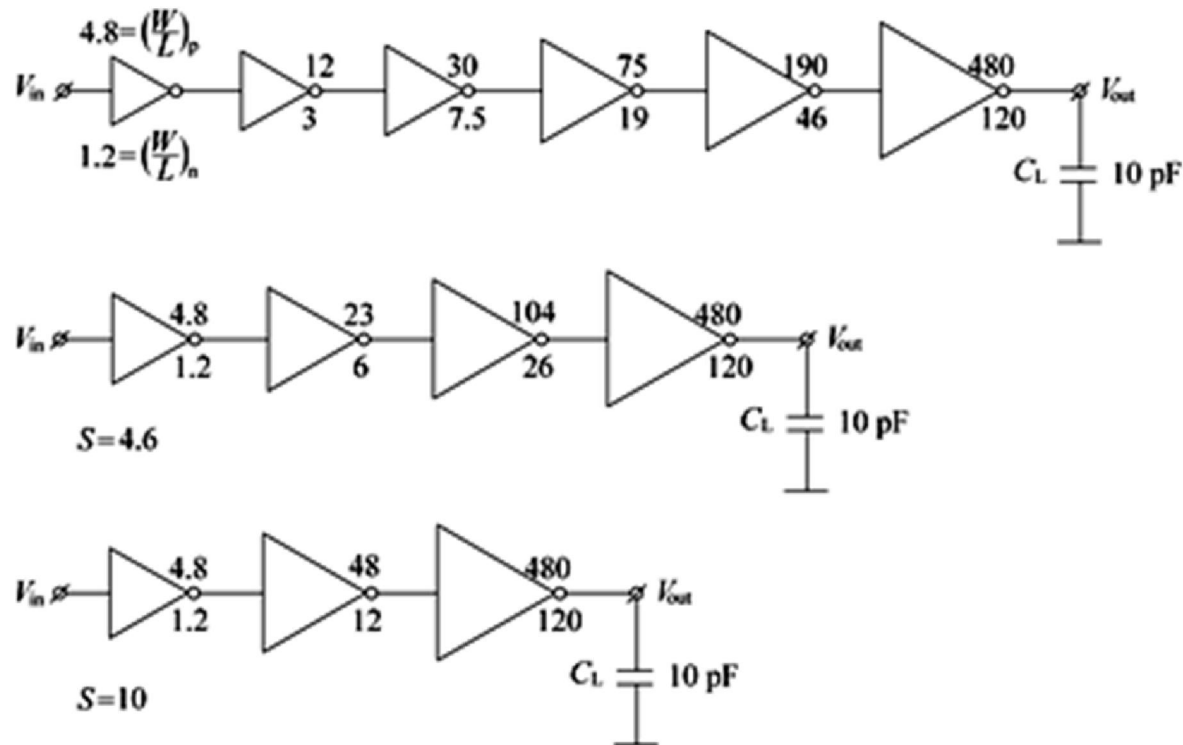
- 增加输出缓冲器的作用

$C_L / C_{in}$	无缓冲器 $t_p / t_{p0}$	有缓冲器 $t_p / t_{p0}$	缓冲器级数
10	10	6.3	2
100	100	13.6	5
1000	1000	19.0	7
10000	10000	24.5	9



# 输出缓冲器

- 负载10PF，最终输出级的上升、下降时间是1ns 的驱动电路的三种设计方案



# 输出缓冲器

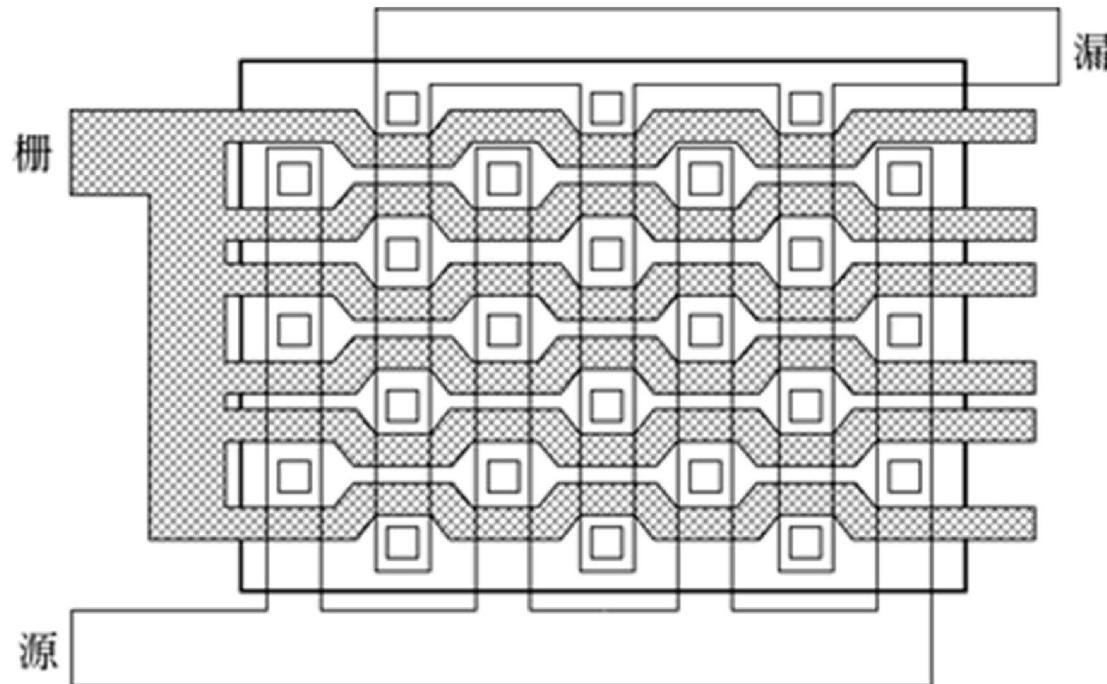
## ■ 性能比较

性能	电路 1	电路 2	电路 3
尺寸增大比例 $S$	2.5	4.6	10
反相器级数 $N$	6	4	3
总功耗 (相对值)	1.14	1.11	1
总面积 (相对值)	1.55	1.21	1
$dI / dt$ (A/s)	$2.8 \times 10^8$	$1.8 \times 10^8$	$0.6 \times 10^8$
总延迟时间(ns)	0.92	0.88	0.94

实际缓冲器的设计应从速度、功耗和面积综合考虑

# 输出缓冲器

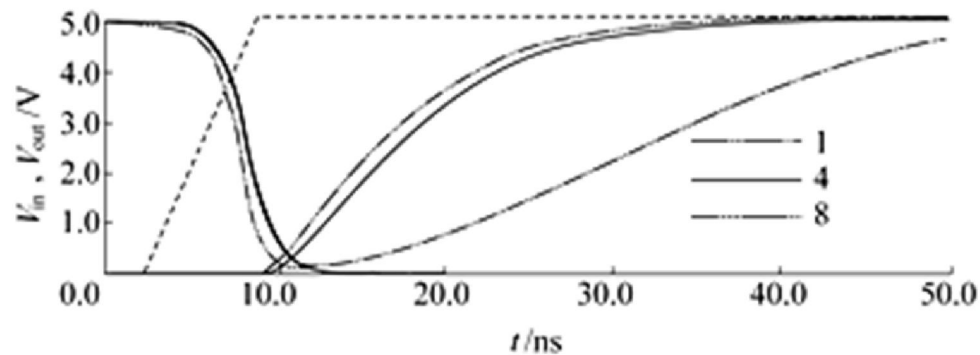
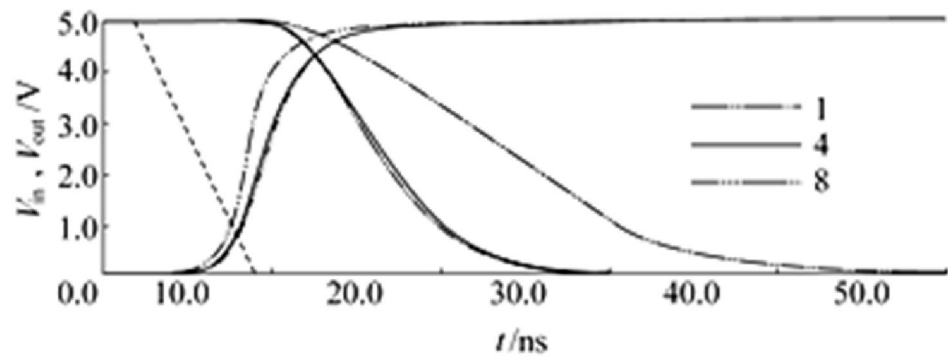
- 采用梳状(叉指状)结构的大宽长比MOS



相当于把  
宽度很大的  
MOS管变成  
多个并联的  
小管子，减  
小了多晶硅  
线的RC延迟

# 输出缓冲器

❖ 不同结构输出级MOS管对电路速度的影响



# CMOS集成电路的I/O设计

- 6.1 输入缓冲器
- 6.2 输出缓冲器
- 6.3 ESD保护电路
  - 输入端ESD保护电路
  - 输出端ESD保护电路
  - 电源的ESD保护电路
- 6.4 三态输出的双向I/O缓冲器

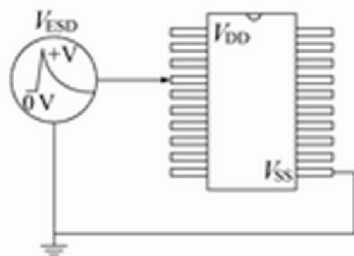
# ESD保护电路

- 如果 MOS 晶体管的栅氧化层上有很大的电压，会造成氧化层击穿，使器件永久破坏
- 随着器件尺寸减小，栅氧化层不断减薄，氧化层能承受的电压也不断下降
  - $t_{ox} = 5\text{nm}$  时， $V_{Gm} = 5\text{V}$
- 由于 MOS 晶体管的栅电容很小，积累在栅极上的杂散电荷就能形成很大的等效栅压，引起器件和电路失效，这就是 ESD 问题 (Electrostatic Discharge, )  
静电释放

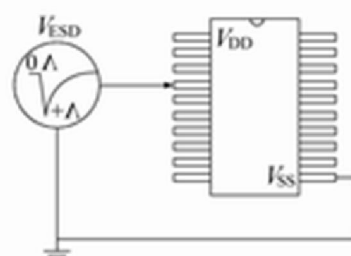
# ESD保护电路

## ESD应力的四种模式

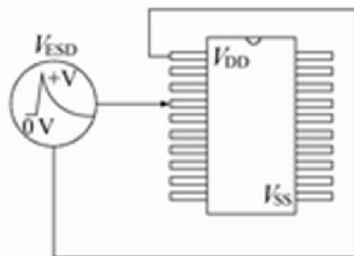
(1) PS-模式



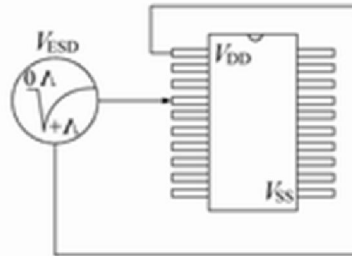
(2) NS-模式



(3) PD-模式



(4) ND-模式



→ 某一个输入（或输出）端对地的正脉冲电压（PS）

→ 某一个输入（或输出）端对地的负脉冲电压（NS）

→ 某一个输入或输出端对  $V_{DD}$  端 的正脉冲电压（PD）

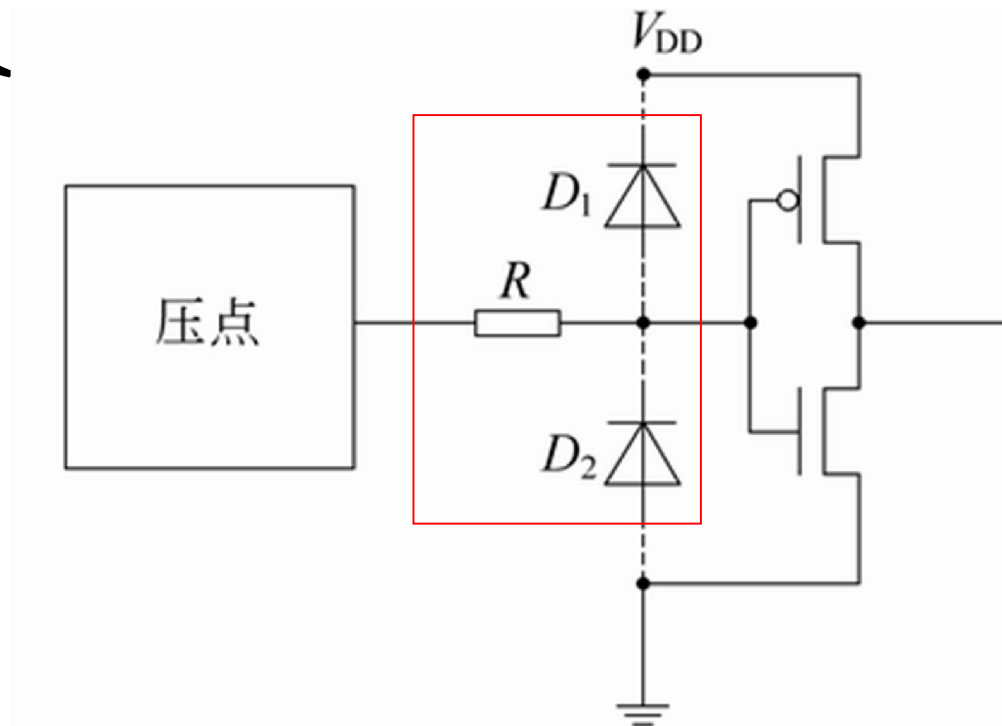
→ 某一个输入或输出端对  $V_{DD}$  端的负脉冲电压（ND）

在芯片的输入和输出端增加ESD保护电路

# 输入端ESD保护电路

## ■ 双二极管保护电路

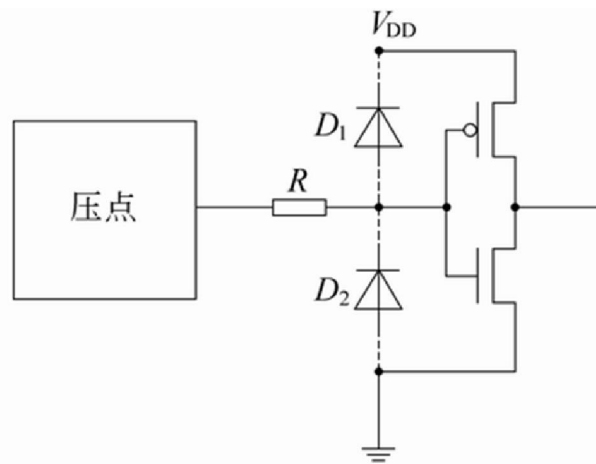
- PS: D2击穿
- NS: D2导通
- PD: D1导通
- ND: D1击穿



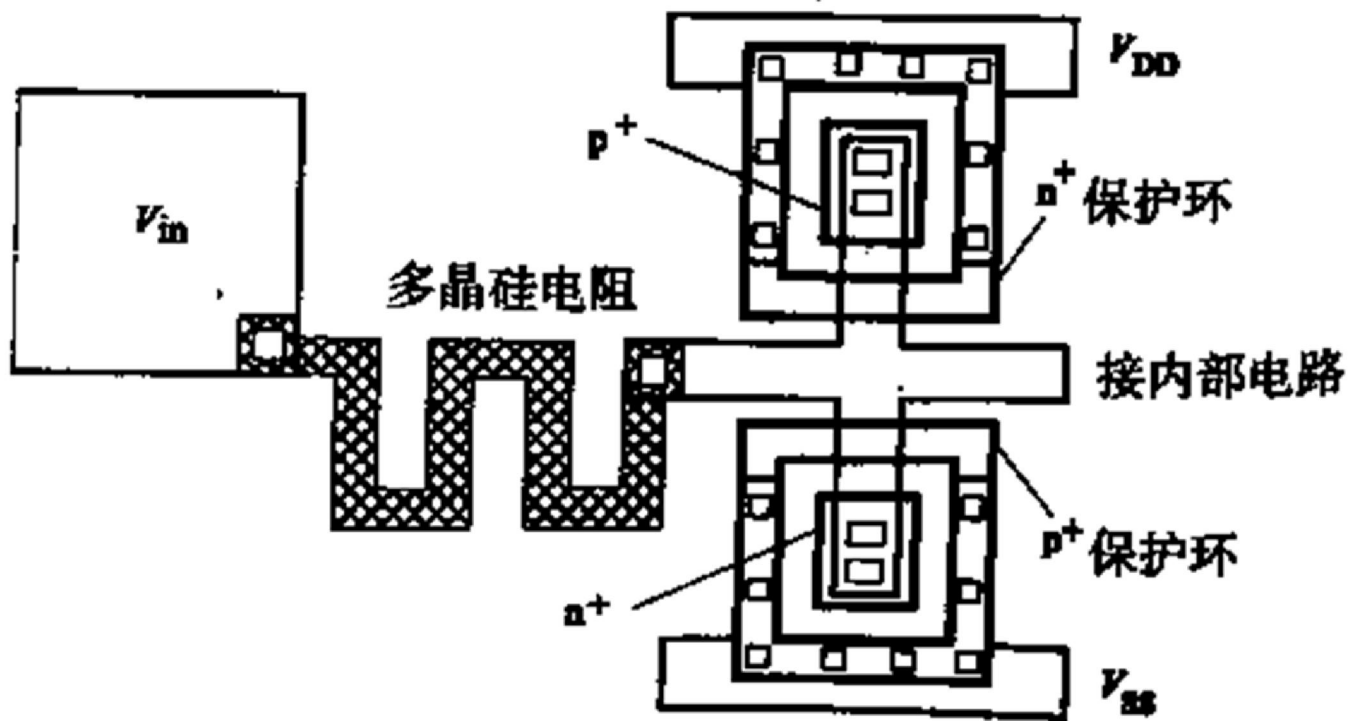
栅极电位钳制在  $-0.7V < V_G < V_{DD} + 0.7V$



# 输入端ESD保护电路



双二极管保护电路的版图

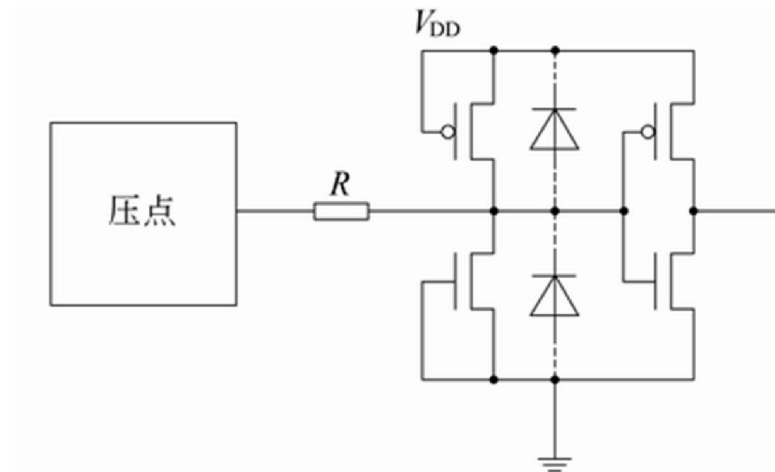


# 输入端ESD保护电路

- 对深亚微米CMOS集成电路，栅氧化层的击穿电压很小，常规二极管的击穿电压较大，不能起到很好的保护作用。因此可以增加离子注入提高二极管衬底浓度，来降低二极管的击穿电压
- 输入保护电路和电平转换电路结合起来就构成实际的CMOS集成电路中常采用的输入缓冲器结构

# 输入端ESD保护电路

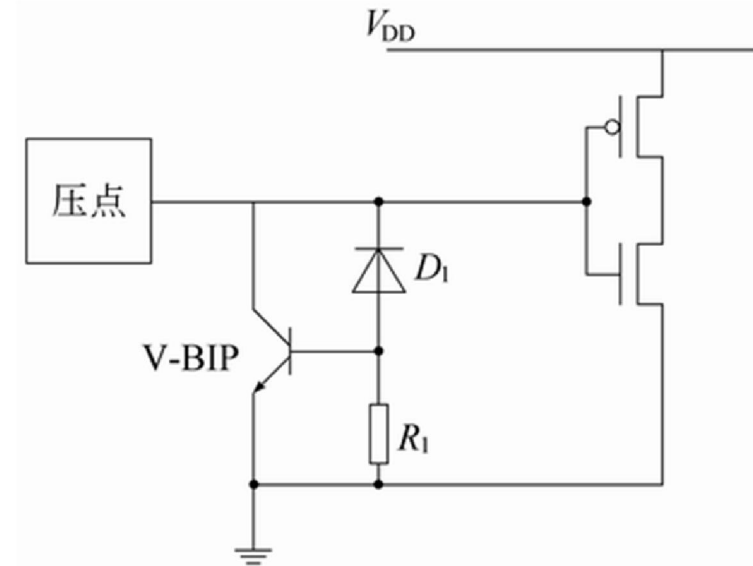
- 用场区MOS管作输入保护
  - 输入端有较大的正脉冲电压时场区MOS管导通，使ESD电流旁路
- 用栅接地的NMOS管和栅接 $V_{DD}$ 的PMOS管共同构成输入保护电路
  - 源漏区pn结起到二极管的保护作用



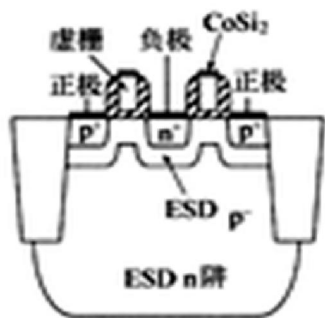
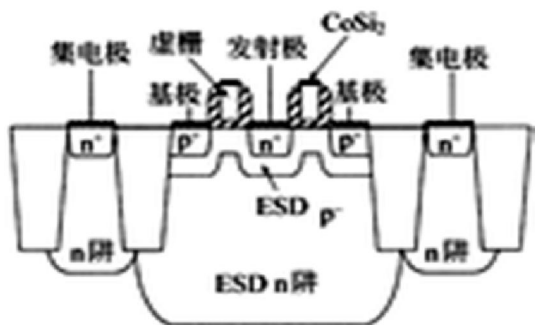
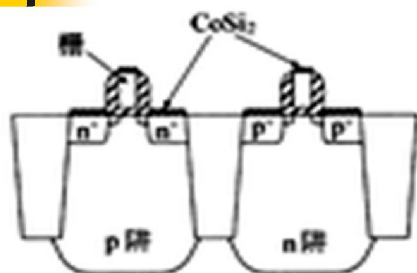
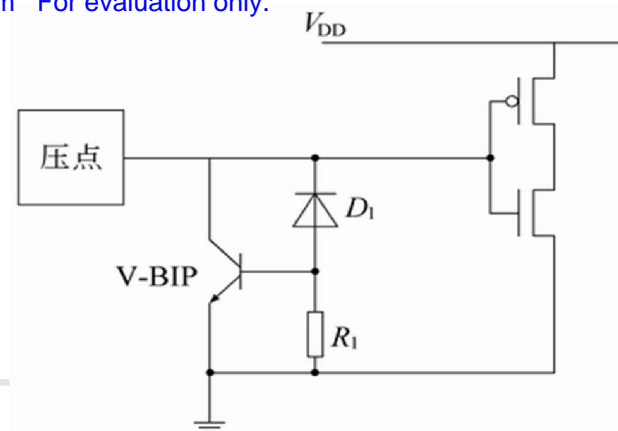
# 输入端ESD保护电路

- 特征尺寸的缩小对ESD保护电路的挑战
  - I/O管脚数目增加，需减小保护电路的面积
  - 需降低保护电路的钳位电压，加快电荷泄放速度
- 采用垂直双极晶体管（Vertical Bipolar, V-BIP）做保护电路

输入电压过高时，D被击穿，电阻R使V-BIP发射结正偏，双极晶体管导通，为ESD提供很大的放电电流



# 输入端ESD保护电路



- 采用V-BIP做保护电路的优点

→ 低成本

→ 高驱动电流

→ 小面积

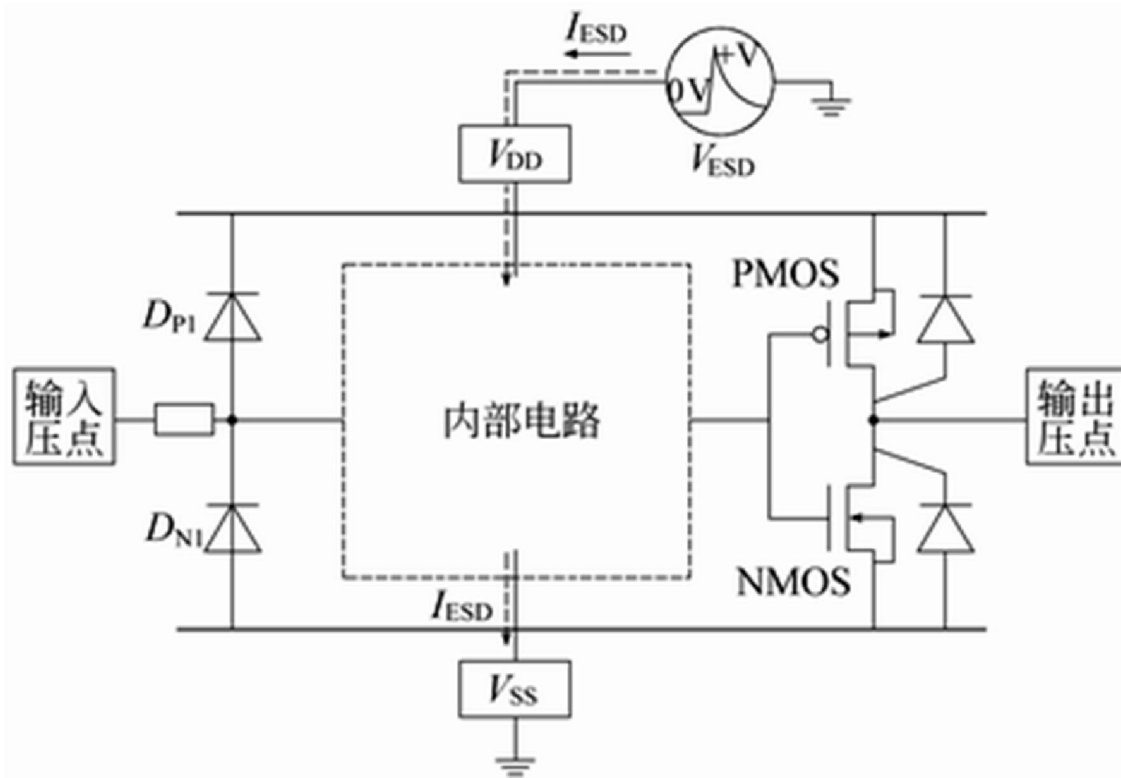
→ 低钳位电压

- 采用n阱CMOS工艺，在n阱中制作垂直结构的双极晶体管，并形成触发二极管D

- V-BIP器件收集区通过常规CMOS器件的n阱和ESD器件的n阱相连

# ESD保护电路

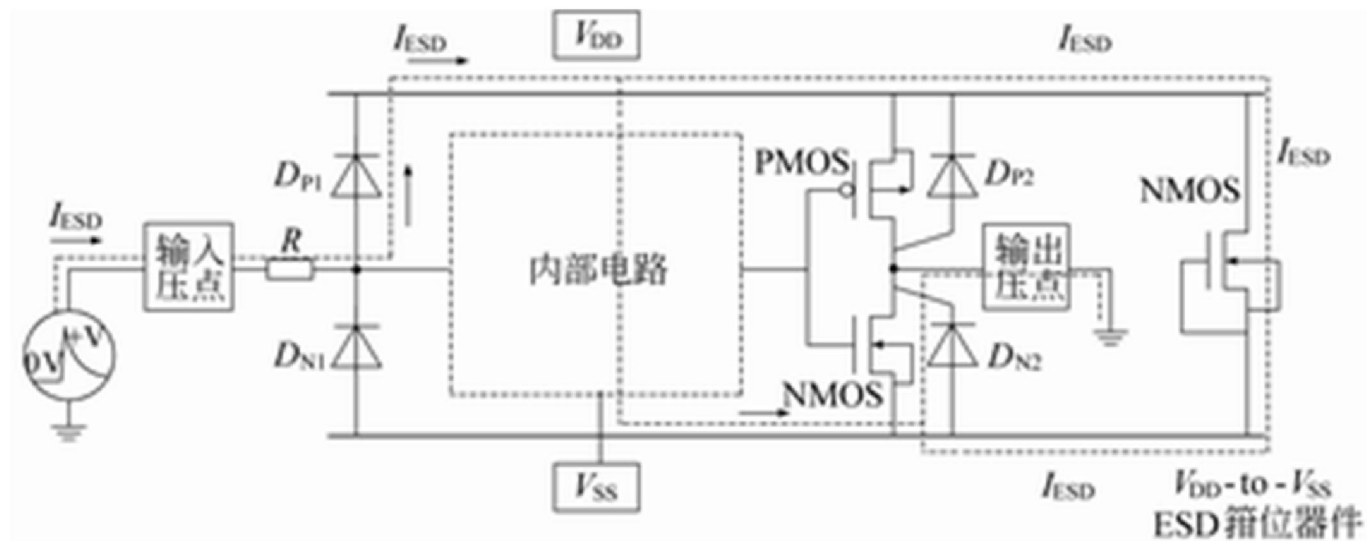
- ESD应力电压加在电源和地的管脚之间



应在电源和地  
之间增加ESD  
保护电路

# 电源的ESD保护电路

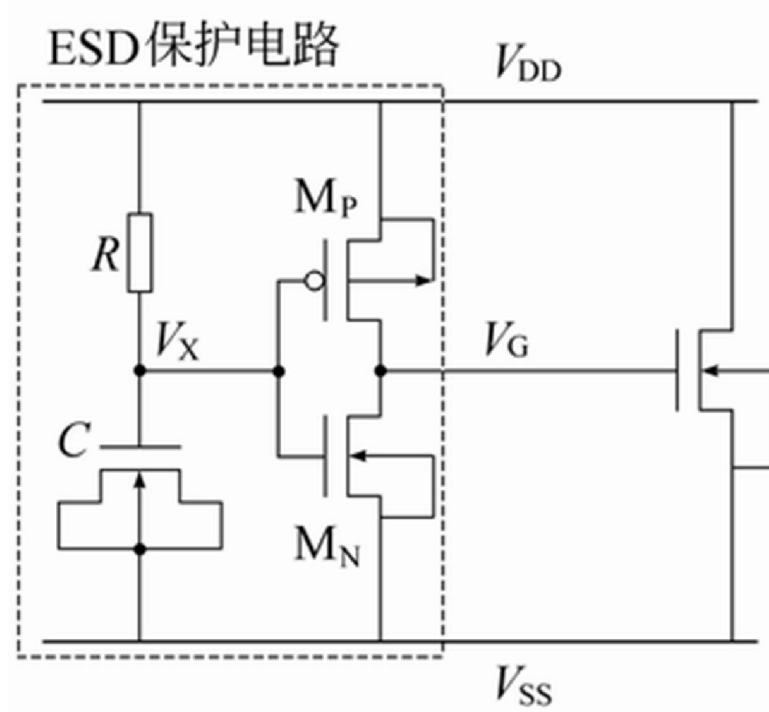
- 用栅接地的NMOS管做电源的ESD保护



- ➔ 能为静电释放提供足够大的电流，器件的面积较大
- ➔ 钳位电压较高，可能在自己被击穿之前内部器件已损坏

# 电源的ESD保护电路

## ■ 具有ESD变化探测功能的保护电路



→ 正常工作时，ESD保护电路与内部电路相隔离

→ 受到ESD冲击时， $V_x$ 缓慢上升， $V_x$ 比 $V_{DD}$ 上升慢，使 $M_p$ 导通， $V_g$ 达到一个正电压，从而使钳位NMOS管导通

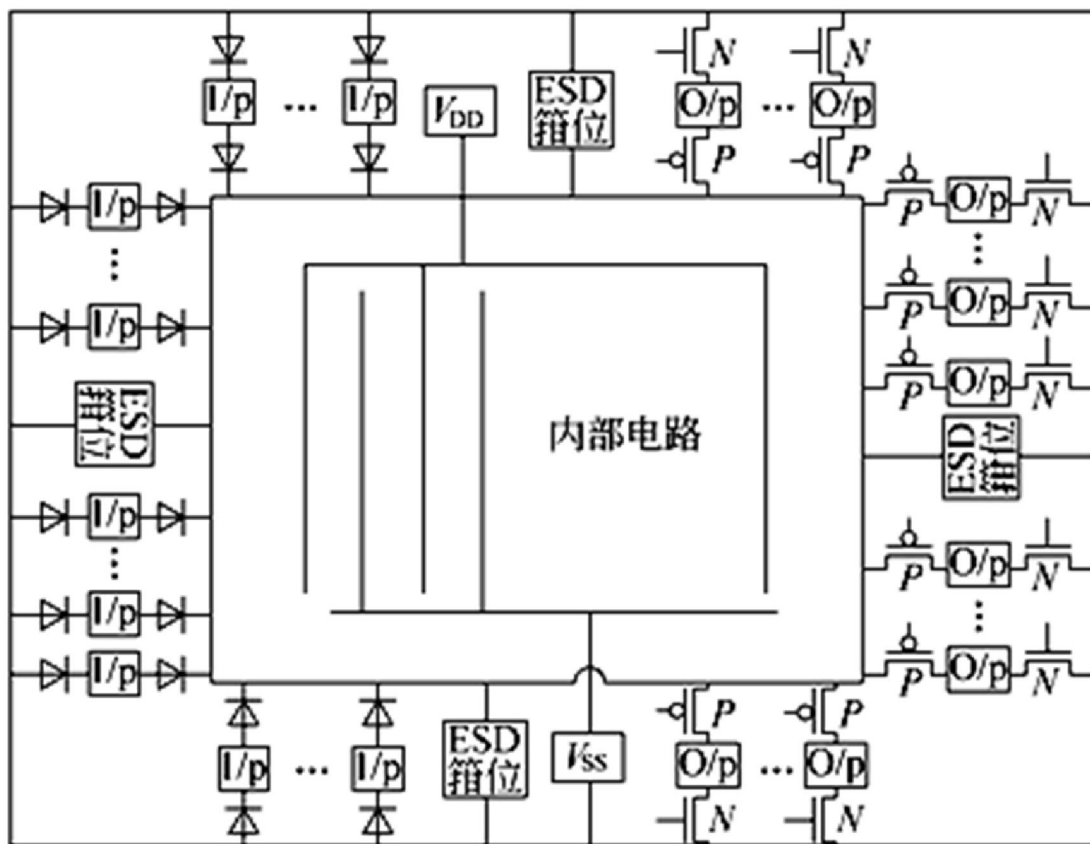
设计适当的RC常数，使钳位NMOS管的导通时间满足要求



# 输出端ESD保护电路

- 芯片的脱片输出级都是尺寸很大的MOS管构成的反相器，其漏区和衬底形成的pn结就相当于一个大面积的二极管，可以起到ESD保护作用。
- 一般输出级不用增加ESD保护器件。
- 对芯片的输出级MOS管尺寸不够大或者对可靠性要求很高的情况，也要在输出端增加保护二极管。

# ESD保护电路



环绕在芯片四周的很长的电源线和地线有较大的寄生电阻和寄生电容，引起ESD放电时间的延迟，造成远离ESD保护电路的器件更容易损伤

芯片四边各放置一个电源对地的ESD钳位保护电路



# CMOS集成电路的I/O设计

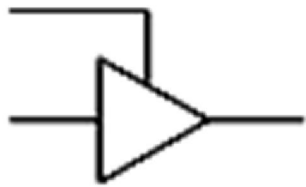
- 6.1 输入缓冲器
- 6.2 输出缓冲器
- 6.3 ESD保护电路
- 6.4 三态输出和双向I/O缓冲器

# 三态输出缓冲器

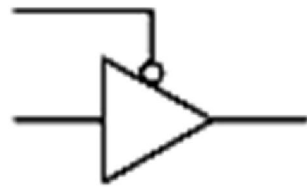
- 整机中的信号通过总线传送；数据总线是连接很多电路输出的公共通路。
- 如果各个电路的输出信号同时送到总线上，则可能破坏电路的正常工作。
- 各电路必须按照一定的时序向总线传送信号
- 三态输出控制
  - 输出高电平状态——有电流流出
  - 输出低电平状态——有电流流入
  - 高阻态——既无电流流出，也无电流流入

# 三态输出缓冲器

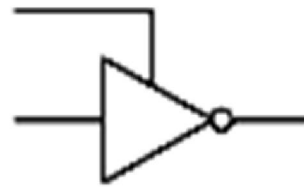
- 用使能信号  $E$  控制输出级



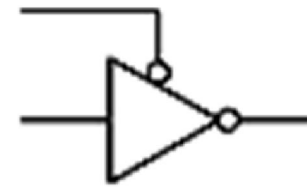
(a)



(b)



(c)



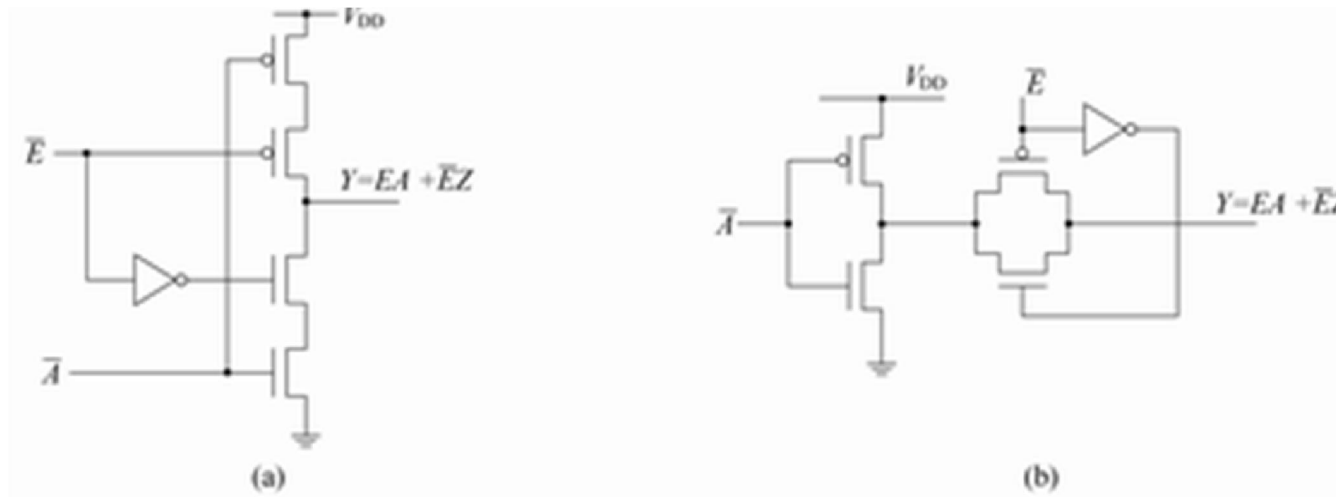
(d)

$E=1$  (或  $\bar{E}=0$ ) 时, 正常输出高电平或输出低电平

$E=0$  (或  $\bar{E}=1$ ) 时, 处于高阻态

# 三态输出缓冲器

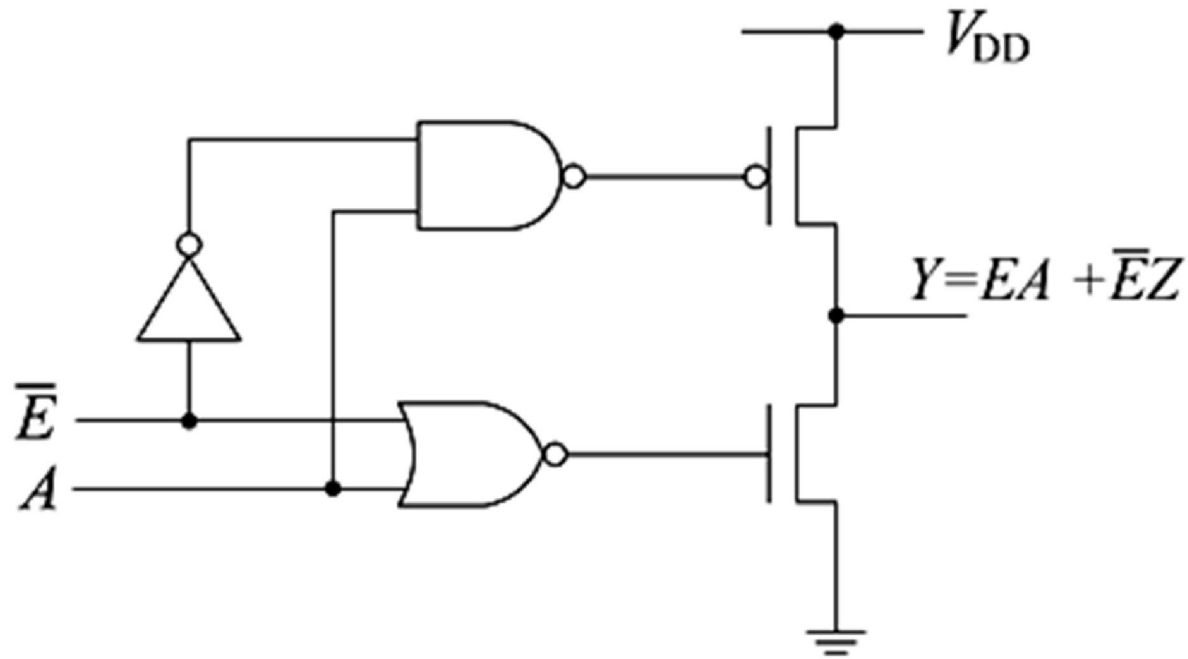
- 用简单的CMOS电路实现三态输出



上拉和下拉通路都经过两个串联管，驱动能力差

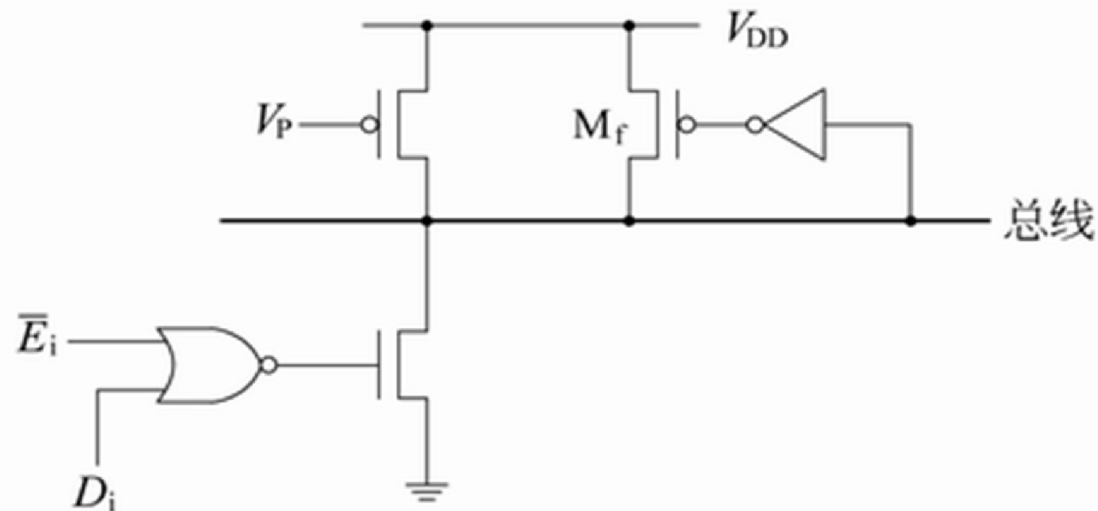
# 三态输出缓冲器

- 用逻辑门控制输出级反相器实现三态输出



# 预充—求值的总线结构

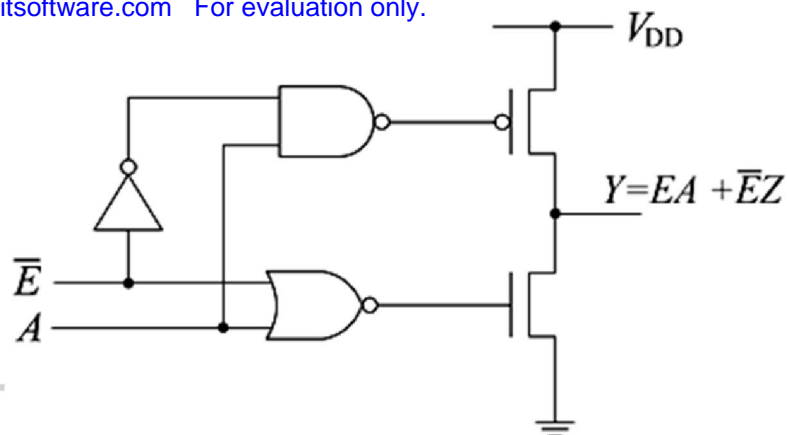
- $V_p=0$ 时，总线处在预充电阶段，
- $V_p=1$ 时，总线根据控制信号接受某个电路的数据



输出电路不需要三态控制,减小了电路的面积,提高了工作速度



## 三态输出双向I/O缓冲器



- 一种CMOS双向缓冲器电路

- $E=0$ 时，作为输入端使用
- $E=1$ 时，作为输出端使用

输入电路需加ESD保护

