

# 第五章 数字集成电路中的基本 模块



---

## 5.4 时序模块电路

# 同步时序电路设计方法

## ■ I. 状态转换设计

- 1. 分析功能需求 → 状态转换图或状态转移 / 输出表
- 2. 化简状态 → 状态转移 / 输出表

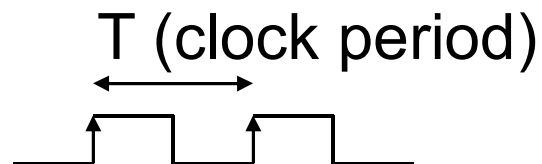
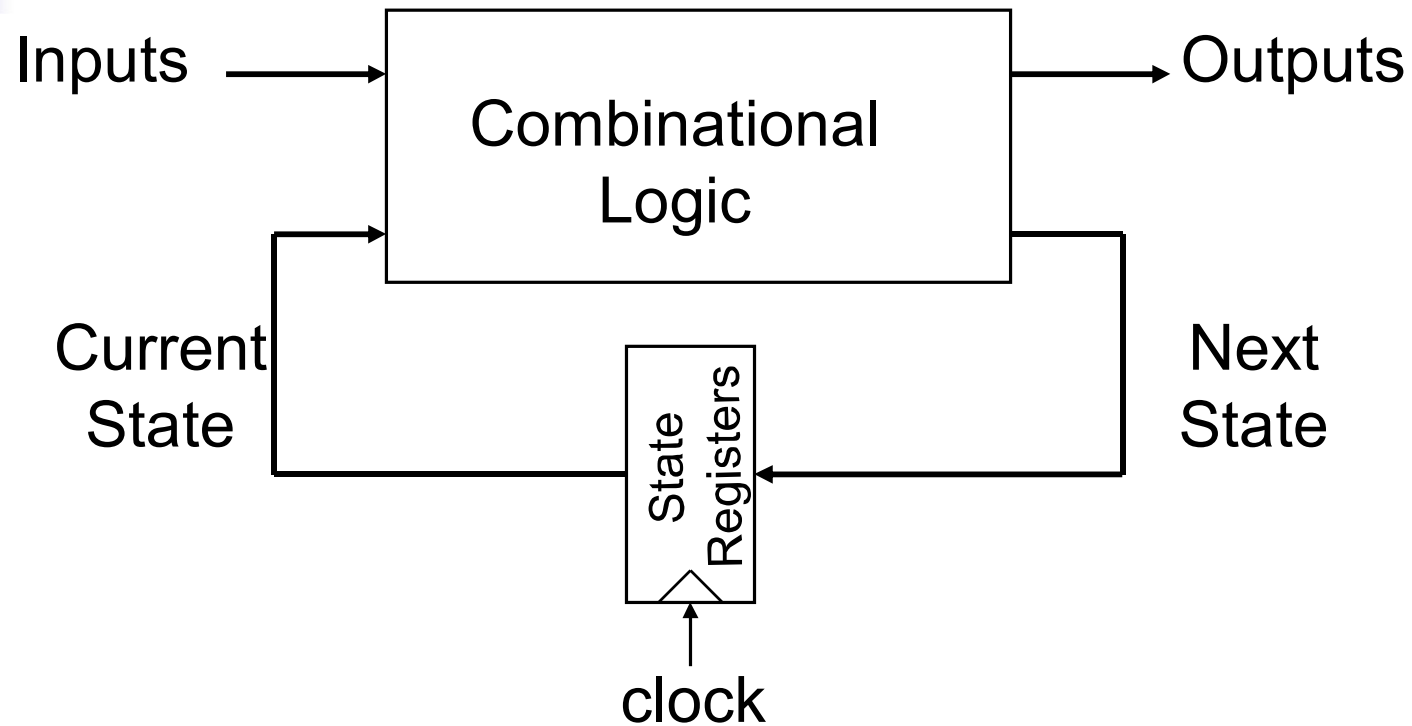
## ■ II. 逻辑状态转换设计

- 3. 状态赋值 → 转移 / 输出表
- 4. 选择存储元件 (DFF, JKFF, ...) → 激励表/输出表
- 5. 激励表/输出表 → 卡诺图

## ■ III. 电路综合

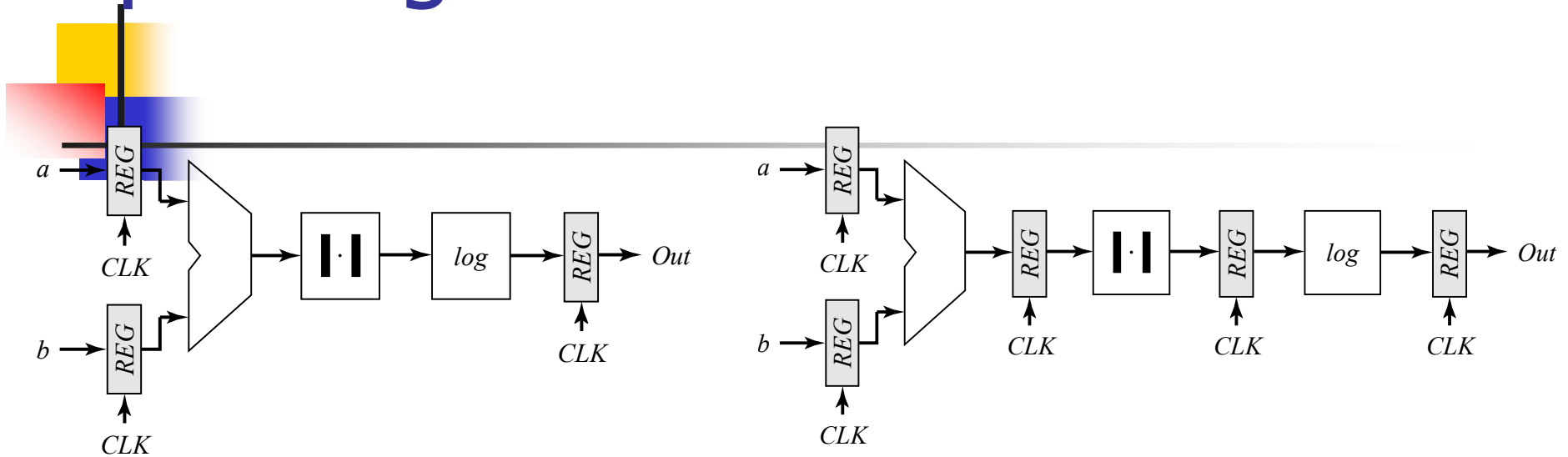
- 6. 卡诺图 → 激励方程/输出方程
- 7. 激励方程/输出方程 → 激励逻辑电路/输出逻辑电路
- 8. 激励逻辑电路/输出逻辑电路 → 时钟同步状态机总电路图

# System Timing Constraints



$$T \geq t_{c-q} + t_{plogic} + t_{su}$$

# Pipelining



Reference

Pipelined

Clock Period	Adder	Absolute Value	Logarithm
1	$a_1 + b_1$		
2	$a_2 + b_2$	$ a_1 + b_1 $	
3	$a_3 + b_3$	$ a_2 + b_2 $	$\log(a_1 + b_1)$
4	$a_4 + b_4$	$ a_3 + b_3 $	$\log( a_2 + b_2 )$
5	$a_5 + b_5$	$ a_4 + b_4 $	$\log( a_3 + b_3 )$



# 时序模块电路

---

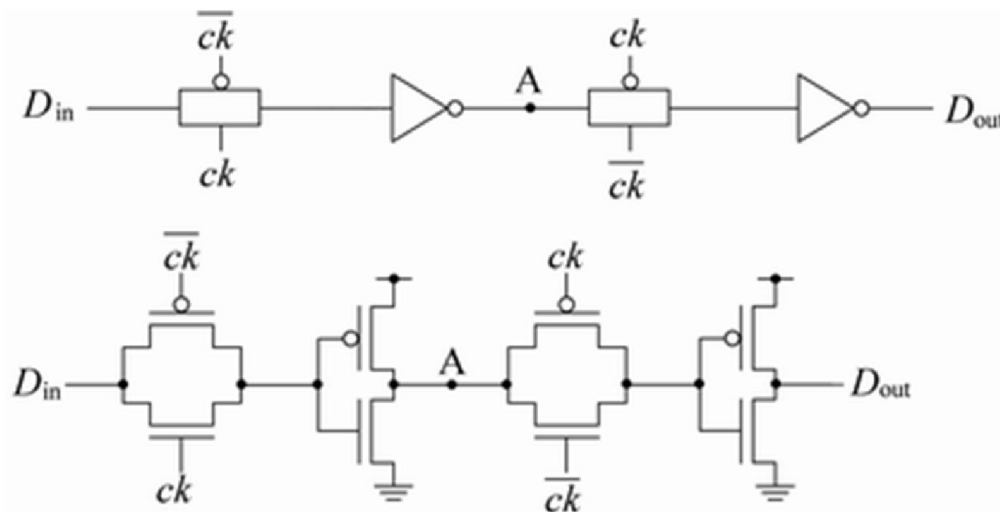
- 移位寄存器
- 计数器

# 移位寄存器

- 对数据进行移位操作和寄存的功能部件
- 移位方式：左移、右移
- 数据的输入或输出方式：
  - 串入—串出
  - 串入—并出
  - 并入—串出
  - 并入—并出

# 串入—串出移位寄存器

对数据进行短暂寄存——采用动态电路



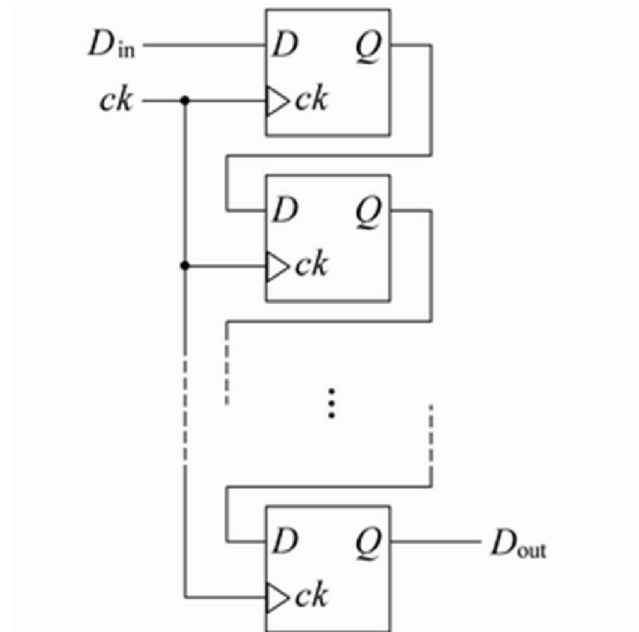
- $ck=1$ , 数据以反码形式暂时存储在A点
- $ck=0$ , A点数据反相后送到输出端

$n$ 位的串入—串出移位器，输入信号延迟 $n$ 个时钟周期后输出

# 串入—串出移位寄存器

采用动态电路

- 优点：电路形式简单，面积小，速度快
  - 缺点：数据寄存时间短暂，可靠性差
- 用D触发器构成单向串入—串出移位寄存器





# 串入—并出移位寄存器

下排D触发器：实现数据串行输入及移位

■ 上排D锁存器：

■  $S=0$ ,

处于保持状态

■  $S=1$ ,

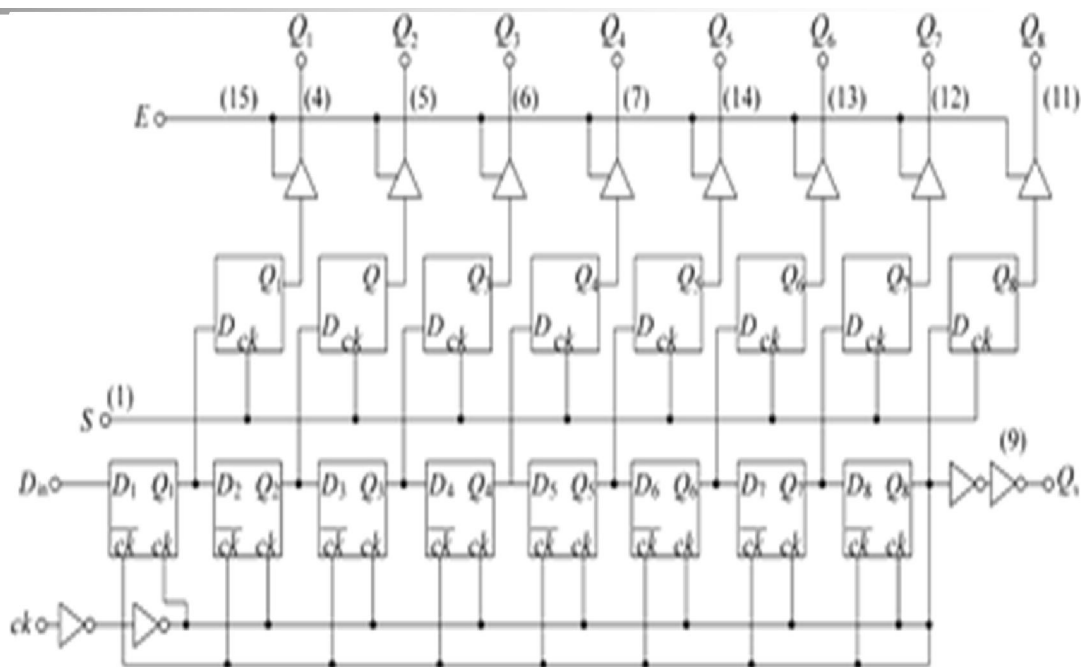
输入端数据送

至三态缓冲器

■ 三态缓冲器

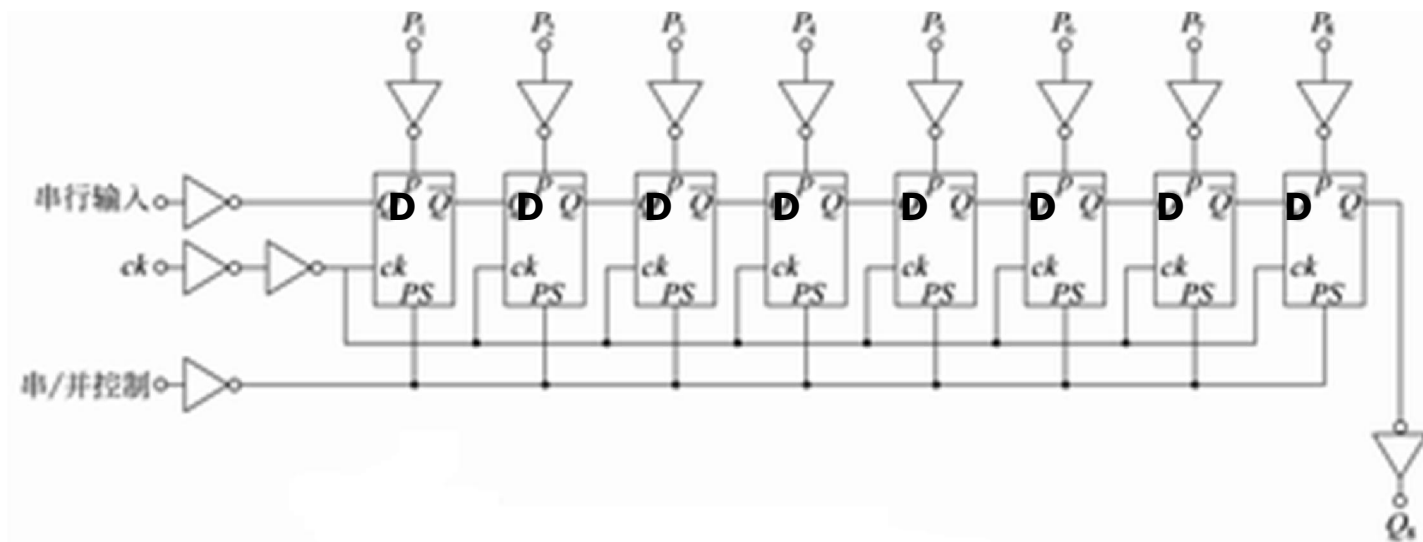
■  $E=0$ , 输出处于高阻态

■  $E=1$ , 允许数据并行输出



# 并入—串出/并入—并出移位寄存器

在串入—串出移位器基础上，在每个D触发器的输入端增加两个传输门，分别控制串行和并行的输入数据，实现并入—串出

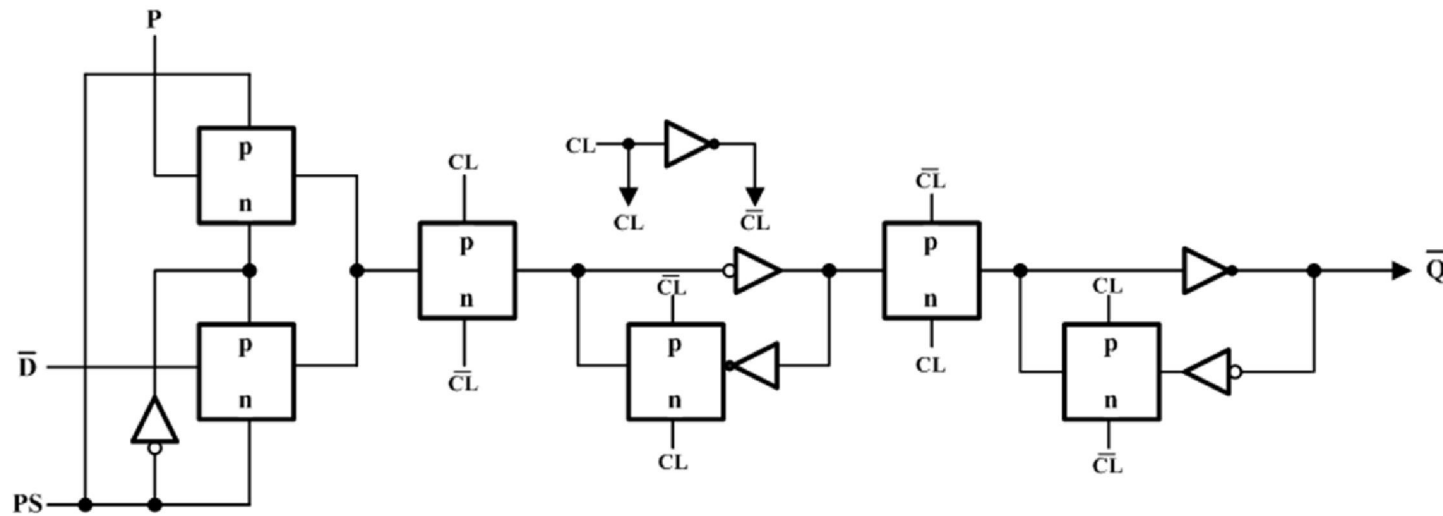


- 输出端和并行输入端都加入反相器做缓冲
- 引出每个D触发器的输出，实现并入—并出

# 并入—串出/并入—并出移位寄存器

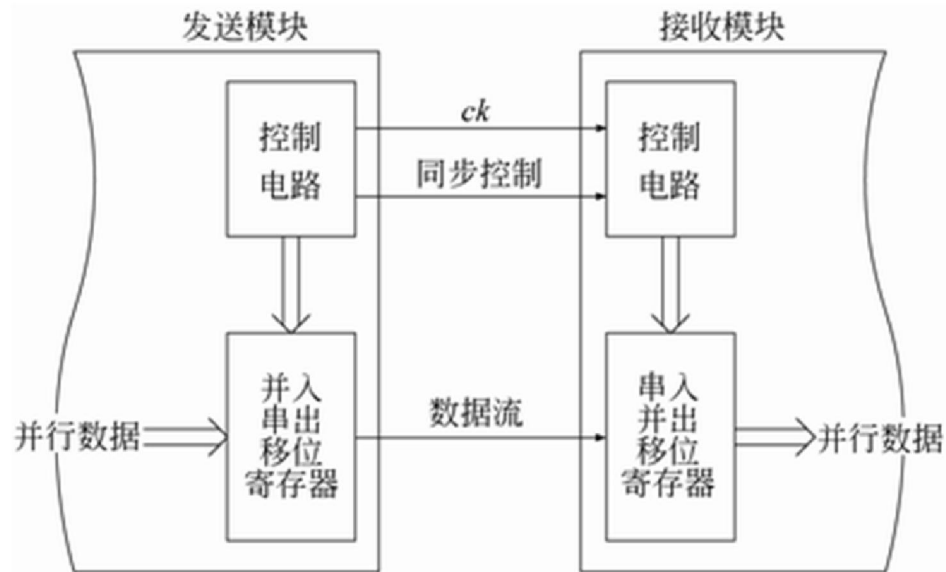
## 寄存器

- D触发器电路
  - $PS=0$ , 并行输入
  - $PS=1$ , 串行输入



# 并入—串出/并入—并出移位寄存器

## 在通讯系统中的应用



- 发送模块：并入—串出移位寄存器
- 接收模块：串入—并出移位寄存器
- 时钟信号和同步信号

# 通用移位寄存器

## 对移位寄存器的要求

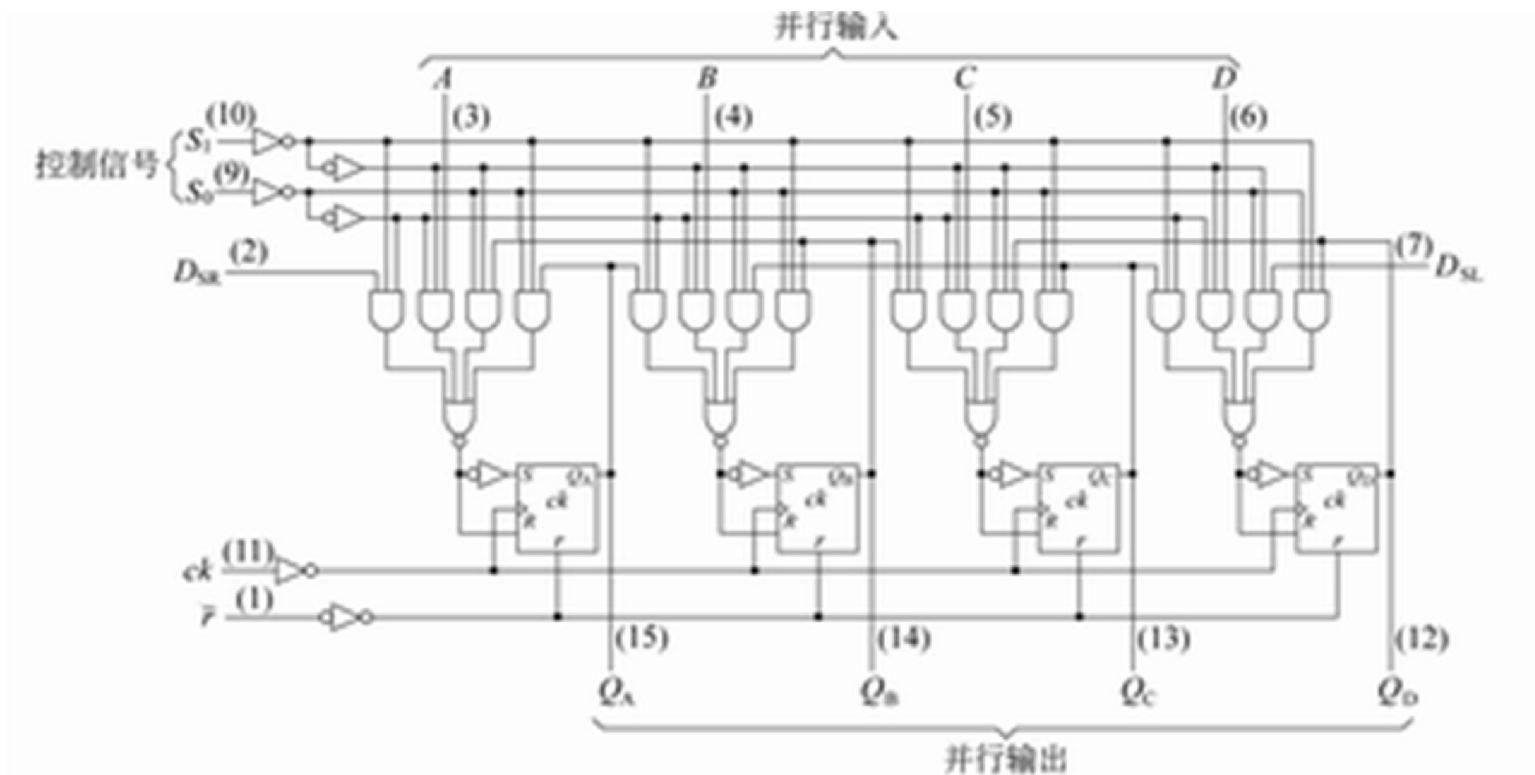
- 多种移位方式：左移、右移
- 多种输入/输出方式：串入、并入，串出、并出

操作	输 入										输 出			
	$\bar{r}$	$ck$	$S_1$	$S_0$	$D_{SL}$	$D_{SR}$	$A$	$B$	$C$	$D$	$Q_A$	$Q_B$	$Q_C$	$Q_D$
复位	0	×	×	×	×	×	×	×	×	×	0	0	0	0
保持	1	0	×	×	×	×	×	×	×	×	$Q_{A(0)}$	$Q_{B(0)}$	$Q_{C(0)}$	$Q_{D(0)}$
	1	↑	0	0	×	×	×	×	×	×	$Q_{A(0)}$	$Q_{B(0)}$	$Q_{C(0)}$	$Q_{D(0)}$
右移	1	↑	0	1	×	1	×	×	×	×	1	$Q_A$	$Q_B$	$Q_C$
	1	↑	0	1	×	0	×	×	×	×	0	$Q_A$	$Q_B$	$Q_C$
左移	1	↑	1	0	1	×	×	×	×	×	$Q_B$	$Q_C$	$Q_D$	1
	1	↑	1	0	0	×	×	×	×	×	$Q_B$	$Q_C$	$Q_D$	0
并入	1	↑	1	1	×	×	$a$	$b$	$c$	$d$	$a$	$b$	$c$	$d$

操作	输入										输出			
	$\bar{r}$	$ck$	$S_1$	$S_0$	$D_{SL}$	$D_{SR}$	$A$	$B$	$C$	$D$	$Q_A$	$Q_B$	$Q_C$	$Q_D$
复位	0	×	×	×	×	×	×	×	×	×	0	0	0	0
保持	1	0	×	×	×	×	×	×	×	×	$Q_A(0)$	$Q_B(0)$	$Q_C(0)$	$Q_D(0)$
	1	↑	0	0	×	×	×	×	×	×	$Q_A(0)$	$Q_B(0)$	$Q_C(0)$	$Q_D(0)$
右移	1	↑	0	1	×	1	×	×	×	×	1	$Q_A$	$Q_B$	$Q_C$
	1	↑	0	1	×	0	×	×	×	×	0	$Q_A$	$Q_B$	$Q_C$
左移	1	↑	1	0	1	×	×	×	×	×	$Q_B$	$Q_C$	$Q_D$	1
	1	↑	1	0	0	×	×	×	×	×	$Q_B$	$Q_C$	$Q_D$	0
并入	1	↑	1	1	×	×	$a$	$b$	$c$	$d$	$a$	$b$	$c$	$d$

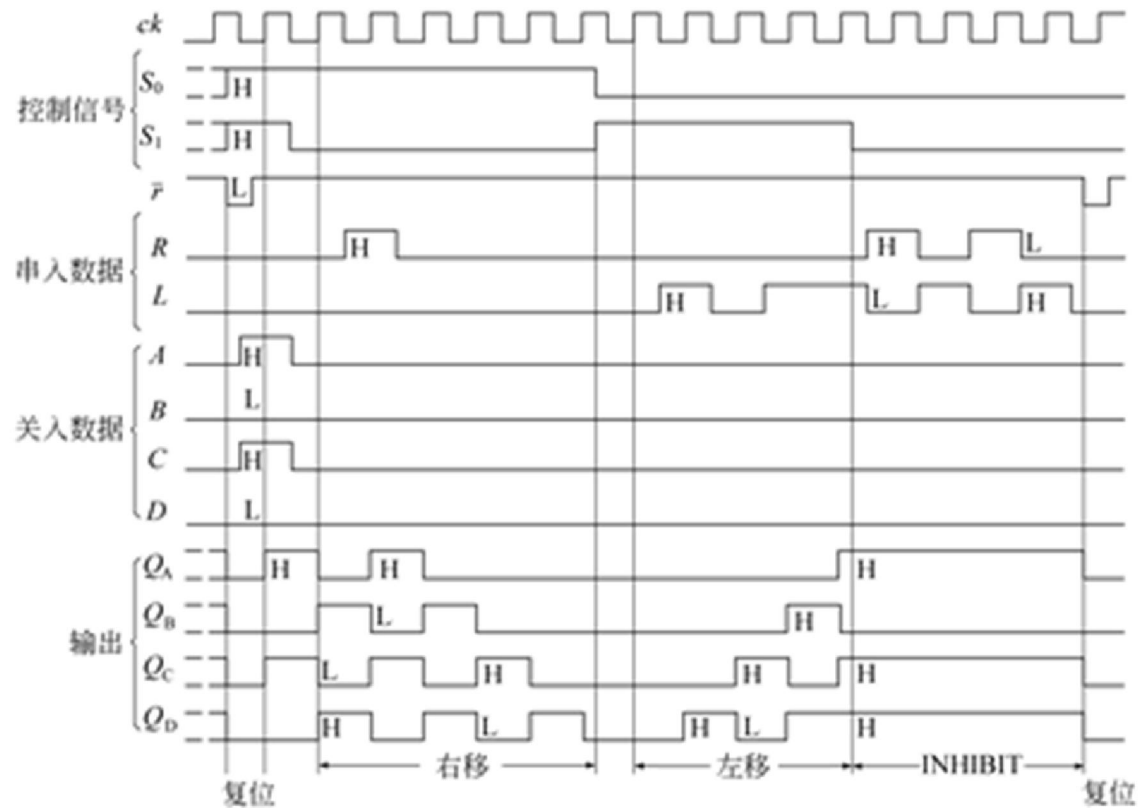
$$Q_A = \bar{S}_1 \bar{S}_0 Q_{A(0)} + \bar{S}_1 S_0 D_{SR} + S_1 \bar{S}_0 Q_B + S_1 S_0 a \quad Q_B = \bar{S}_1 \bar{S}_0 Q_{B(0)} + \bar{S}_1 S_0 Q_A + S_1 \bar{S}_0 Q_C + S_1 S_0 b$$

$$Q_C = \bar{S}_1 \bar{S}_0 Q_{C(0)} + \bar{S}_1 S_0 Q_B + S_1 \bar{S}_0 Q_D + S_1 S_0 c \quad Q_D = \bar{S}_1 \bar{S}_0 Q_{D(0)} + \bar{S}_1 S_0 Q_C + S_1 \bar{S}_0 D_{SL} + S_1 S_0 d$$



# 通用移位寄存器

## 输出波形





# 时序模块电路

---

- 移位寄存器
- 计数器



# 计数器

计数器 (Counter) 是以触发器为基本单元

由n个触发器构成的计数器最多有 $2^n$ 个独立状态  
可以构成模为N ( $N=2^n$ ) 的二进制计数器

- 如果模M满足  $M < 2^n$  , 则为M进制计数器也称M分频计数器 (divide-by-M Counter)。

- 分类

→ 按状态变化规律分类

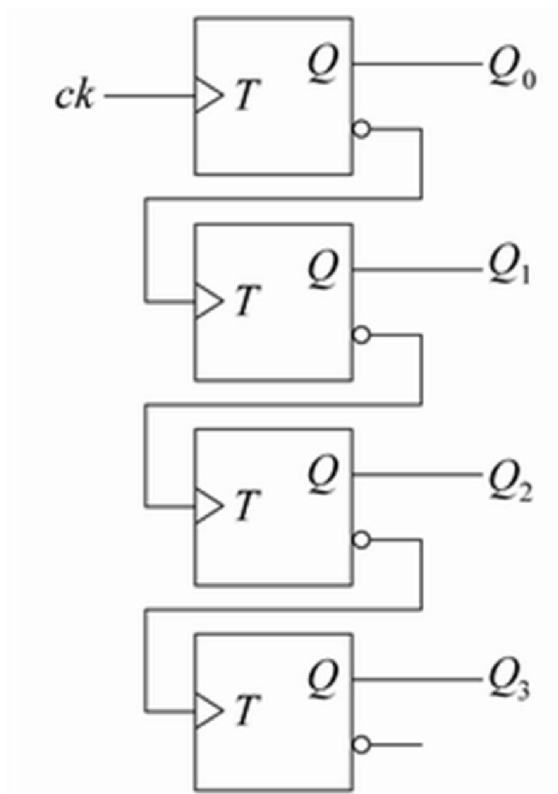
- 加法 (up) 计数器
- 减法 (down) 计数器
- 双向可逆计数器

→ 按时钟控制方式分类

- 同步计数器
- 异步计数器

# 异步加法二进制计数器

用T触发器构成异步二进制加法计数



第1个T触发器在每个时钟上升边都翻转

第2个T触发器是在第1位的状态从1变为0后翻转

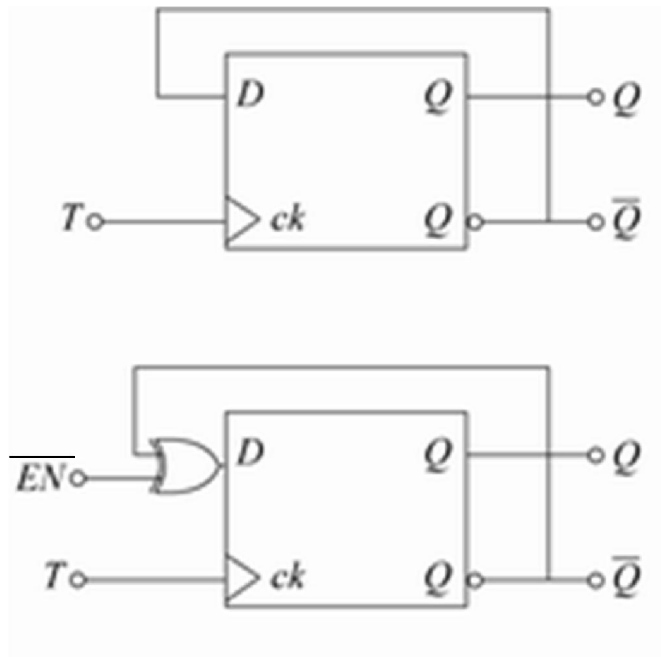
第3个T触发器是在第2位的状态从1变为0后翻转

第4个T触发器是在第3位的状态从1变为0后翻转

异步计数器中各个触发器的工作时序不同

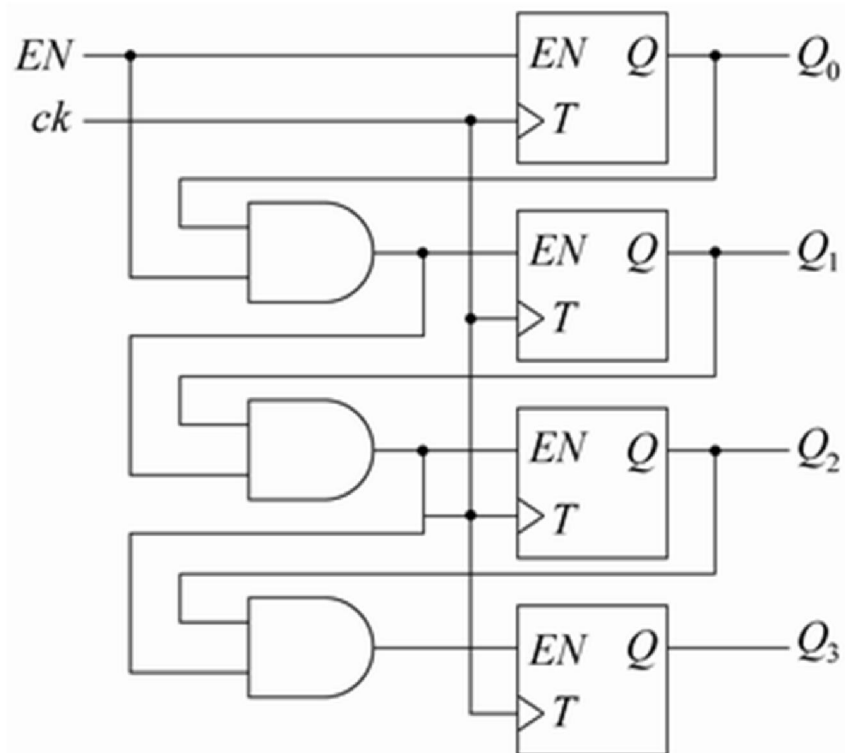
# 异步加法二进制计数器

- 用D触发器实现的T触发器和带使能端的T触发器



# 同步二进制加法计数器

- 所有触发器受同一个时钟信号控制，触发器的输出同时变化
- 用T触发器构成同步二进制加法计数



高位使能信号受低位信号控制，且低位信号传递到高位的时间较长

又叫做同步串行计数器

# 同步二进制加法计数器

- 用T触发器构成同步二进制并行加

