



第5章 数字集成电路基本模块

5.3 时序单元电路



时序单元电路

- 时序逻辑
- 双稳态电路
- **RS**锁存器/触发器
- **D**锁存器/触发器
- 动态时序单元

时序逻辑电路

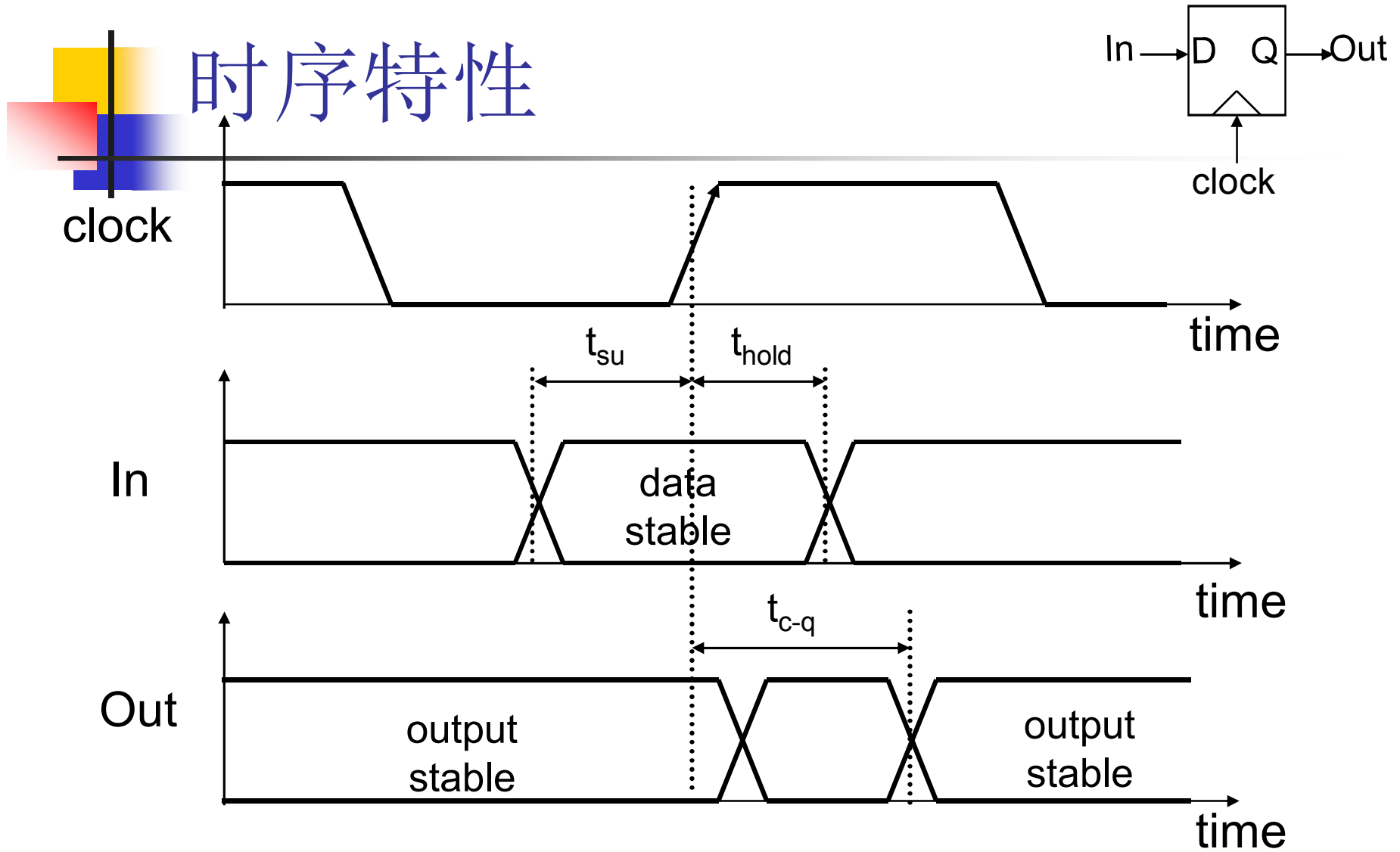
- 时序逻辑电路的输出不仅与当前的输入变量有关，还与系统原来的状态有关，必须有存储部件用来记忆电路前一刻的工作状态



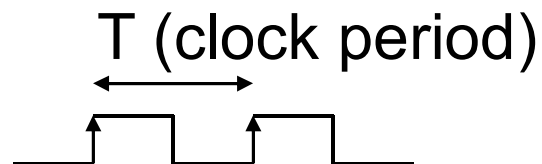
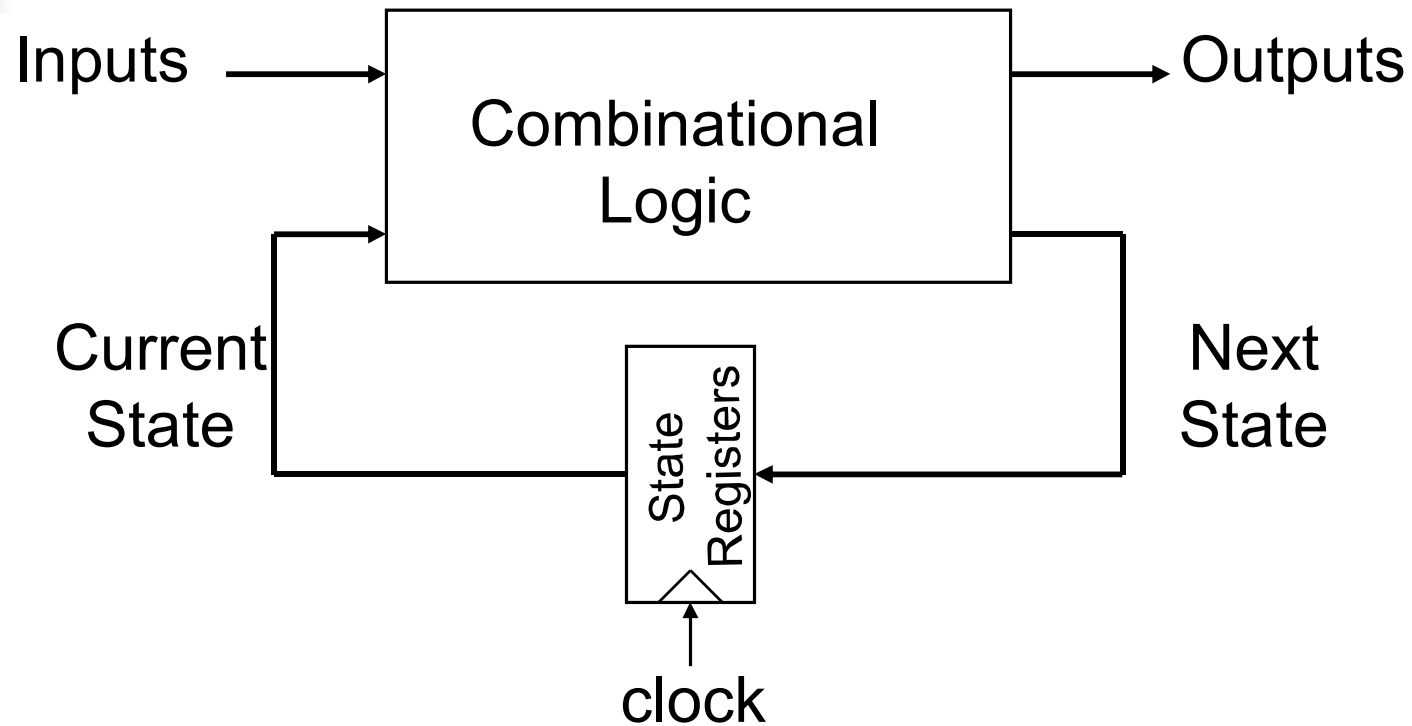
- 输出方程
- 状态方程

$$Y(n) = f_1(X(n), Z(n))$$

$$Z(n+1) = f_2(X(n), Z(n))$$



System Timing Constraints

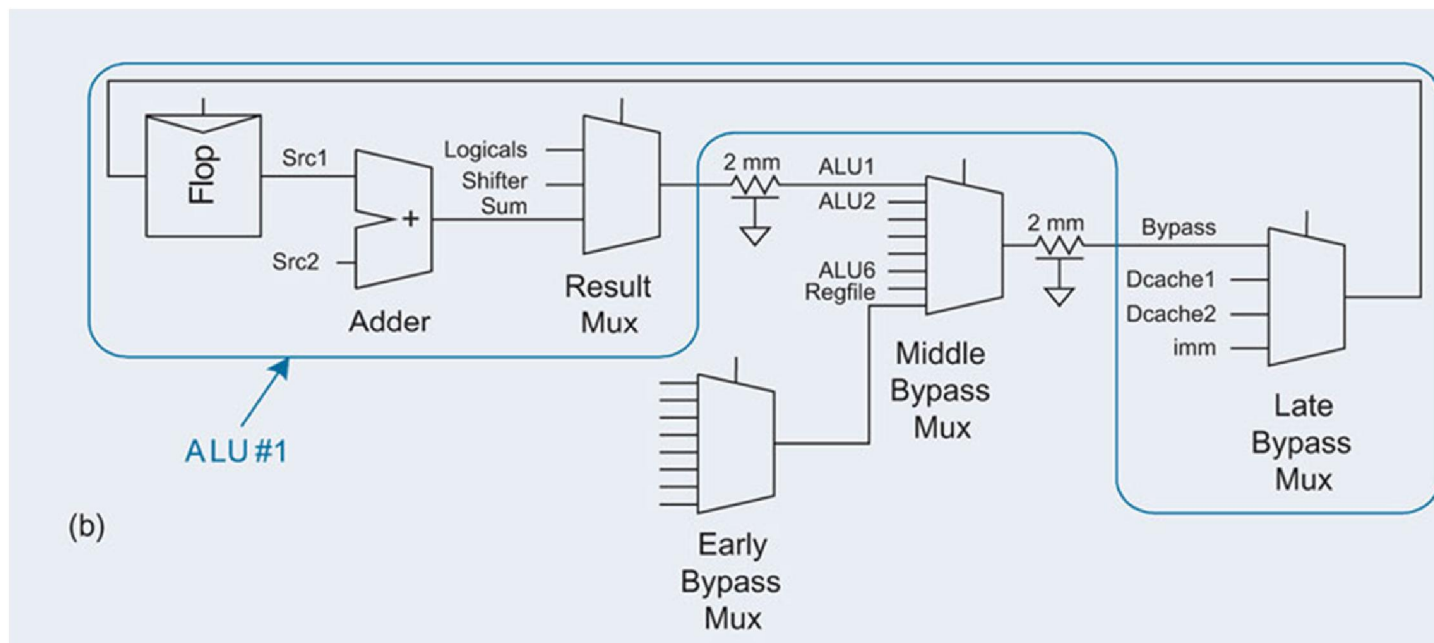


$$T \geq t_{c-q} + t_{plogic} + t_{su}$$

例题

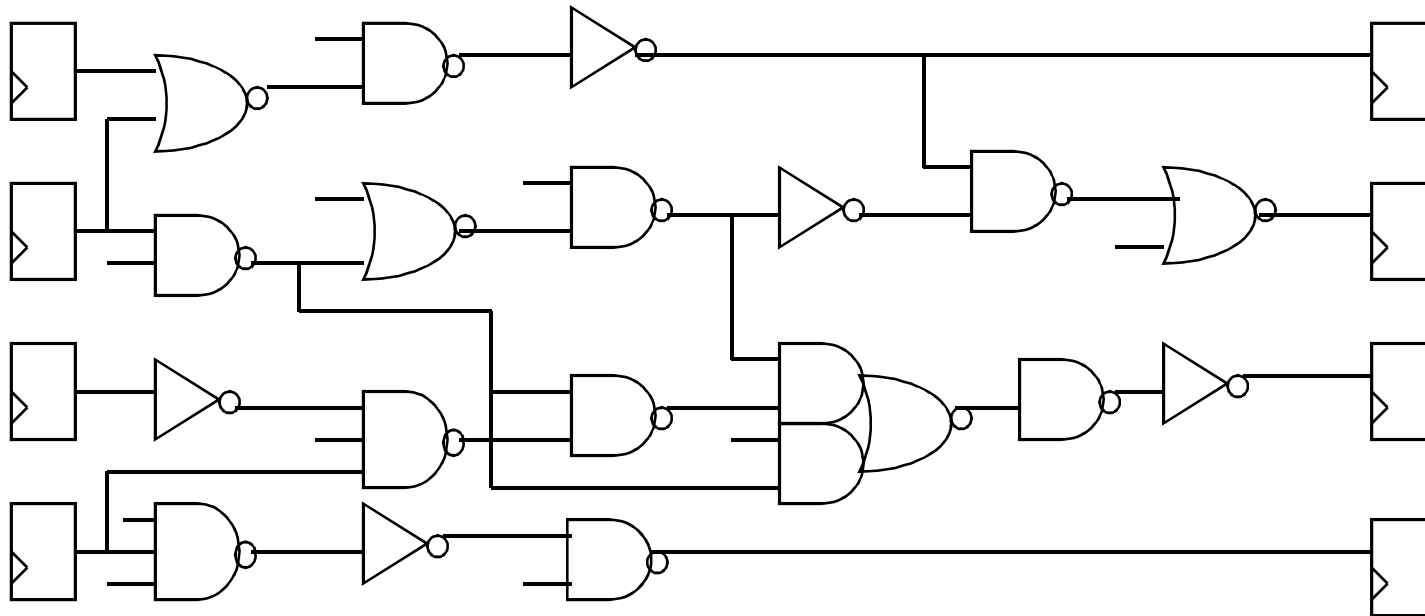
模块	最大延迟时间(ps)
Adder	600
Result Mux	60
Early Bypass Mux	100
Middle Bypass Mux	80
Late Bypass Mux	75
2mm wire	100

- **Itanium**处理器的算术逻辑单元的结构图,如果触发器的建立时间为**65ps**,clk到输出**Q**的延迟时间为**50ps**,而其他组合逻辑的延迟时间如表**1**中所示,则请计算该**ALU**可以正确工作的最小时钟周期是多少?



多电压/多阈值技术

- 决定系统最小时钟周期的关键路径



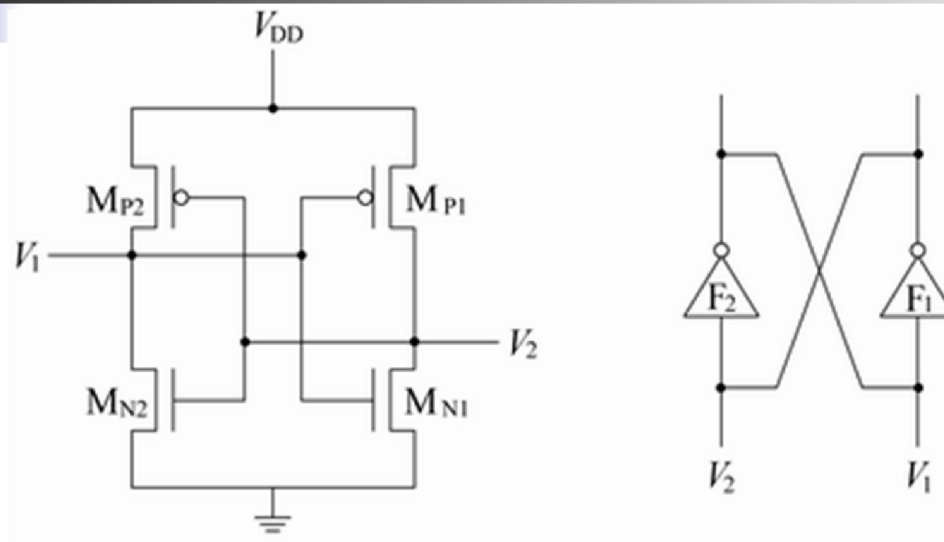


时序单元电路

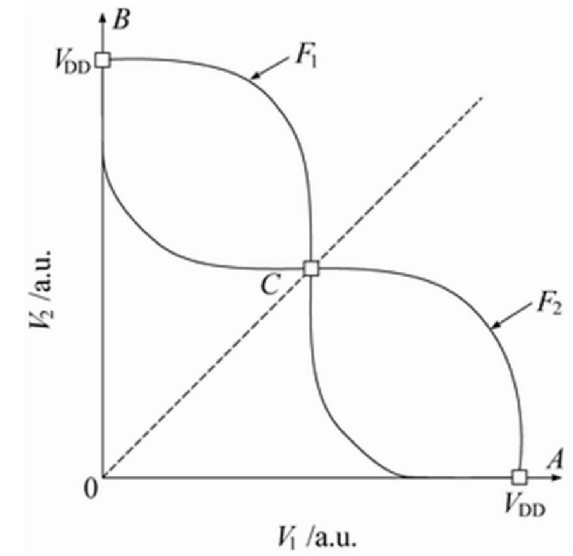
- 时序逻辑
- 双稳态电路
- **RS**锁存器/触发器
- **D**锁存器/触发器
- 动态时序单元

双稳态电路

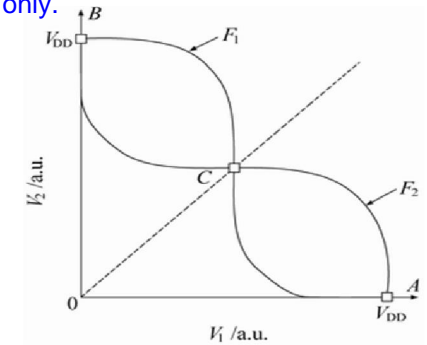
电路结构:两个反相器输入、输出交叉耦合



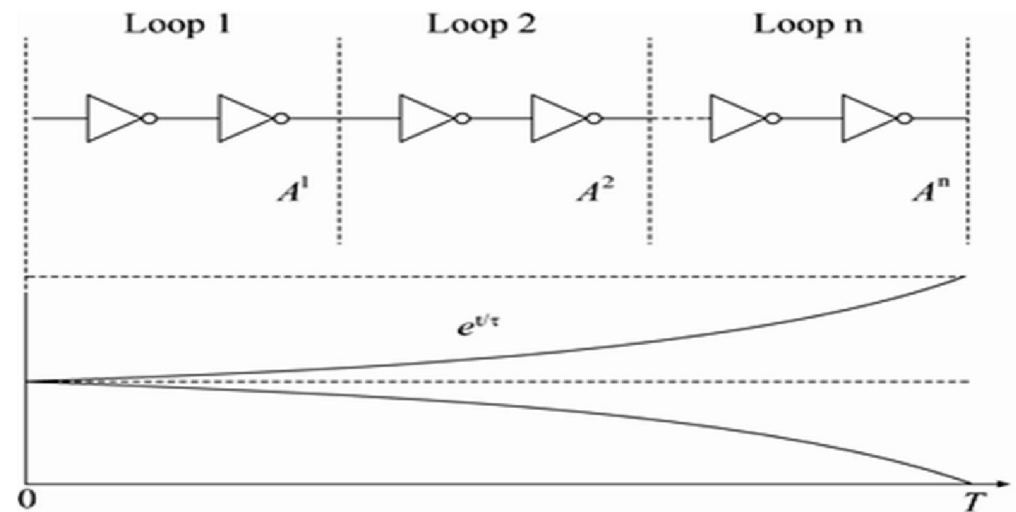
- 两个稳定工作点 A、B
- 一个亚稳态 C



双稳态电路



从亚稳态向稳定工作点转换的过程，可以看作一个接近转换电平的初始信号经过一定级数的反相器链传递，变为合格的逻辑电平



- 双稳态电路所处的状态是随机的，无法控制
- 配上输入控制电路，可构成各种触发器



时序单元电路

- 时序逻辑
- 双稳态电路
- **RS**锁存器/触发器
- **D**锁存器/触发器
- 动态时序单元

R-S锁存器

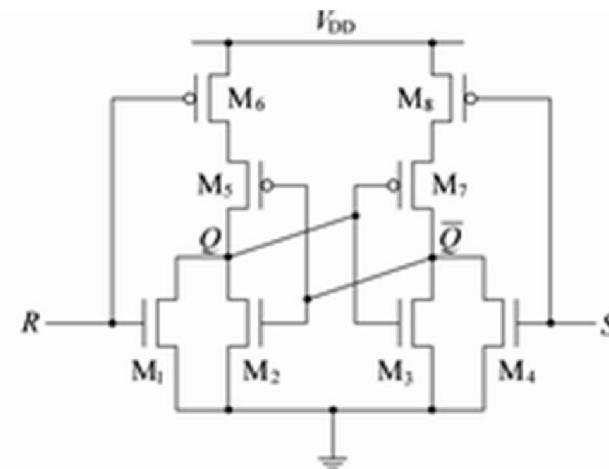
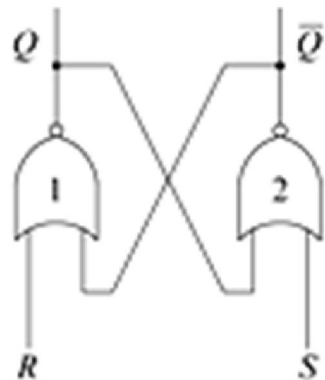
R-S锁存器

真值表

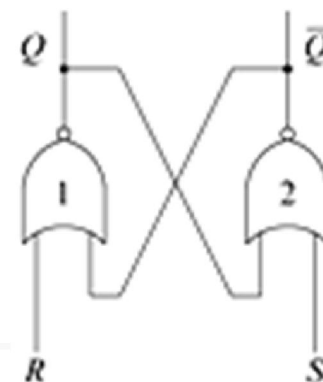
$$Q_{(n+1)} = S + \bar{R}Q_{(n)}$$

$S \cdot R = 0$ (约束条件)

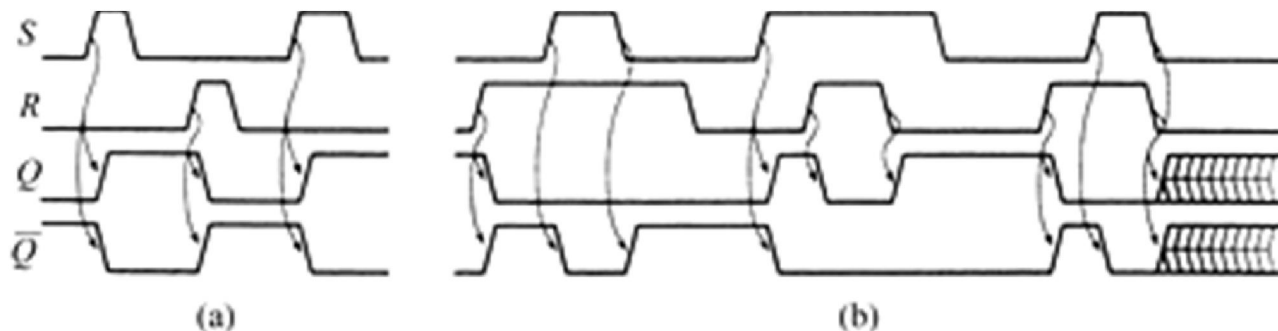
S	R	$Q_{(n+1)}$	工作状态
0	0	$Q_{(n)}$	保持
0	1	0	复位
1	0	1	置位
1	1	0	不允许



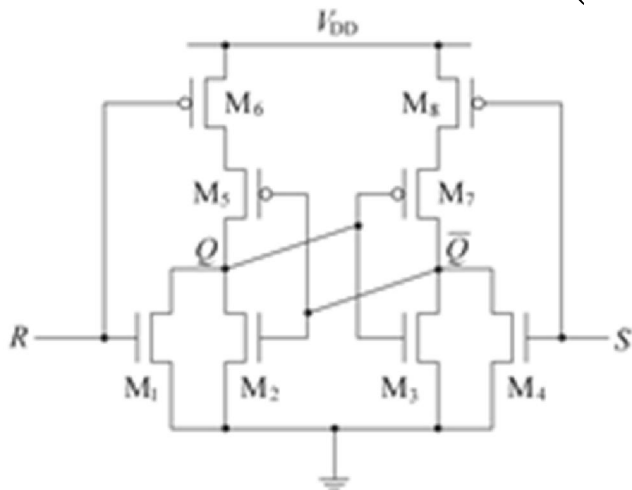
R-S锁存器



- R和S同时为1, 输出状态不确定



- 瞬态分析 $t_{1 \rightarrow 0} = t_{PHL}(\text{或非门1}) + t_{PLH}(\text{或非门2})$



节点电容:

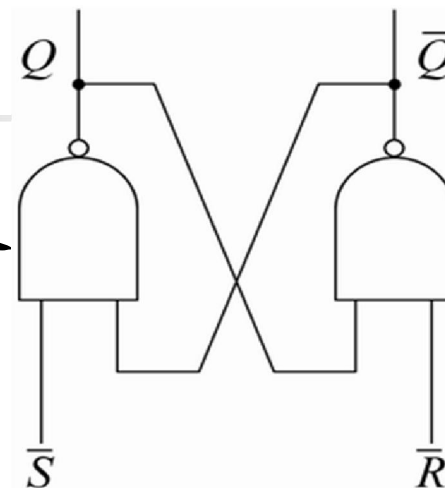
$$C_L(Q) = C_{GS3} + C_{GB7} + C_{DB1} + C_{DB2} + C_{DB5}$$

$$C_L(\bar{Q}) = C_{GS2} + C_{GB5} + C_{DB3} + C_{DB4} + C_{DB7}$$

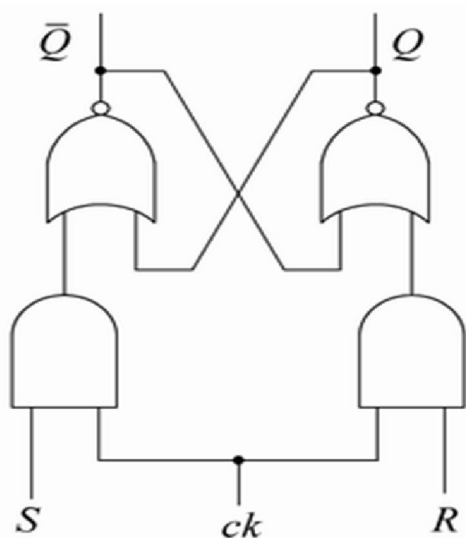
R-S锁存器

- 用与非门构成的R-S锁存器

$$Q = \overline{\overline{S} \cdot \overline{RQ}} \quad \overline{Q} = \overline{\overline{R} \cdot \overline{SQ}}$$



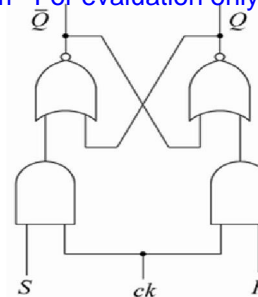
- 时钟同步的R-S锁存器



同步时钟信号 ck

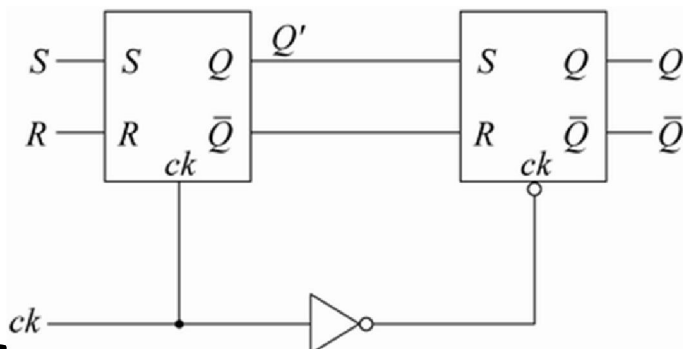
$ck=0$, 保持; $ck=1$, 求值

问题: $ck=1$ 期间输出一直随
输入信号变化



R-S触发器

主-从R-S触发器：两相相反时钟控制2个锁存器



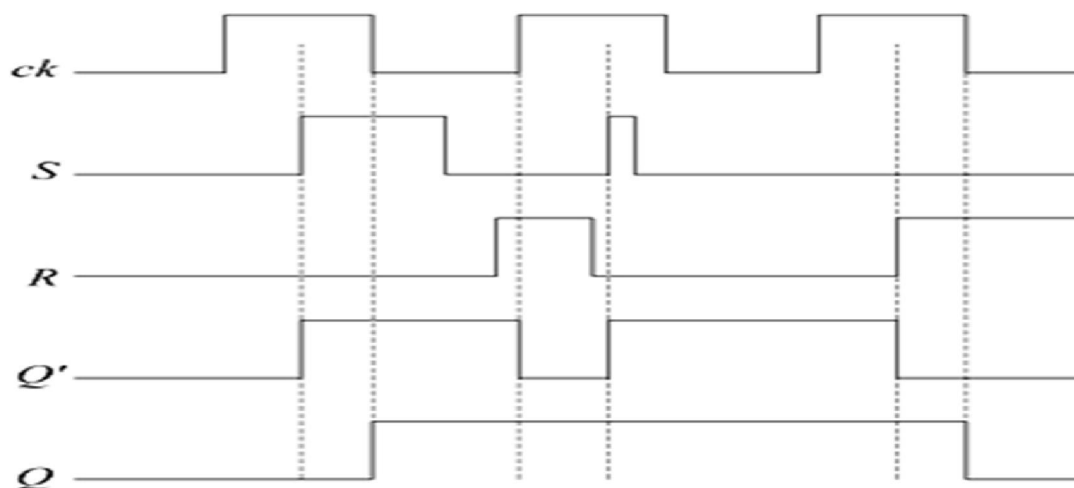
ck=1 主锁存器求值

从锁存器保持

ck=0 主锁存器保持

从锁存器求值

R-S锁存器和触发器的比较





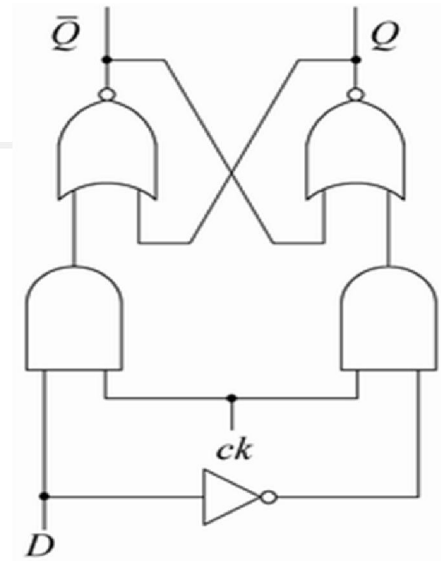
时序单元电路

- 时序逻辑
- 双稳态电路
- **RS**锁存器/触发器
- **D**锁存器/触发器
- 动态时序单元

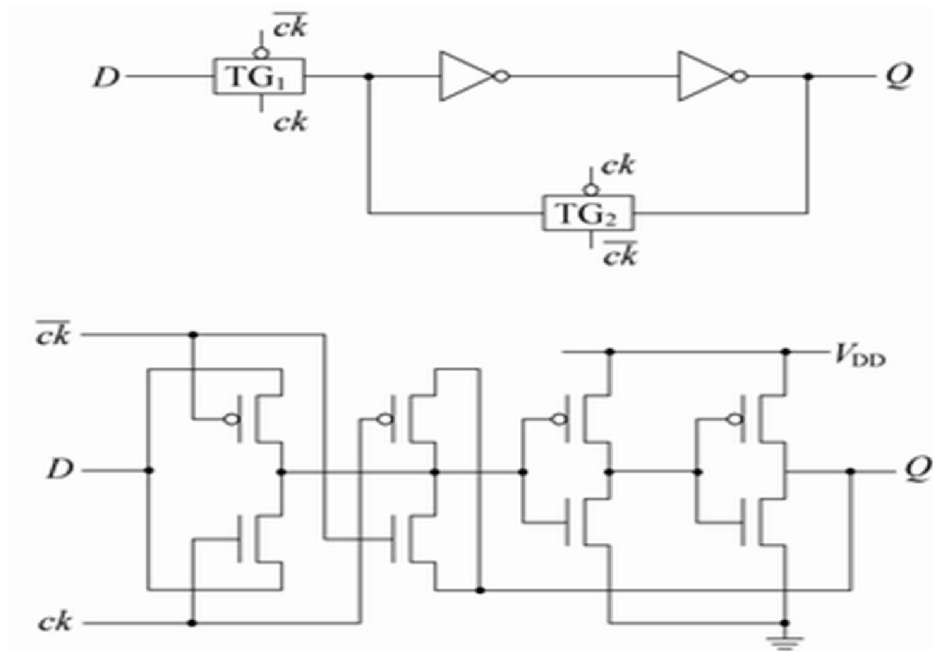
D锁存器

在R-S锁存器的基础上构成D锁存器：

- $ck=0$ ，数据锁存
- $ck=1$ ，数据经一定延迟传到输出端
- CMOS传输门和反相器构成的D锁存器

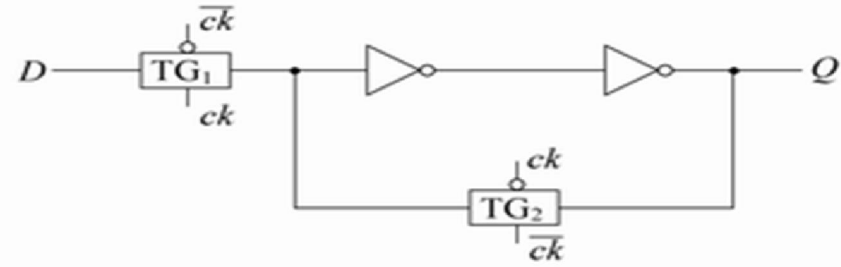


$$S = \bar{R} = D$$

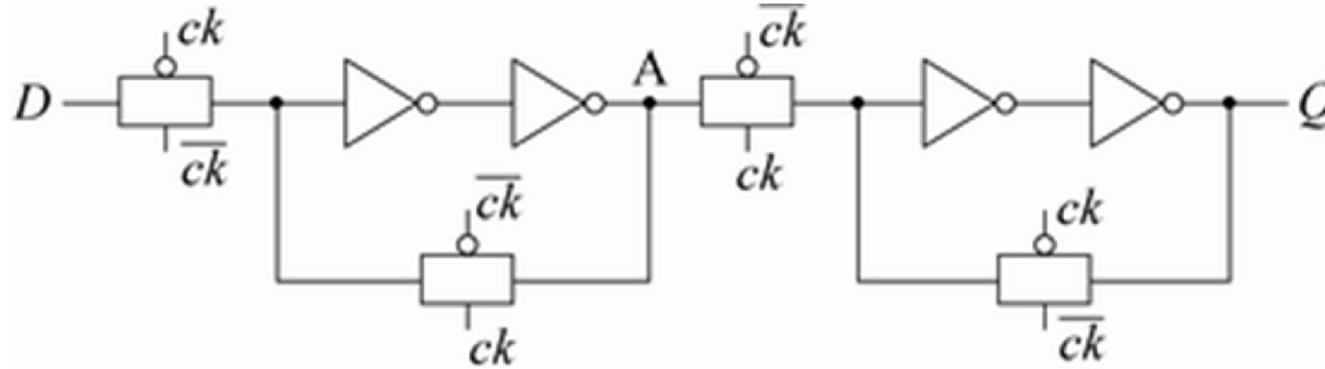


$ck=0$ ，TG₁截止，
TG₂导通，保持
 $ck=1$ ，TG₁导通，
TG₂截止，求值

D触发器

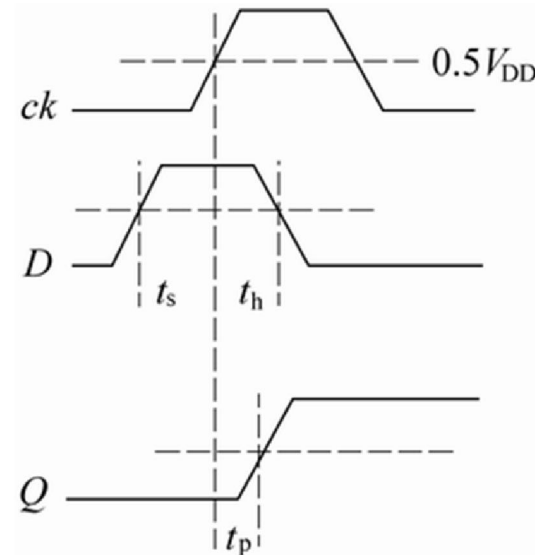


主-从D触发器

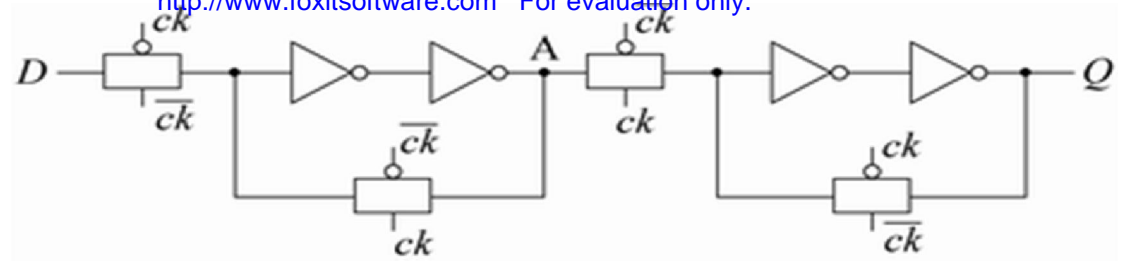


数据建立时间

$$t_s \geq t_{p(TG)} + 2t_{p(inv)}$$

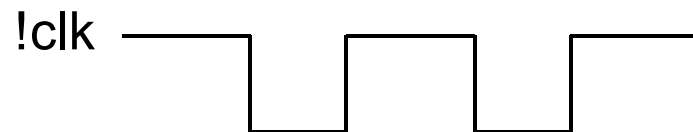
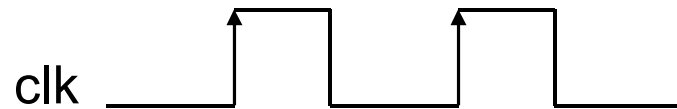
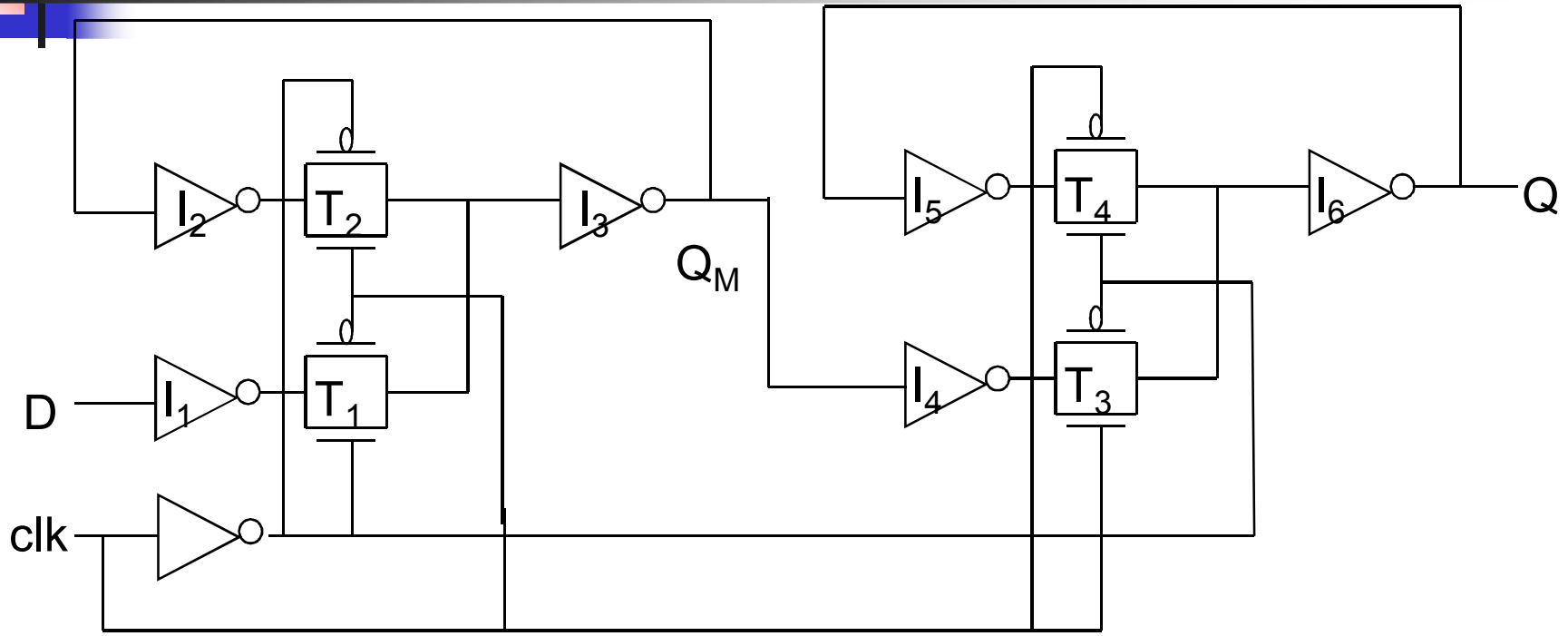


D触发器

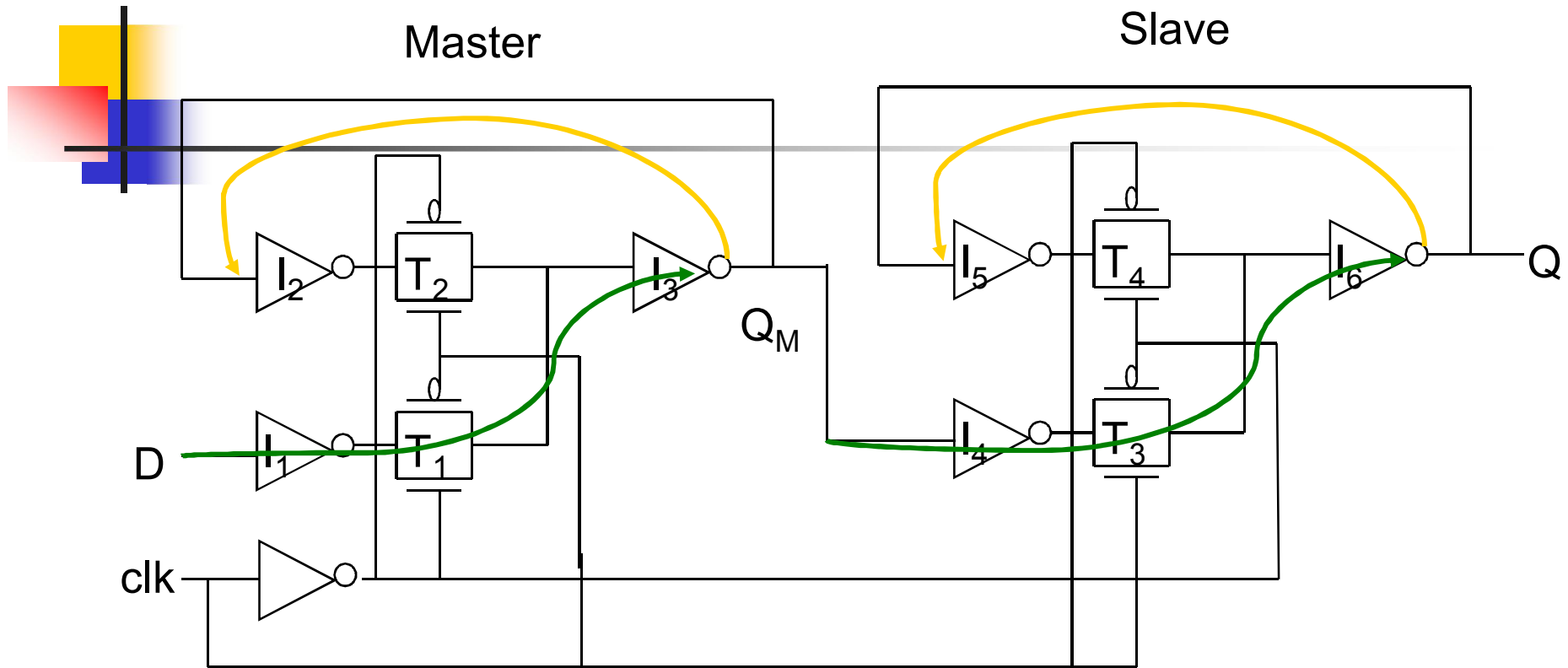


Master

Slave

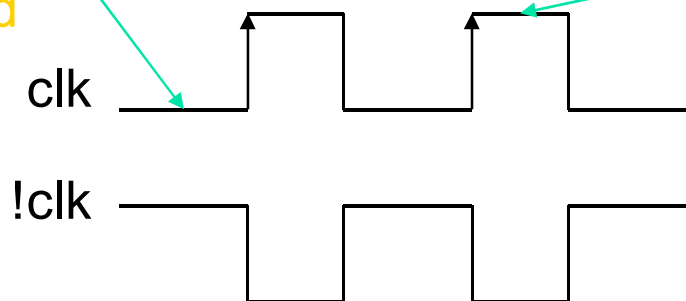


D触发器

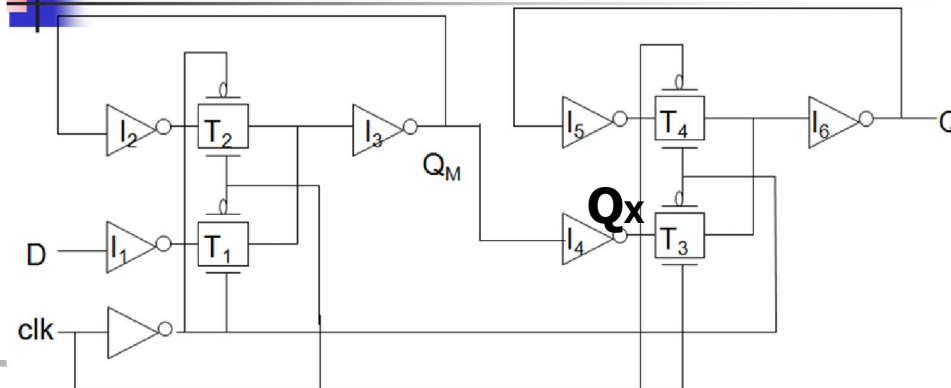


master transparent
slave hold

master hold
slave transparent



D触发器的时序特性



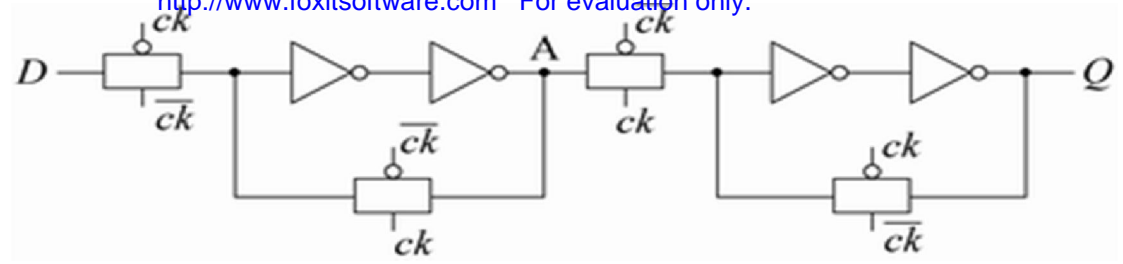
- 分析方便起见，假设反相器和传输门的延迟时间表示为： t_{pd_inv} 和 t_{pd_tx} ，并且时钟反相器的延迟时间为0
- **Set-up time** - time before rising edge of clk that D must be valid

$$3 * t_{pd_inv} + t_{pd_tx}$$

- **Propagation delay** - time for Q_x to reach Q

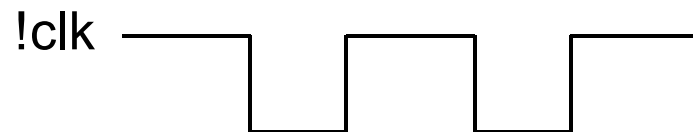
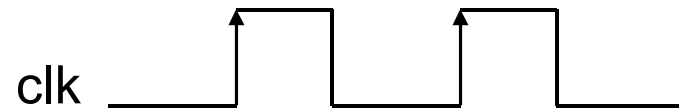
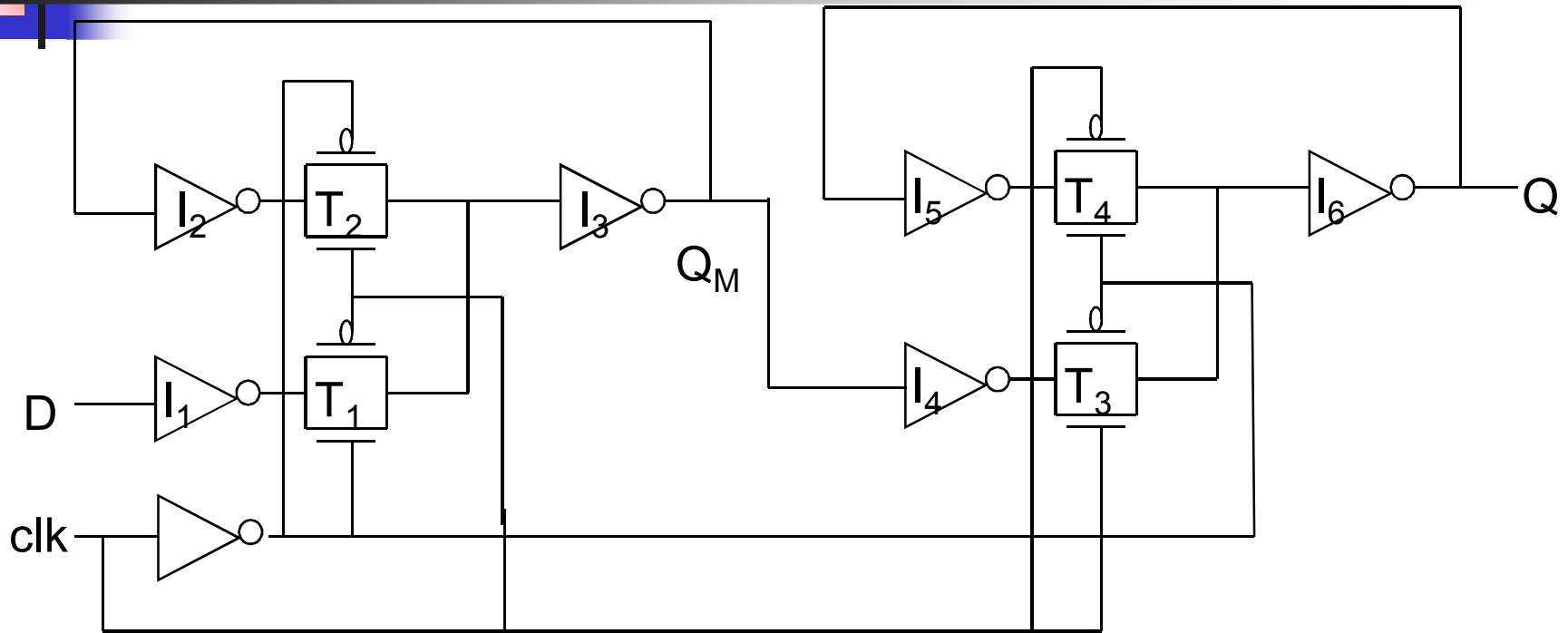
$$t_{pd_inv} + t_{pd_tx}$$

D触发器

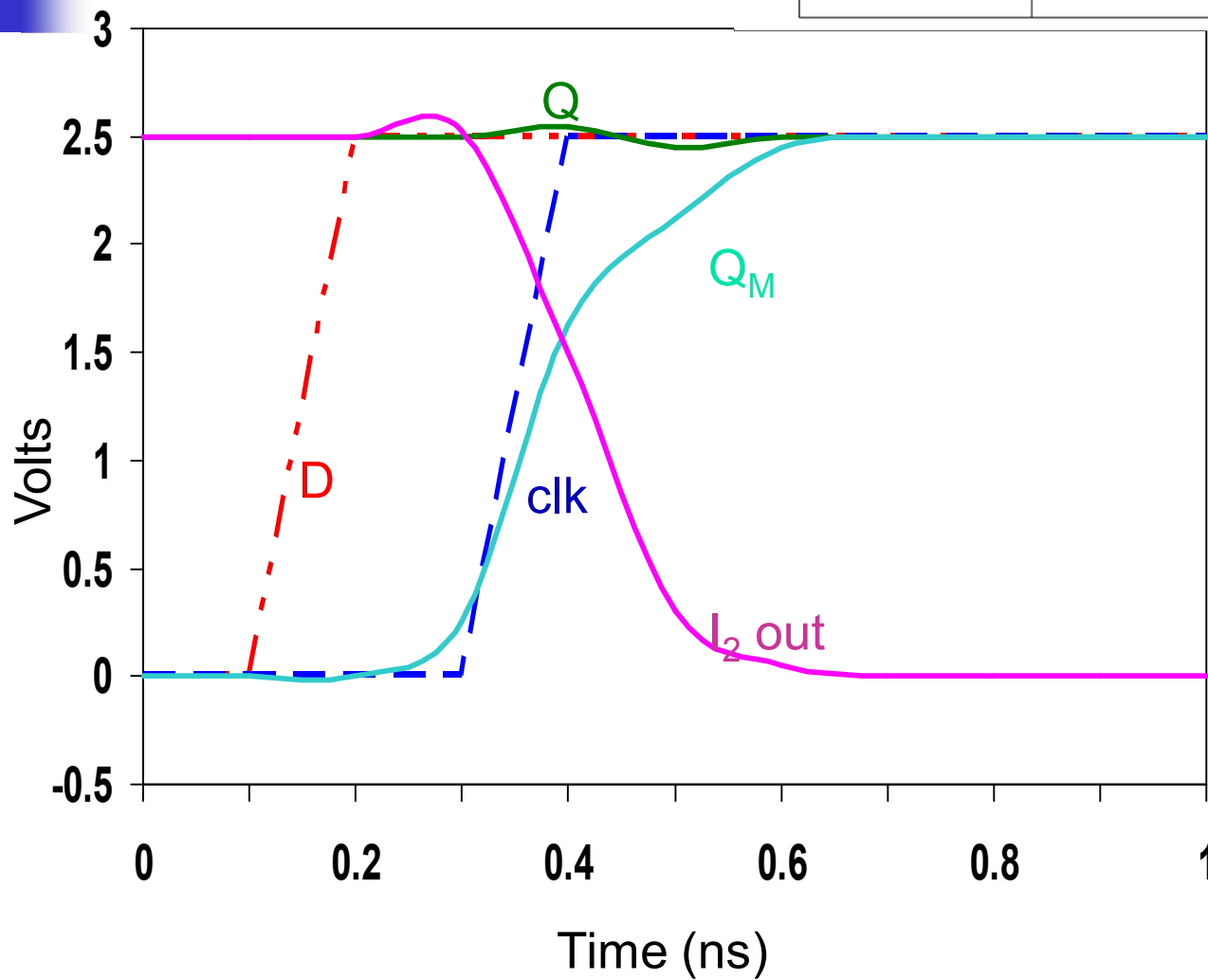
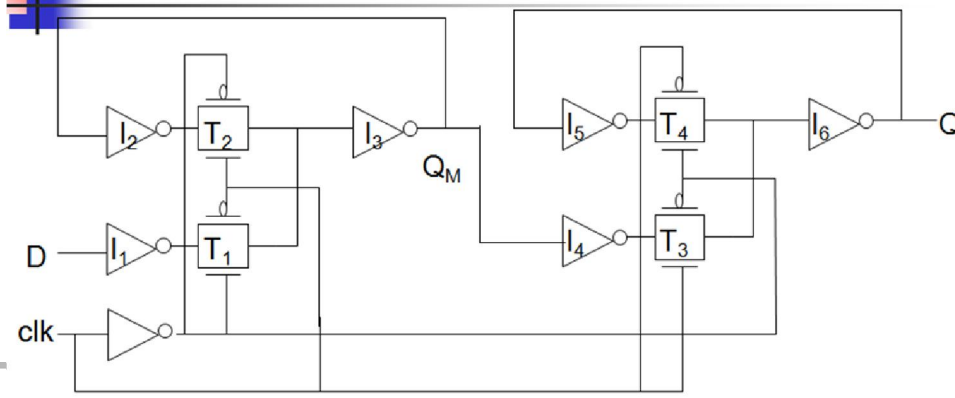


Master

Slave



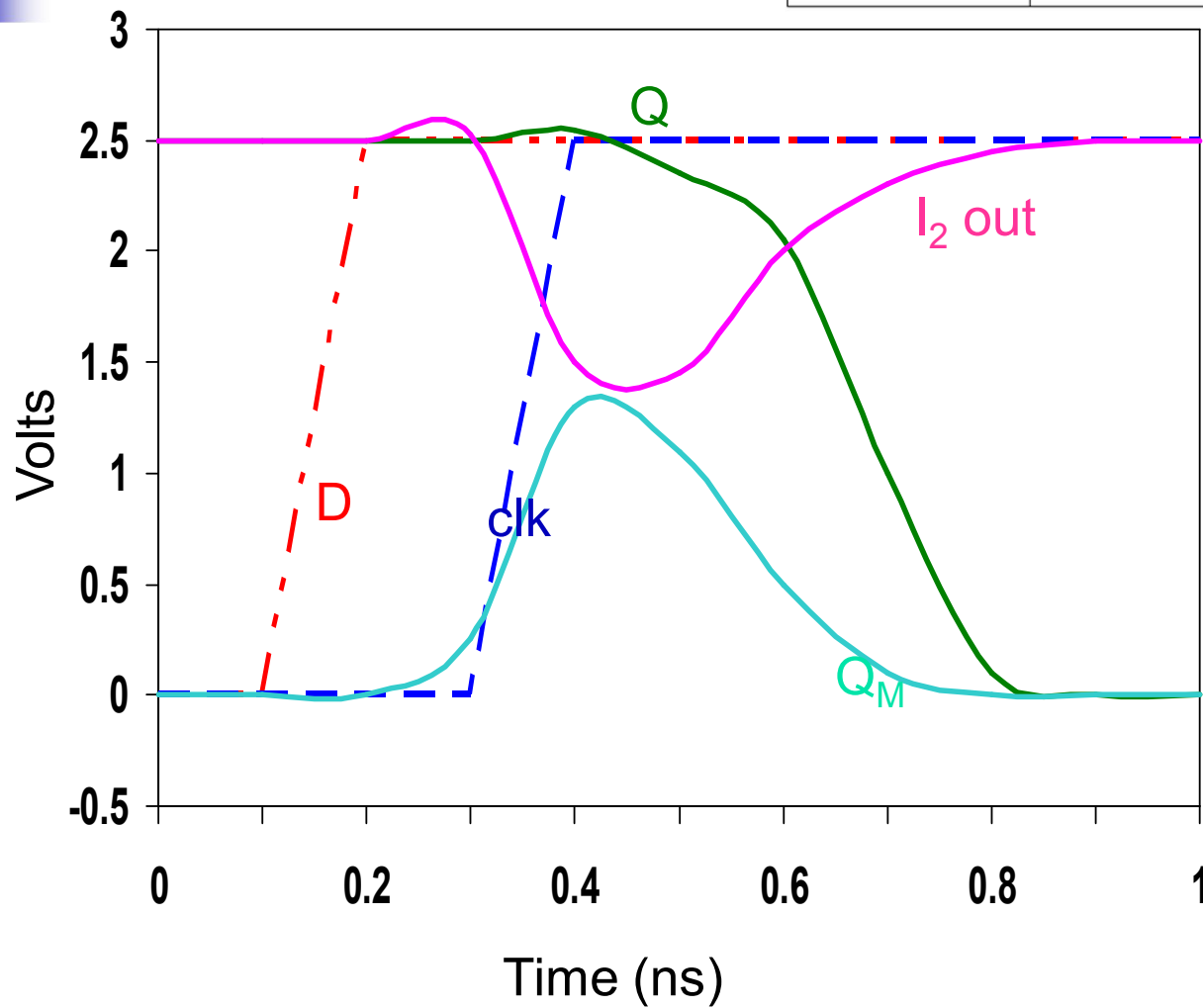
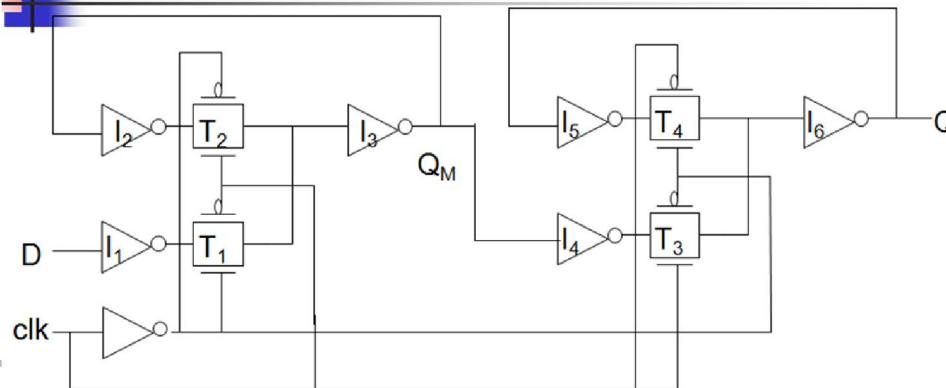
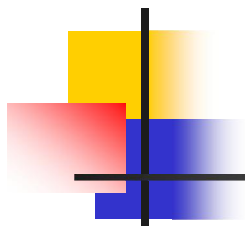
建立时间仿真过程



$t_{\text{setup}} = 0.21 \text{ ns}$

works correctly

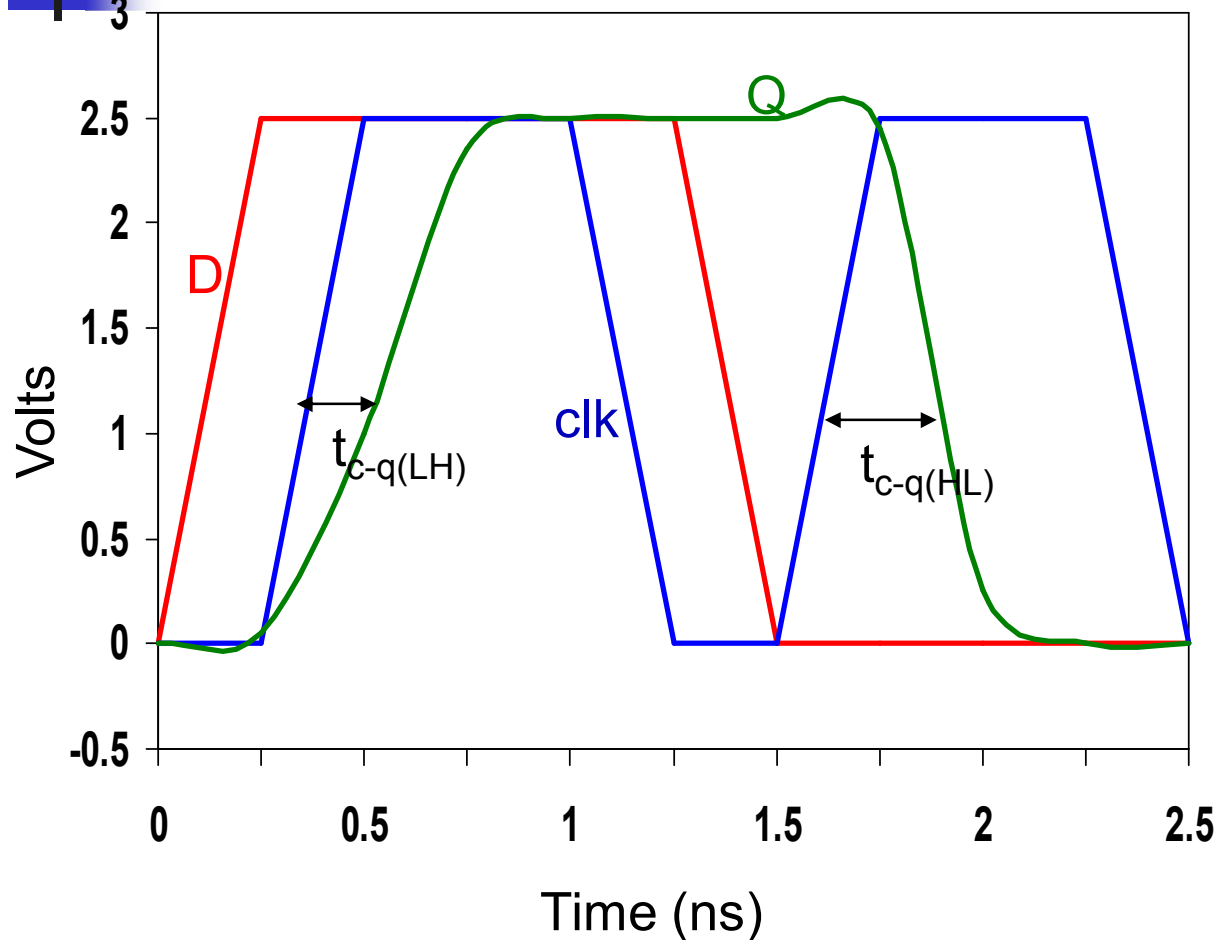
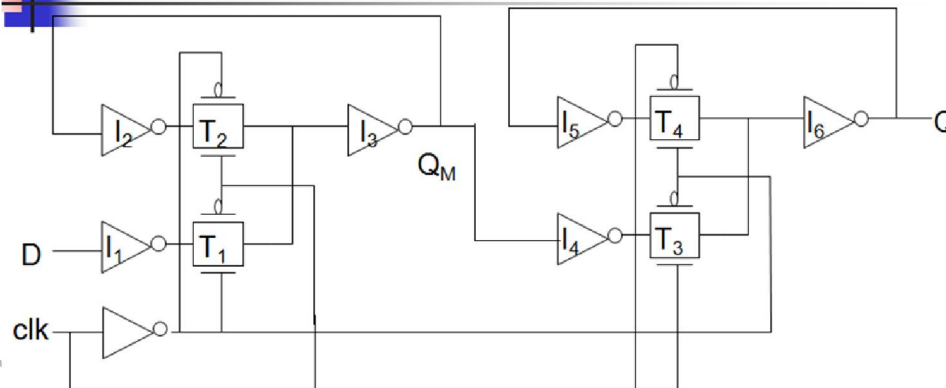
Set-up Time



$t_{\text{setup}} = 0.20 \text{ ns}$

fails

传输延迟仿真

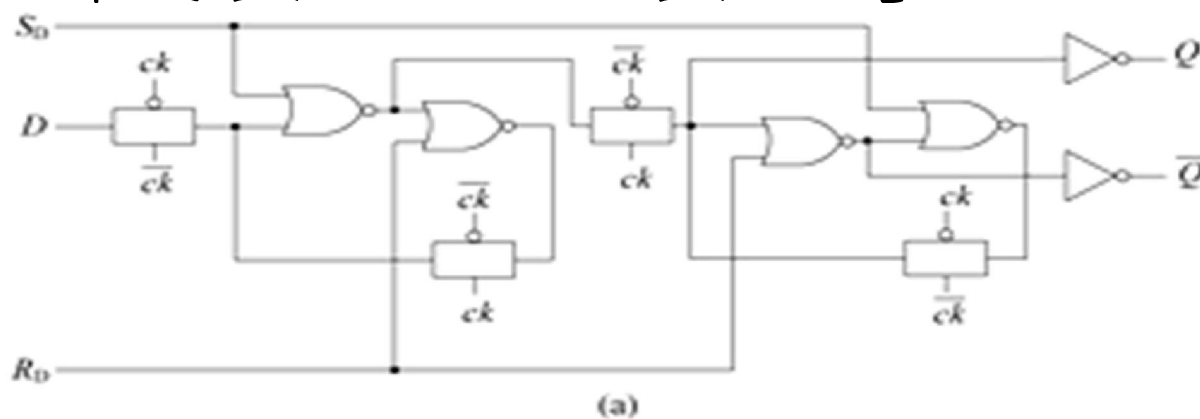


$$t_{c-q(LH)} = 160 \text{ psec}$$

$$t_{c-q(HL)} = 180 \text{ psec}$$

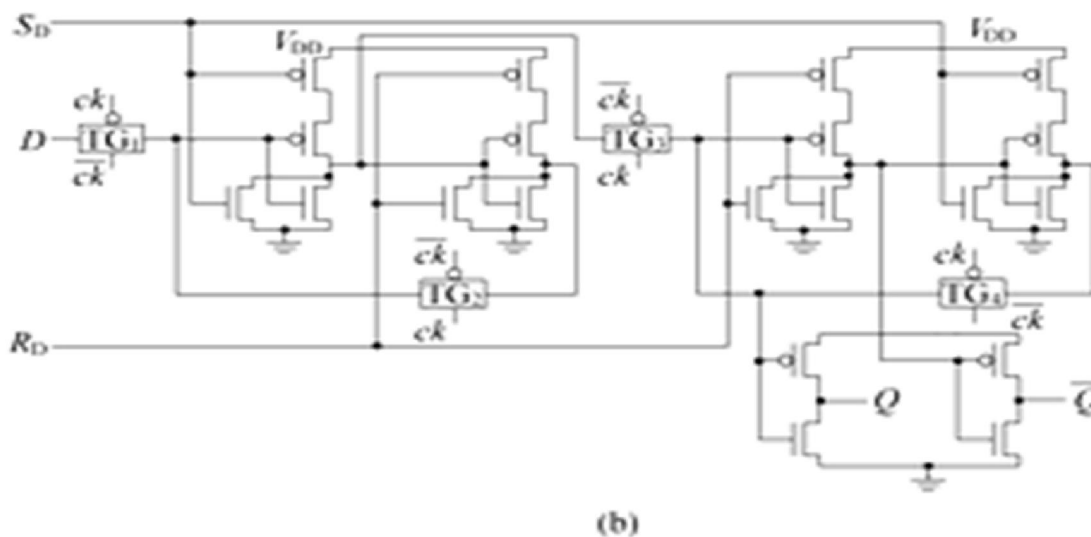
D锁存器和D触发器

带有直接置位和直接复位的主-从D触发器



- 1) 异步置位 S_D
异步复位 R_D

- 2) 输出有反相器
- 3) 减小输出的
延迟



Latches vs Flipflops

■ 锁存器

- 时钟电平敏感电路 – 时钟有效电平期间透明
- 对于高电平敏感锁存器，时钟下降沿采样数据，时钟低电平期间保持数据

■ 触发器

- 时钟沿敏感电路-在时钟的跳变沿采样输入信号
 - 时钟上升沿触发: $0 \rightarrow 1$
 - 时钟下降沿触发: $1 \rightarrow 0$
- 一般由锁存器组成(e.g., master-slave flipflops)



时序单元电路

- 时序逻辑
- 双稳态电路
- **RS**锁存器/触发器
- **D**锁存器/触发器
- 动态时序单元



Static vs Dynamic Storage

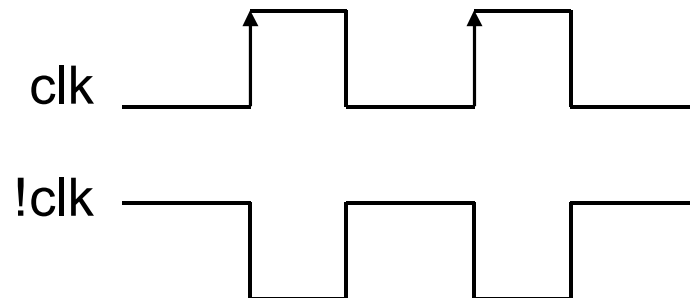
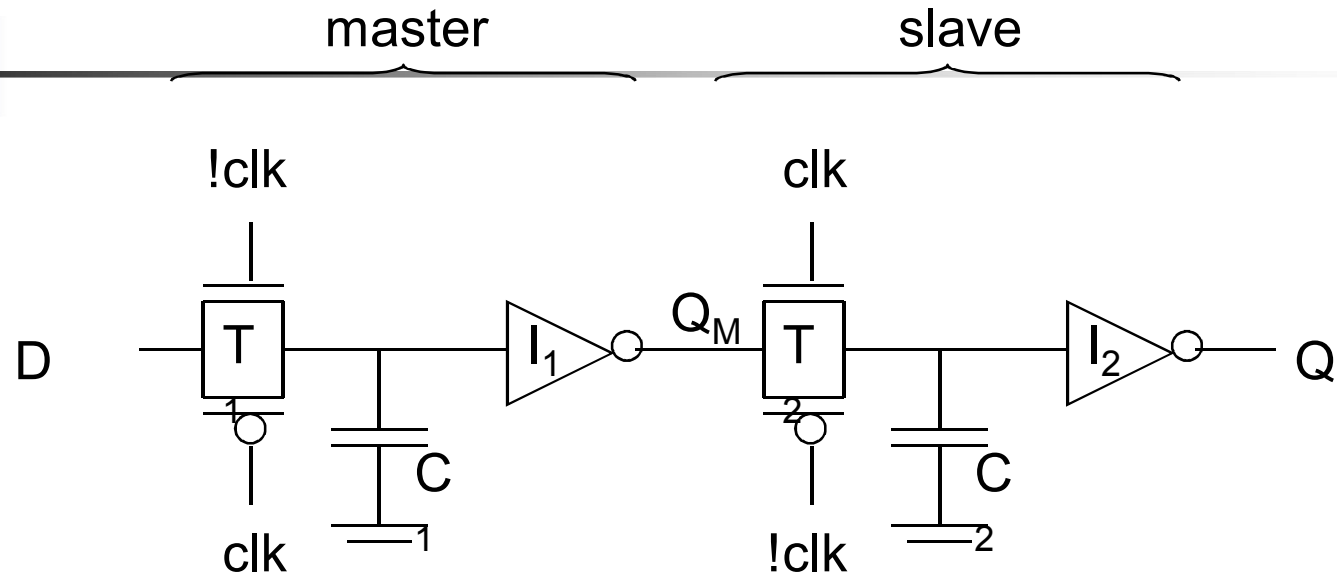
■ 静态存储

- 只要有电源供电就可以保持数据
- 交叉耦合反相器保存数据

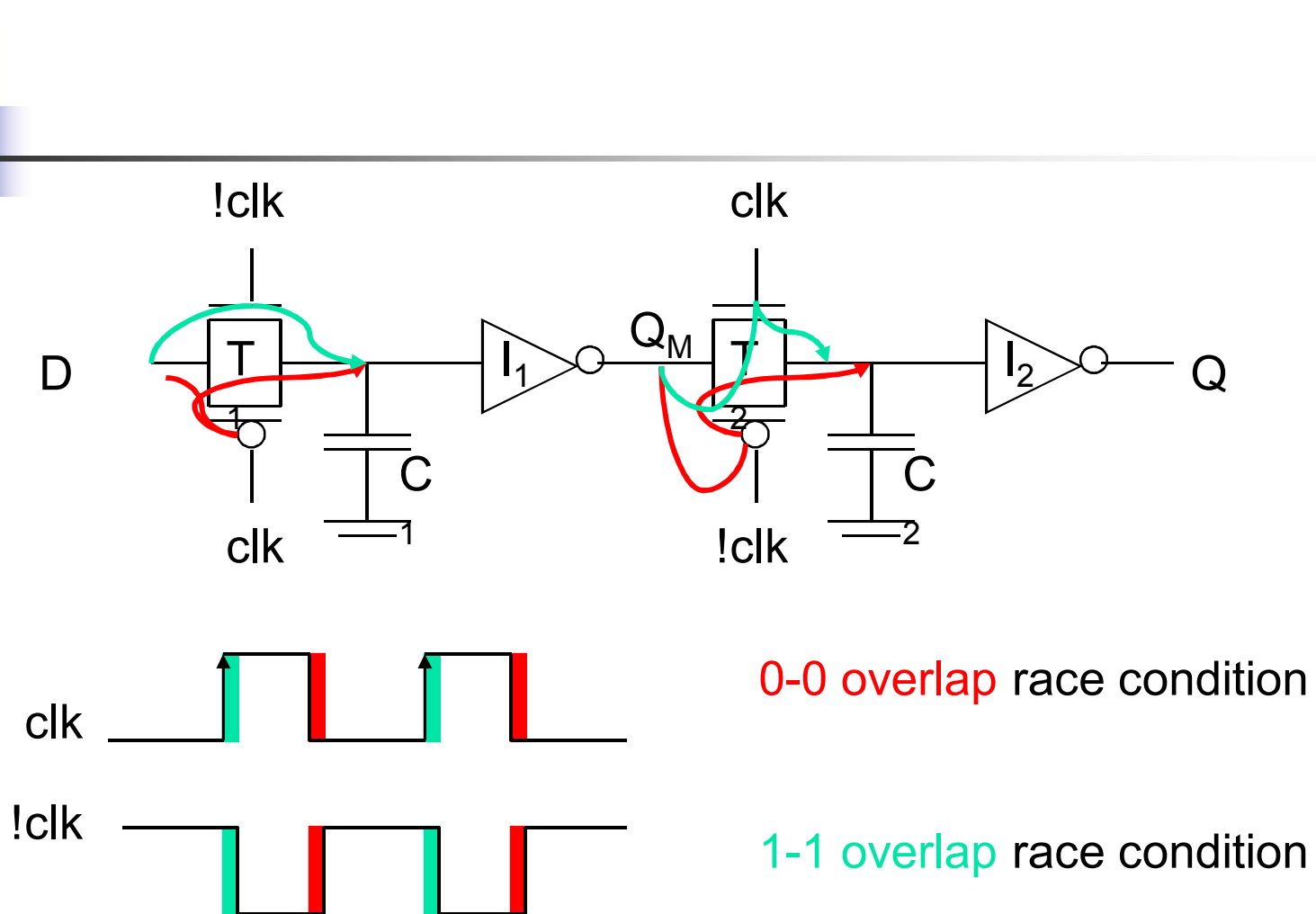
■ 动态存储

- 利用寄生电容上的电荷保持数据
- 一般只能维持较短时间 (milliseconds) — 可靠性差
- 同静态存储相比，结构简单，速度快

Dynamic ET Flipflop



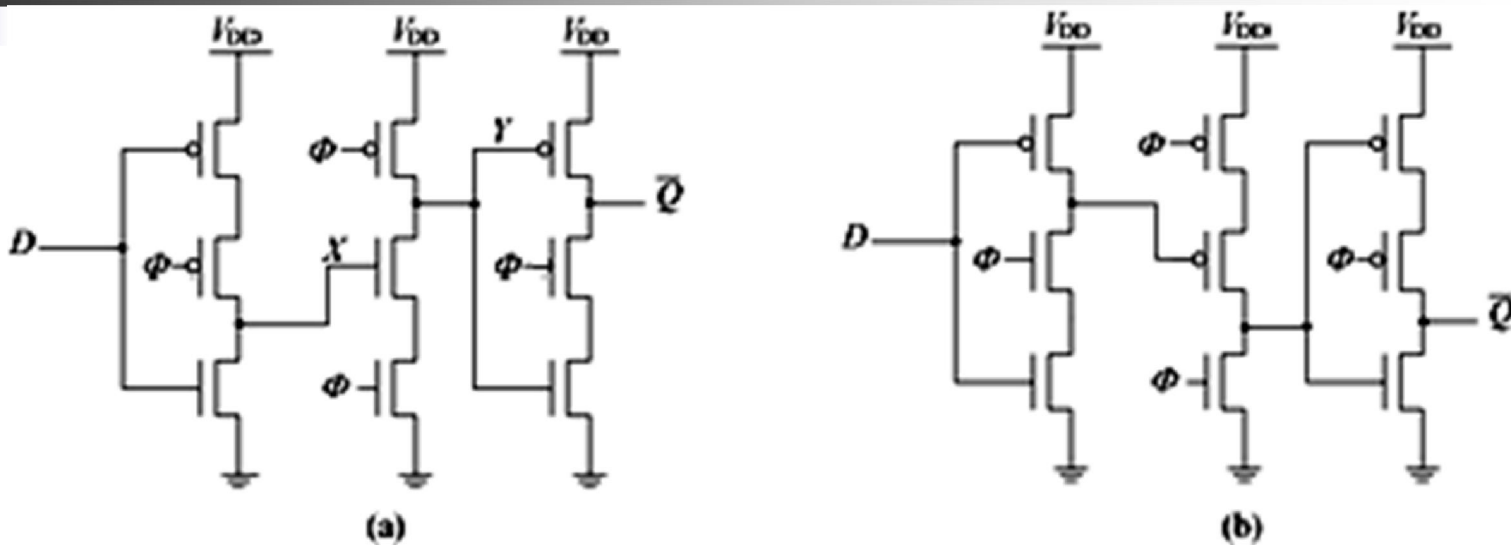
时钟交叠引起竞争问题



D锁存器和D触发器

真正的单相时钟D触发器

$$\bar{Q} = \bar{D}$$



$\phi = 0$ 第一级求值，第二级预充，第三级保持

$\phi = 1$ 第一级保持，第二、三级求值

优点：线路简单，工作可靠，速度快

缺点：动态保持，保持时间短