



# 第四章 基本单元电路

---

## 4.9 动态电路基础



# 动态电路基础

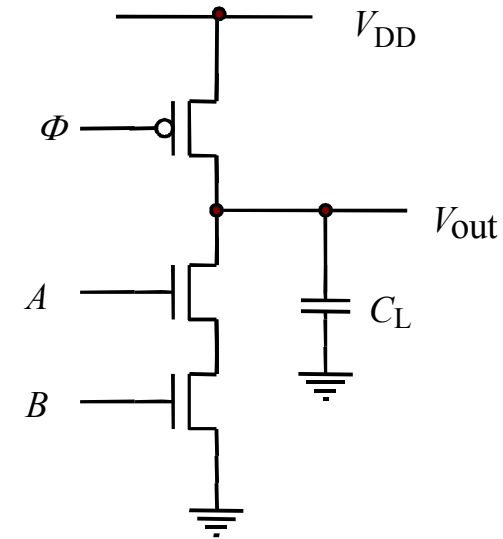
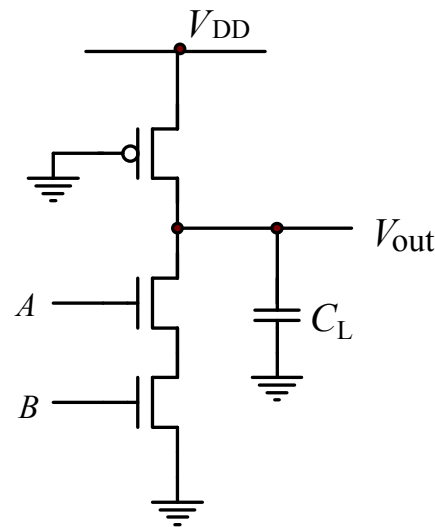
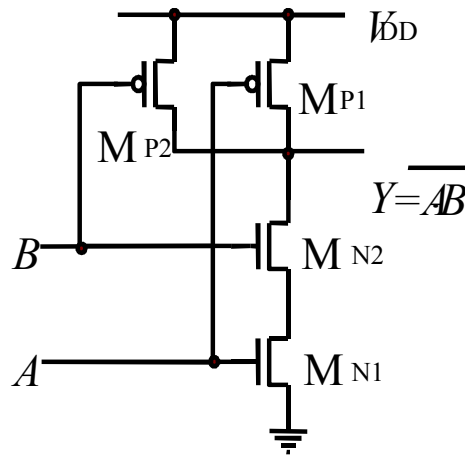
---

- 预充—求值动态电路
- 动态电路问题
- 时钟信号的设计

## 动态逻辑电路

**静态电路：**靠管子稳定的导通、截止来保持输出状态

**动态电路：**靠电容来保存信息



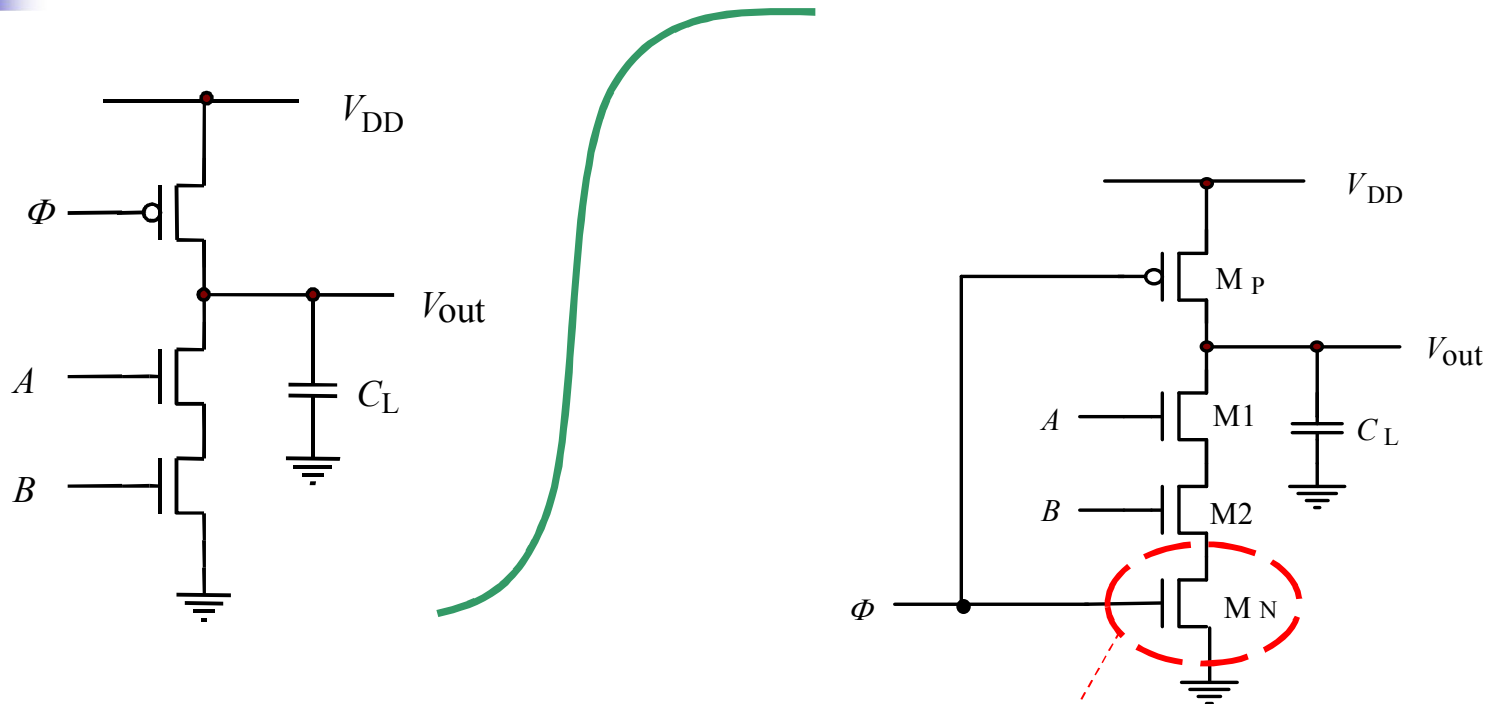
动态电路的优点：

相对NMOS电路：动态电路可降低功耗，无比电路

相对CMOS电路：用动态电路简化电路，提高速度

# 预充—求值动态CMOS电路的构成

$\Phi=0$ , 预充;  $\Phi=1$ , 求值

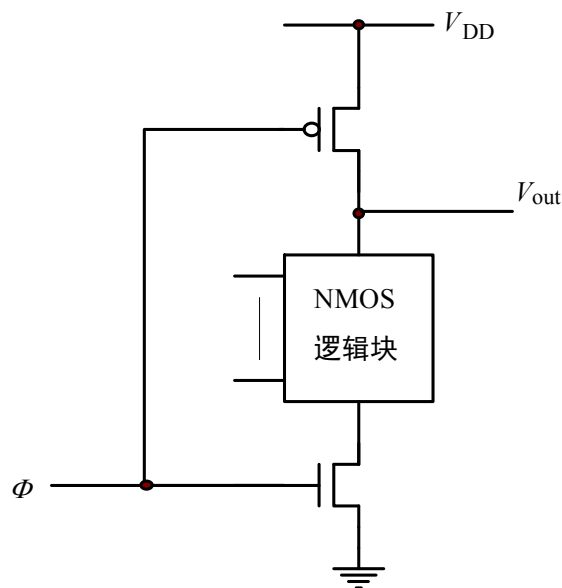
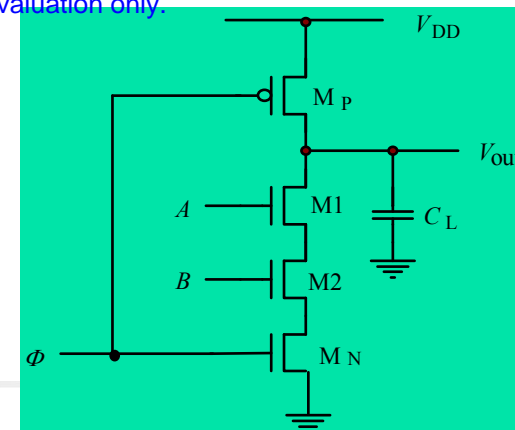


存在的问题:

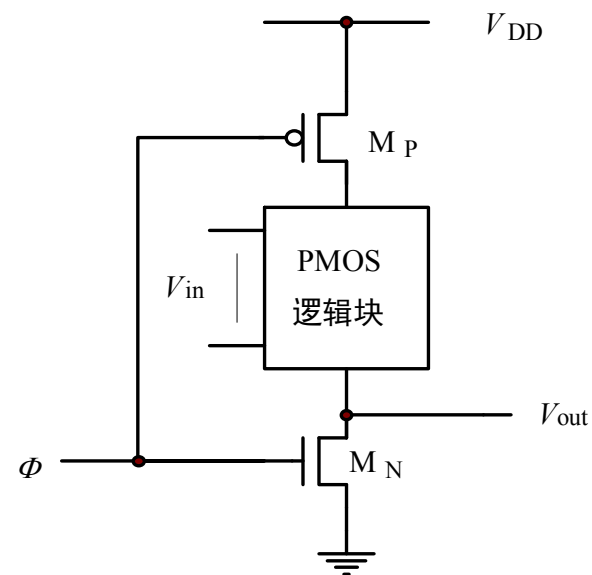
$\Phi=0$ ,  $A=B=1$ ,  $V_{OH}$  小于  $V_{DD}$

解决了预充过程  
下拉支路导通问题

# 动态电路形式

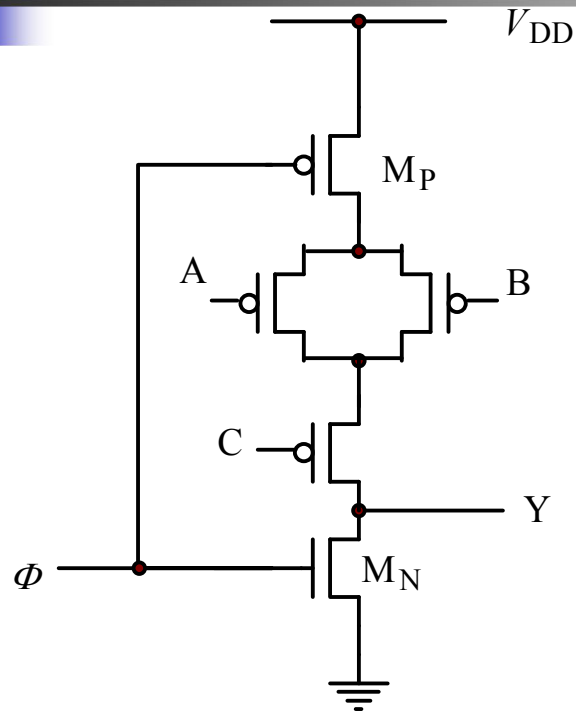


富NMOS动态电路  
 $\Phi=0$ ，预充； $\Phi=1$ ，求值  
下降时间影响速度



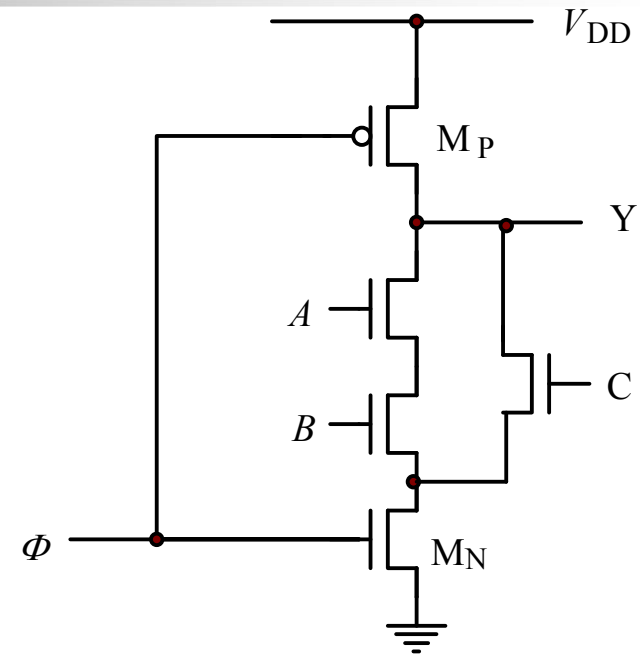
富PMOS动态电路  
 $\Phi=1$ ，预充； $\Phi=0$ ，求值  
上升时间影响速度

# 动态电路：例子



富PMOS电路实现

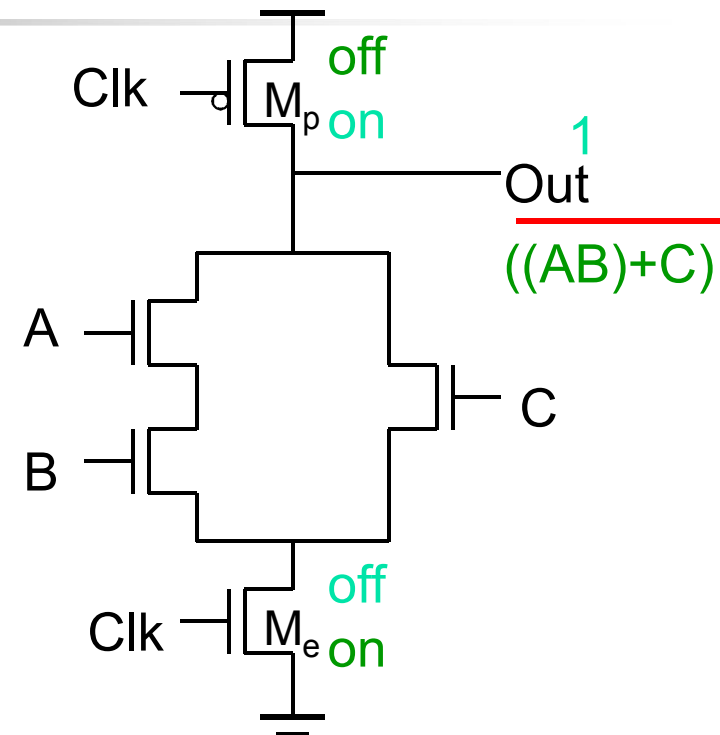
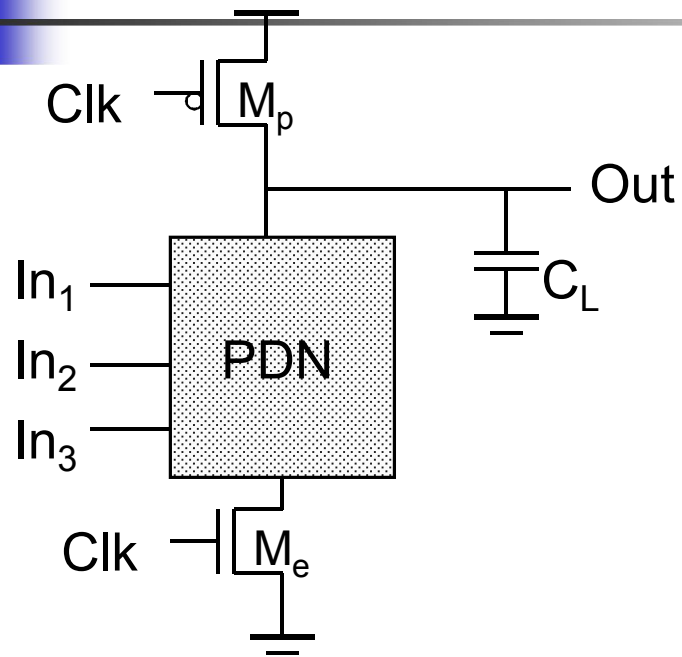
$$Y = \overline{AB + C}$$



富NMOS电路实现

$$Y = \overline{AB + C}$$

# Dynamic Gate



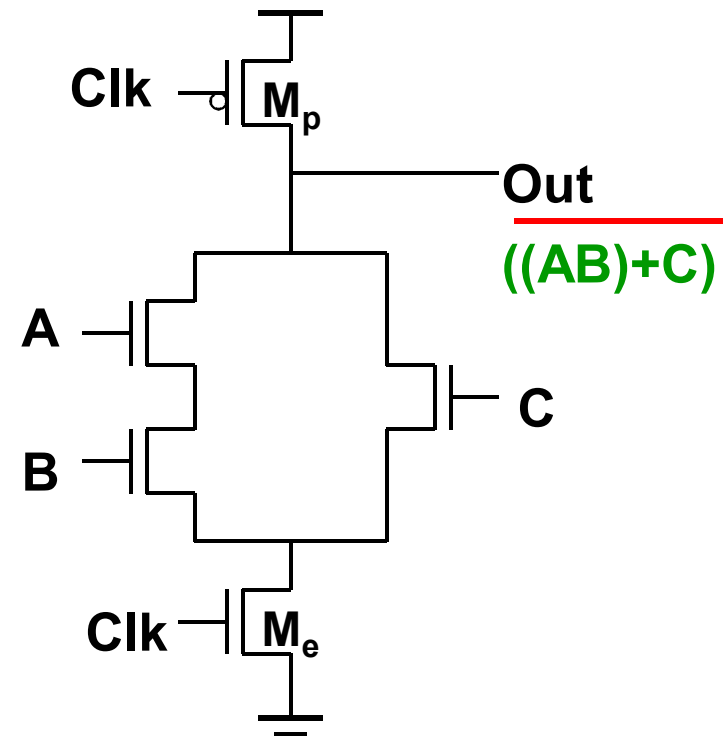
Two phase operation

Precharge (Clk = 0)

Evaluate (Clk = 1)

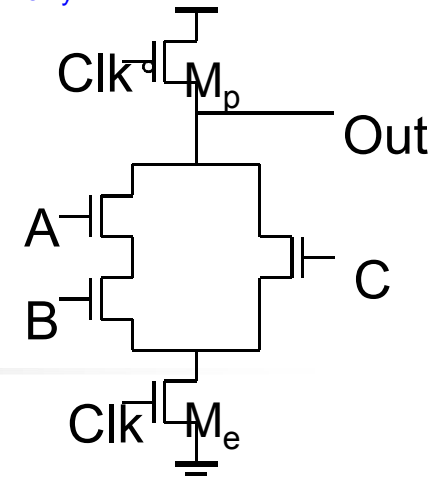
## 动态电路的输出节点

- 一旦输出节点放电，就无法恢复，只有等到下一个预充阶段
- 求值阶段，输入最多只能变化一次
- 求值阶段，输出节点如果没有被下拉通路放电，则处于高阻态，电路状态由电容上存储的电荷决定





# 动态电路特性



- 逻辑功能由**NMOS**下拉网络实现
  - 扇入为**N**的电路需要晶体管数目  **$N + 2$**  (对照互补 **CMOS**  **$2N$**  个)
- 输出全摆幅信号 ( **$V_{OL} = \text{GND}$**  and  **$V_{OH} = V_{DD}$** )
- 无比逻辑
- 速度快
  - 输入电容小 ( **$C_{in}$** ), 每个输入只连接一个**NMOS**
  - 输出电容小, 只有**NMOS**和一个**PMOS**的漏区电容

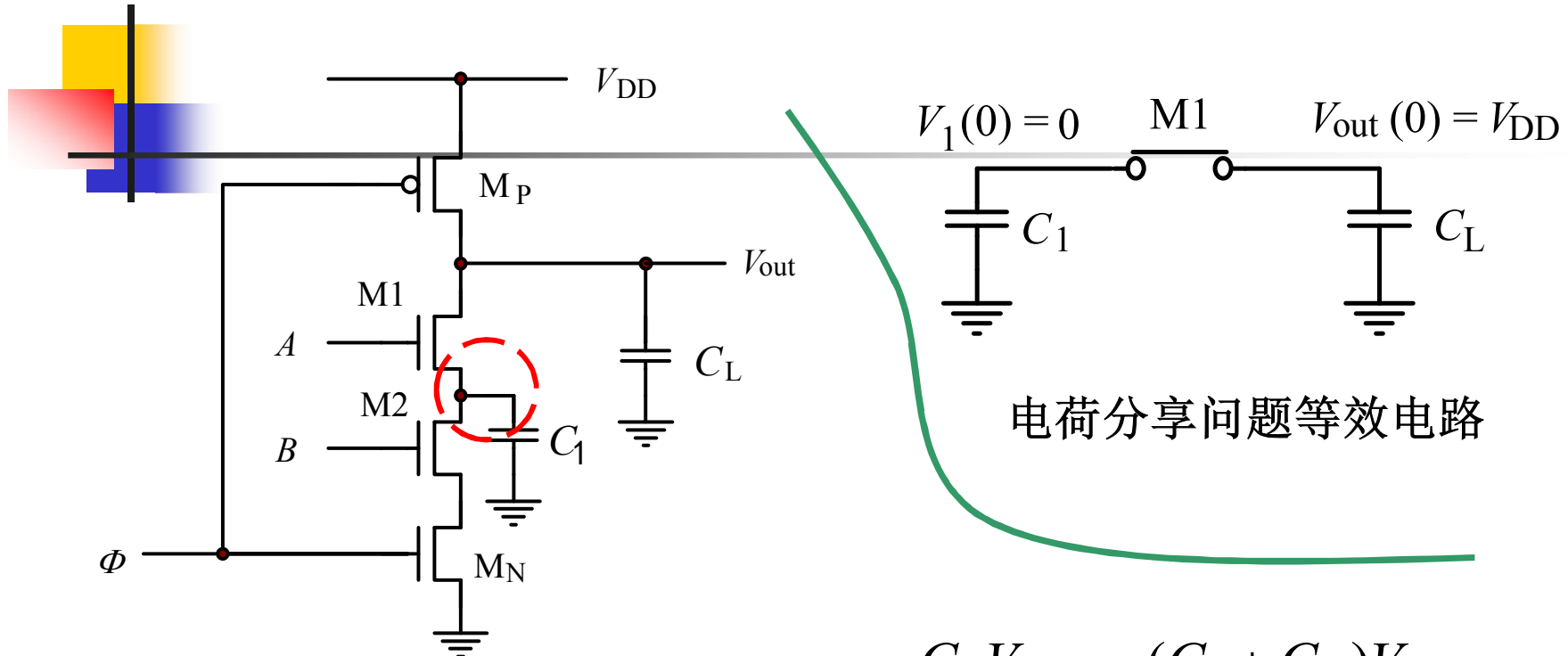


# 动态电路基础

---

- 预充—求值动态电路
- 动态电路问题
- 时钟信号的设计

## 问题1：电荷分享问题



出现电荷分享的条件：

$\Phi=0$ 时， $A=0$ ；

$\Phi=1$ 时， $A=1$ ；

**B始终为0。**

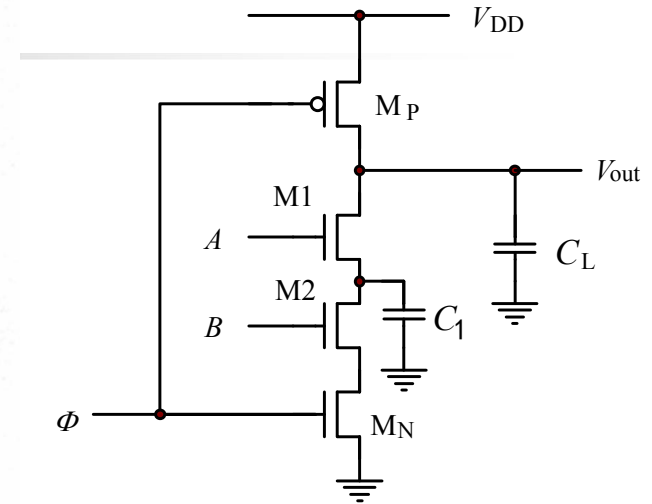
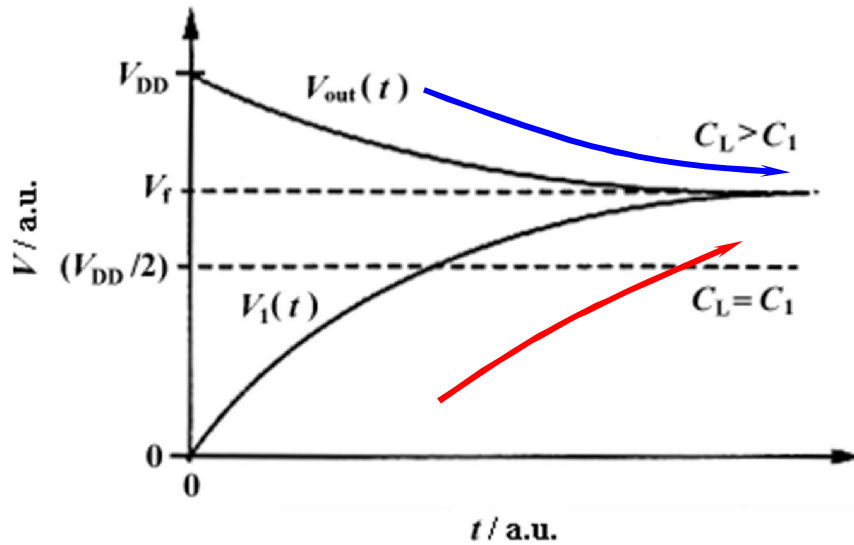
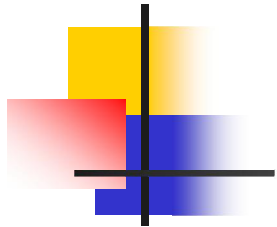
$$C_L V_{DD} = (C_1 + C_L) V_f$$

$$V_f = \frac{C_L V_{DD}}{C_1 + C_L} = \frac{V_{DD}}{1 + C_1 / C_L}$$

# 电荷分享过程中的节点电平变化

$$C_L V_{DD} = (C_1 + C_L) V_f$$

$$V_f = \frac{C_L V_{DD}}{C_1 + C_L} = \frac{V_{DD}}{1 + C_1 / C_L}$$



极端情况:  $C_L = C_1$ , 则  $V_f = V_{DD}/2$

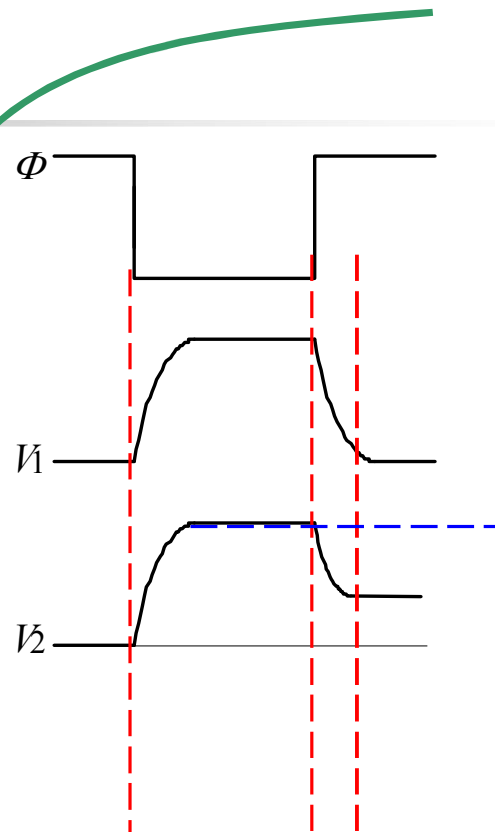
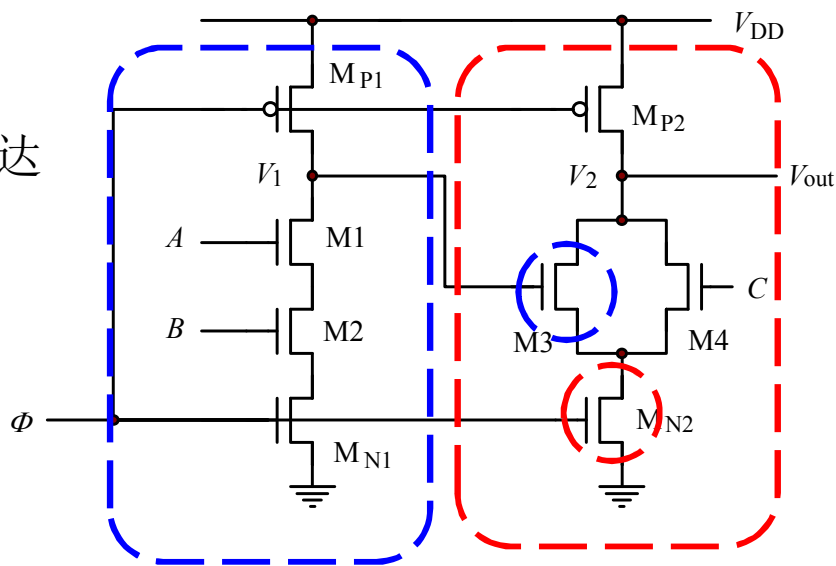
一般情况:  $C_L > C_1$

$$V_{out} = V_{DD} - \frac{C_1}{C_L} (V_{DD} - V_{TN})$$

## 问题2：动态电路的级连

举例  $A=B=1, C=0$ 的情况

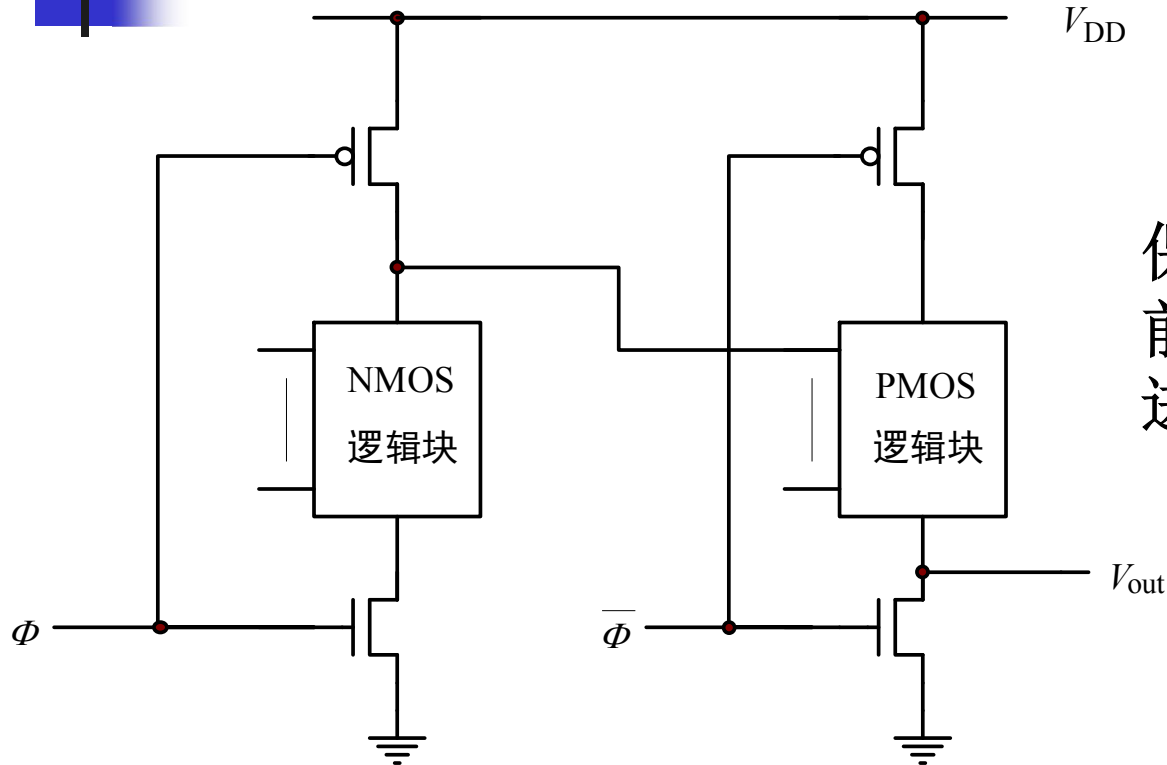
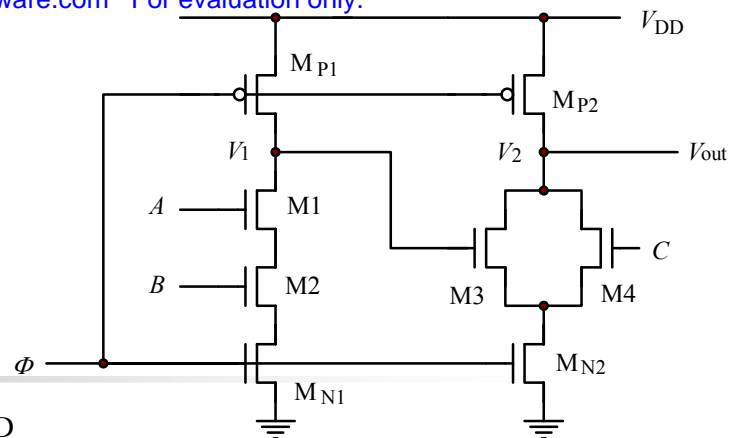
逻辑表达式？



富NMOS动态电路直接级连可能使输出高电平下降

注意：不能用富NMOS与富NMOS（或富PMOS与富PMOS）电路直接级连。

# 解决级联问题

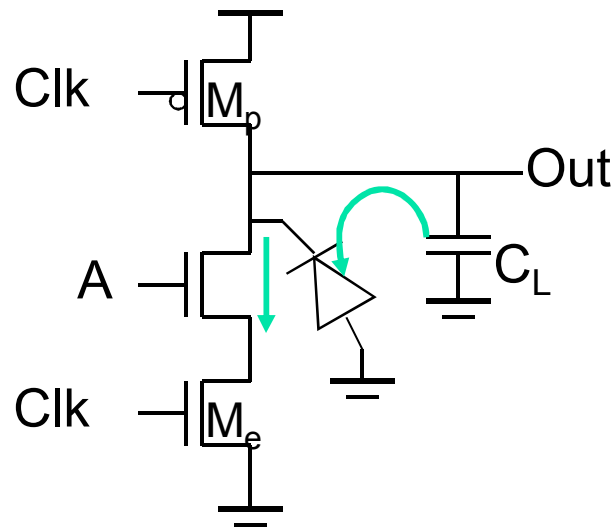


保证求值过程按照  
前后级的顺序串行  
进行

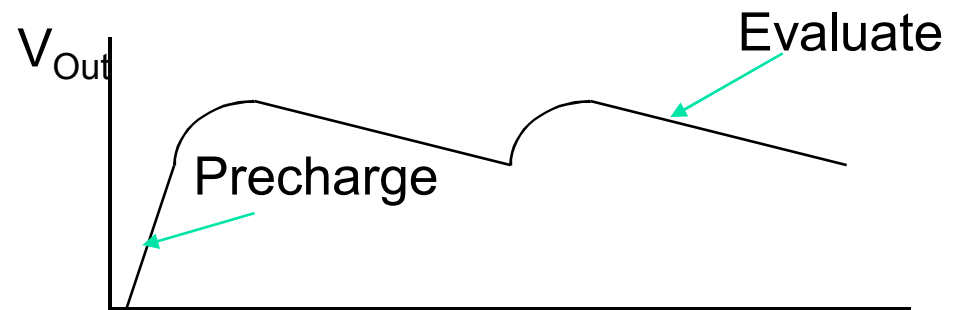
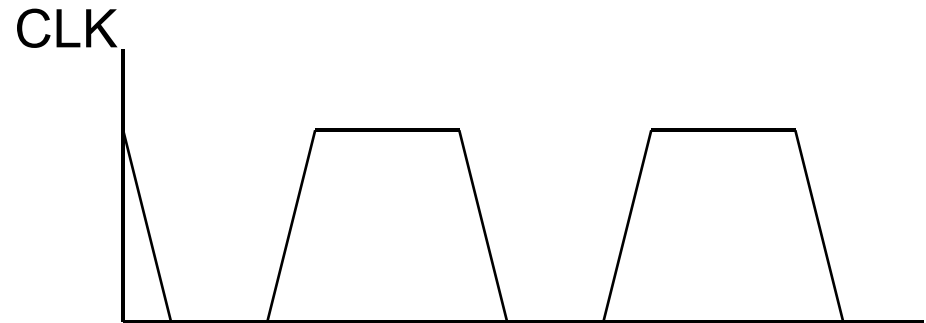
富NMOS与富PMOS交替级联

注意：时钟信号相反

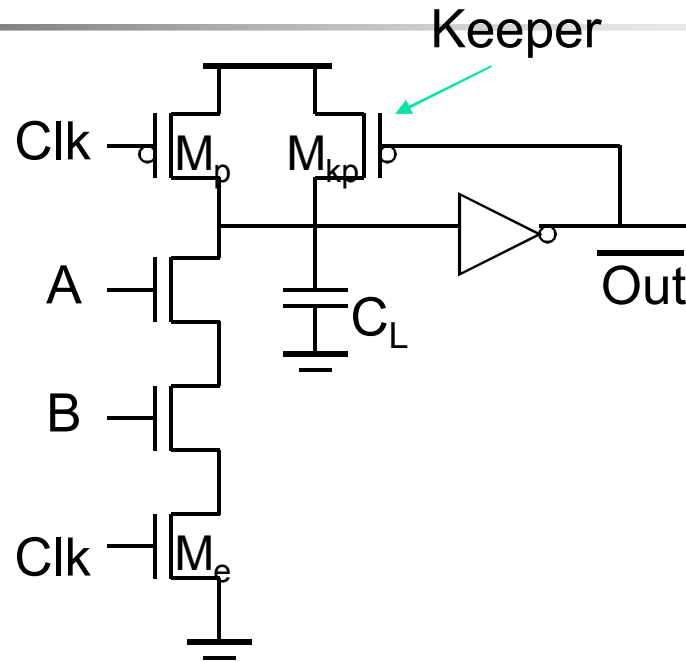
# 问题3：电荷泄漏



Leakage sources



# Solution to Charge Leakage



- 同传输门中电平恢复器件类似
- 也有助于解决电荷分享问题



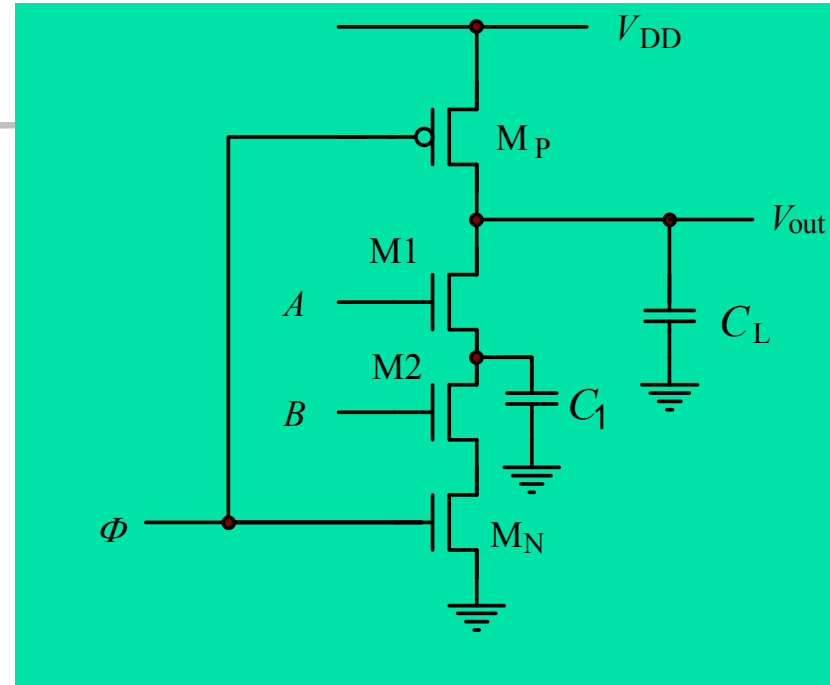
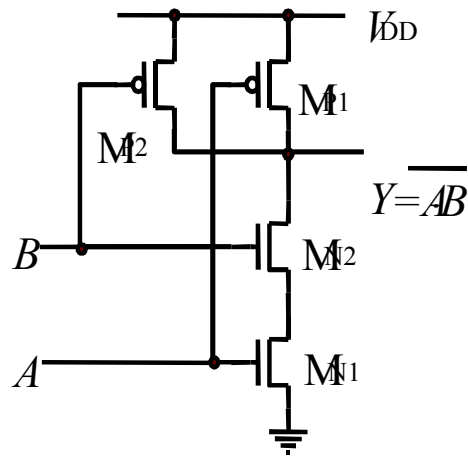


# 动态电路基础

---

- 预充—求值动态电路
- 动态电路问题
- 动态电路的速度

## 动态电路的速度



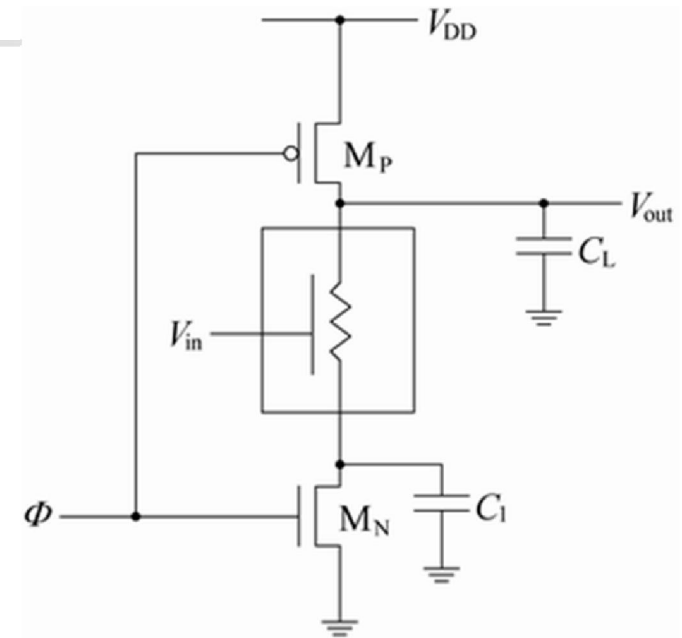
- 静态电路的速度：输入信号到输出信号的延迟时间
- 动态电路的速度：时钟信号50%到输出信号50%的延迟时间，即求值阶段所需的时间
- 动态电路延迟时间只有输出节点下拉所需的 $t_{pHL}$

## 动态电路延迟时间: $t_{pHL}$

利用下降时间的公式

$$t_f = \tau_f \left[ \frac{\alpha_N - 0.1}{(1 - \alpha_N)^2} + \frac{1}{2(1 - \alpha_N)} \ln \left( \frac{1.9 - 2\alpha_N}{0.1} \right) \right]$$

$$\tau_f = \frac{C_L}{K_{eff} V_{DD}}, \quad K_{eff} = \frac{K_N \cdot K_{Neff}}{K_N + K_{Neff}}$$

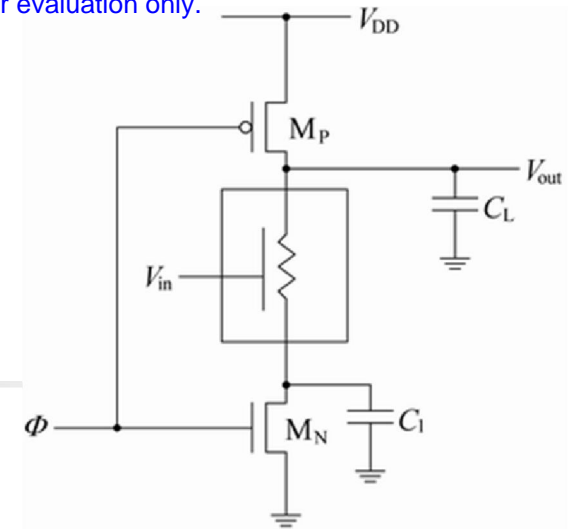


利用elmore模型计算RC延迟（考虑中间节点电容）

$$t_f \approx R_N C_1 + (R_N + R_{eff}) C_L$$

## 动态电路的预充时间

➤ 预充时间：输出节点的上升时间，**10%—90%**，因此预充时间需要考虑下拉**NMOS**网络中间节点电容



$$t_r = \tau_r \left[ \frac{\alpha_P - 0.1}{(1 - \alpha_P)^2} + \frac{1}{2(1 - \alpha_P)} \ln \left( \frac{1.9 - 2\alpha_P}{0.1} \right) \right]$$

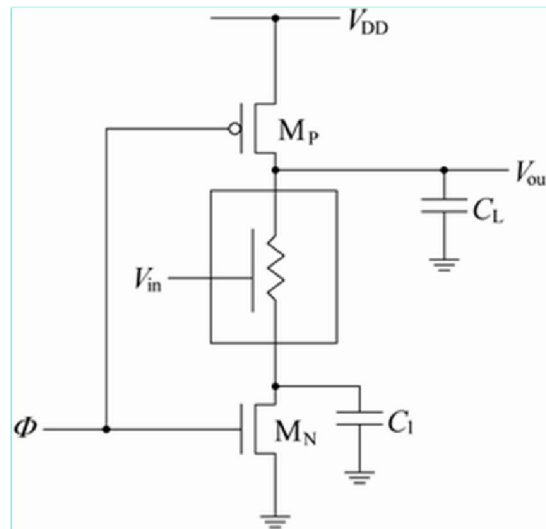
$$\tau_r = \frac{C_L}{K_P V_{DD}}, \text{ 最坏情况 } \tau_r = \frac{C_L + C_1}{K_P V_{DD}}$$

预充时间：  $t_r \approx R_P C_L + (R_P + R_{eff}) C_1$

## 动态电路的速度：时钟频率限制

$$f_{\max} = \frac{1}{T_{\min}} = \frac{1}{2 \max(t_r, t_f)} \quad \text{时钟占空比1: 1}$$

- 电路需要有足够的时间完成预充和求值过程
- 一般来说延迟时间（求值过程）是主要的限制因素



## 动态电路的速度：时钟频率限制

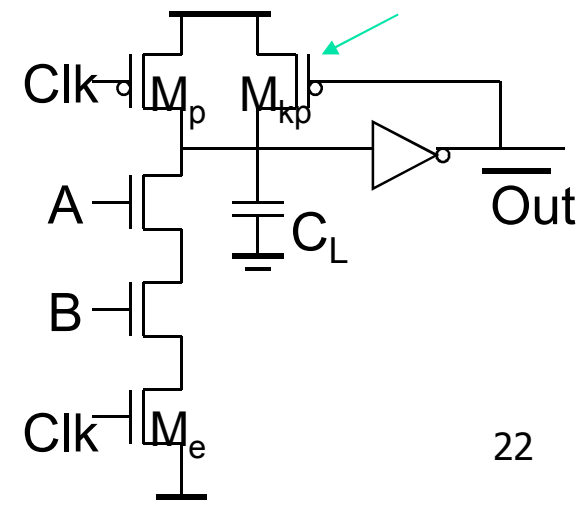
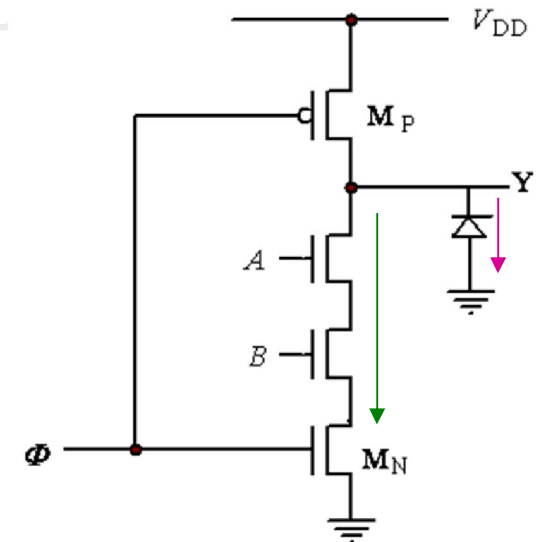
由于电荷泄漏，求值阶段，无法下拉的输出节点处于高阻

信号的最长保持时间决定了时钟频率的下限

$$f_{\min} = \frac{1}{T_{\max}} = \frac{1}{2t_h} \quad \text{占空比1: 1}$$

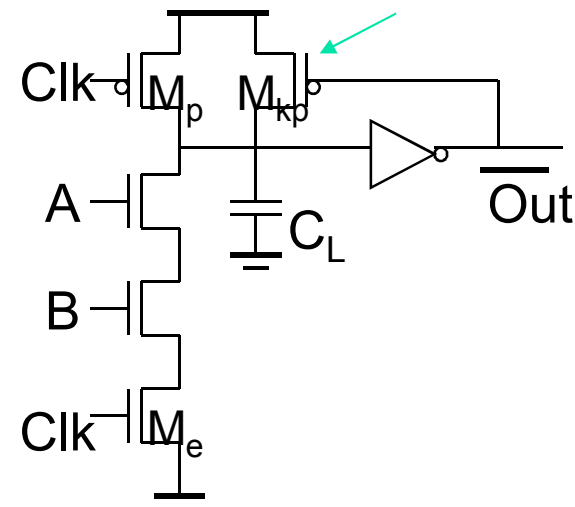
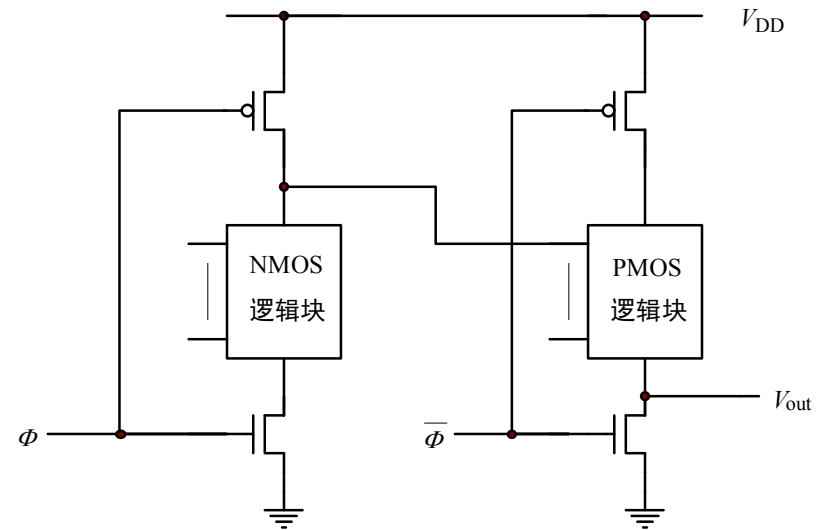
$$t_h = \frac{C_L \Delta V}{I_{\text{leak}}}, \quad \Delta V = 0.2V_{\text{DD}}$$

电路泄漏电流的来源

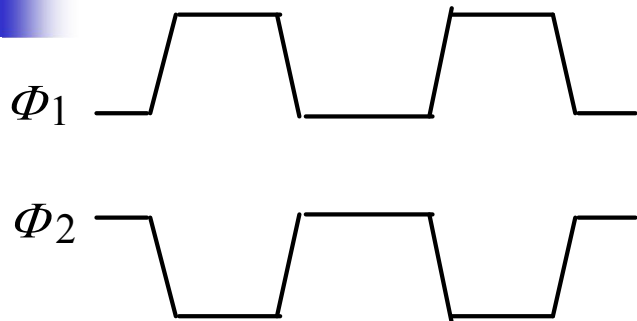


# 时钟频率：级联的动态电路

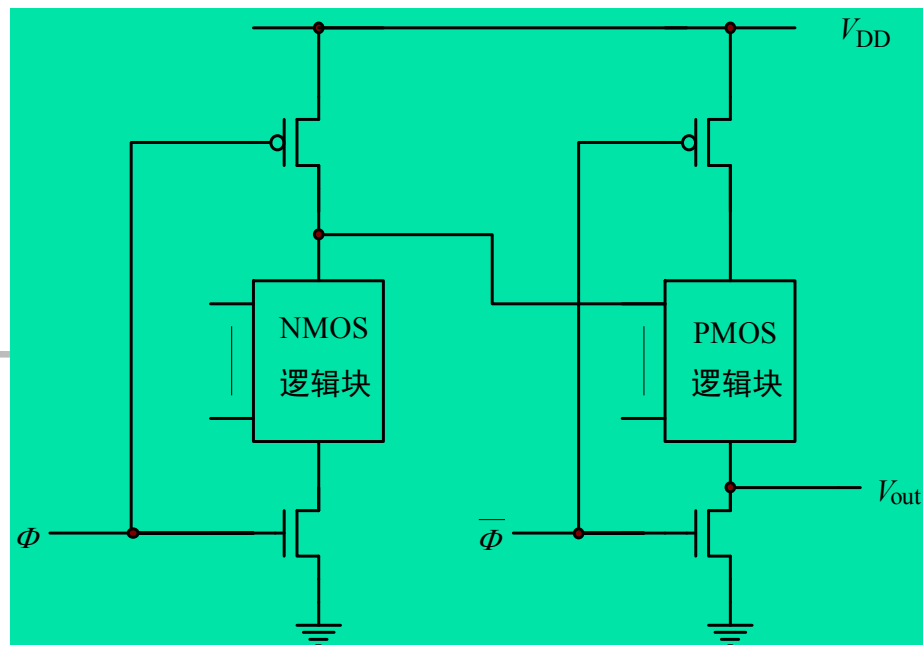
- 多级动态电路的延迟时间相加，决定了时钟的最大周期
- 单管预充，多级电路并行预充，预充时间一般不影响时钟周期
- 多级级联的最后一级需要等待前级完成求值后才能进行求值，其保持时间最长，一般来说需要加电荷保持器件
- 由于输出节点电容小，总体上动态电路相比静态电路有速度优势，但是可靠性劣势



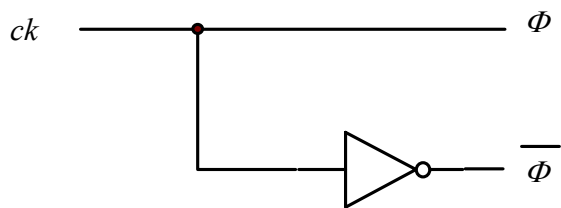
## 时钟信号的产生



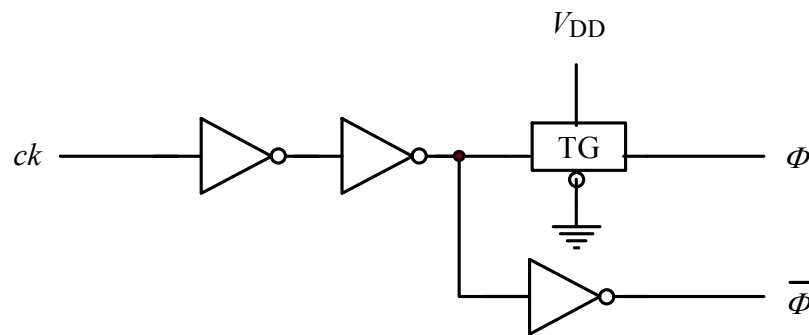
两相相反的时钟  $\Phi_1 = \overline{\Phi_2}$



## 两相相反时钟的产生



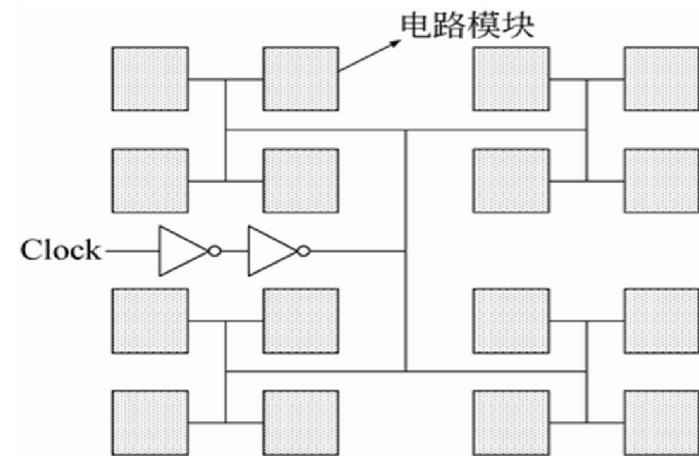
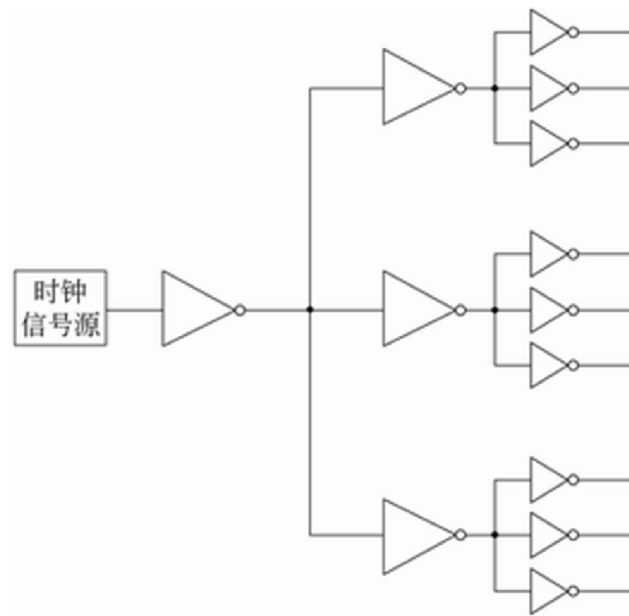
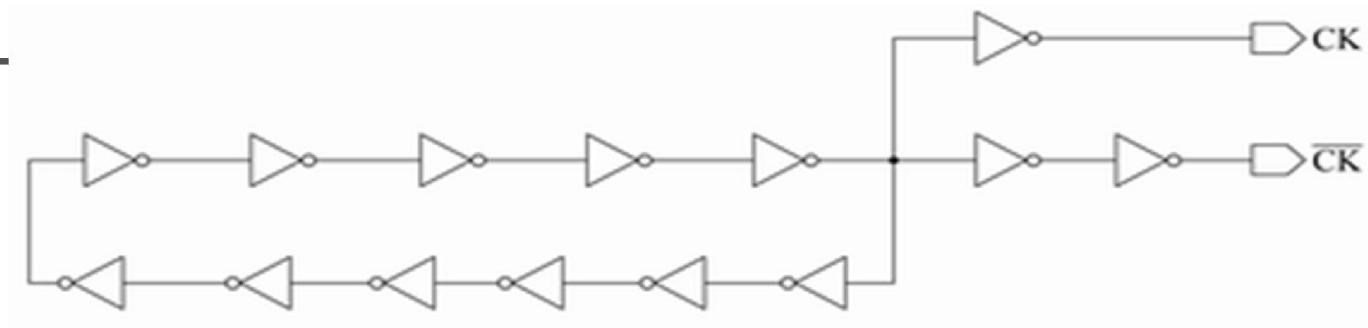
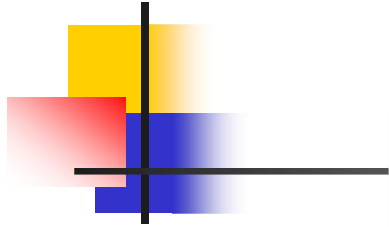
两相时钟经过不同延迟

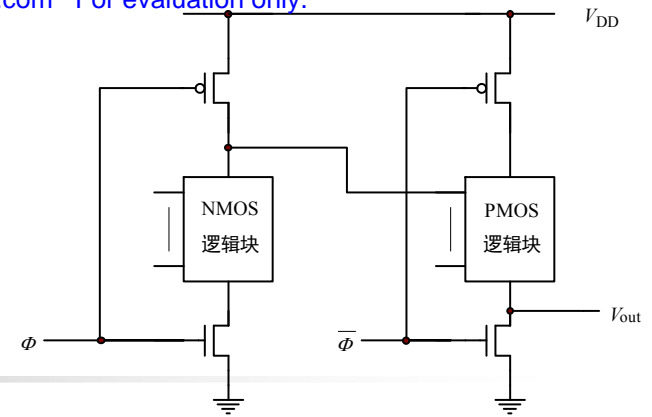
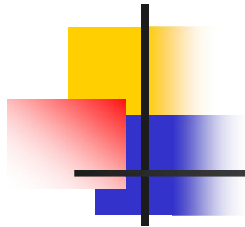


两相时钟经过近似相同延迟



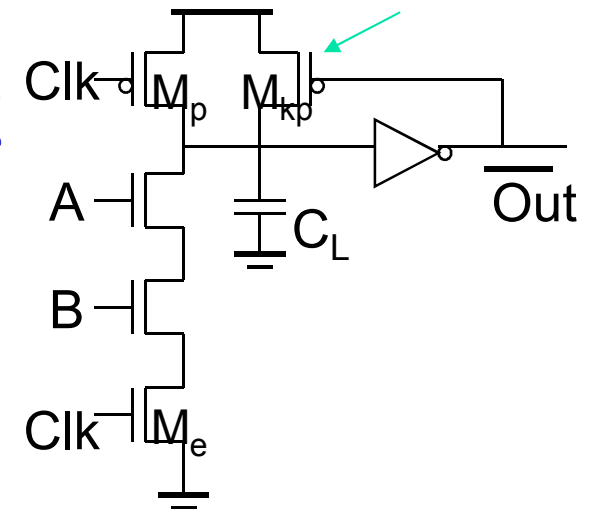
# 时钟信号的产生和分布





## 动态电路的优点:

1. 减少了MOS管, 有利于减小面积
2. 减小了电容, 有利于提高速度
3. 保持了无比电路的特点



## 动态电路的问题:

1. 靠电荷存储效应保存信息, 影响电路的可靠性
2. 存在电荷分享、级联、电荷泄漏等问题
3. 需要时钟信号控制, 增加设计复杂性