



# 第四章 基本单元电路

---

## 4.8 传输门逻辑电路

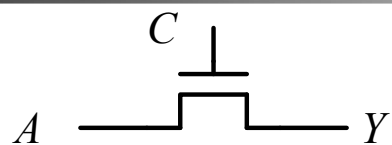


# 传输门逻辑电路

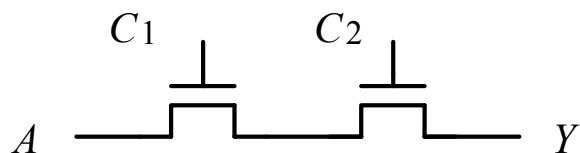
---

- 传输门组合逻辑
- 传输门阵列
- 传输门逻辑形式（**CPL**和**DPL**）

## 传输门的逻辑特点

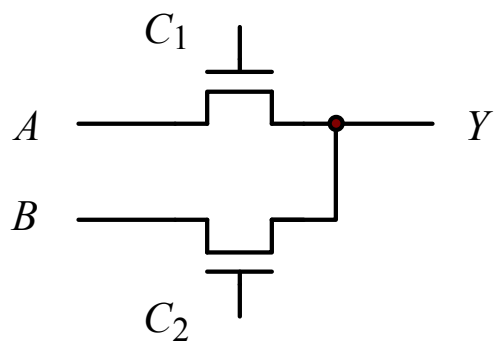


一个MOS管可以看作一个可控开关(传输管)， $Y=CA+\overline{C}Z$



两个传输管串联

$$Y=C_1C_2A+\overline{C_1C_2}Z$$

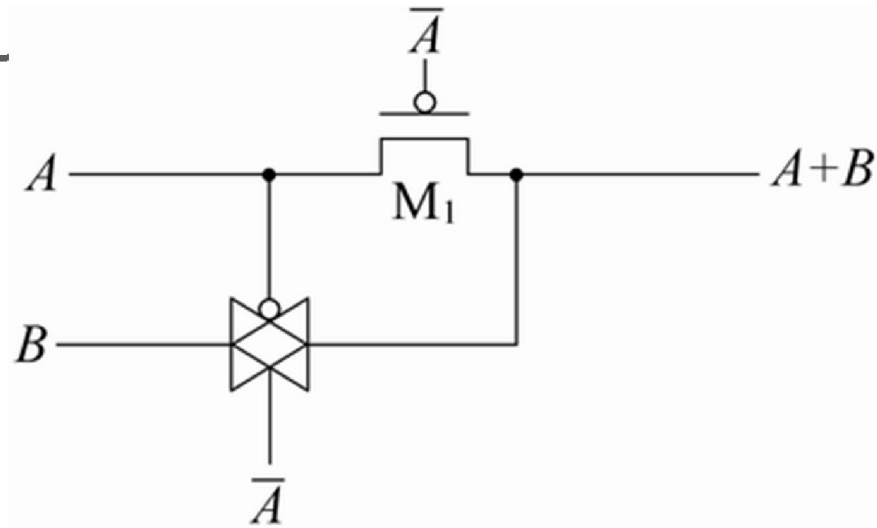


两个传输管并联

$$Y=C_1A+C_2B+\overline{C_1C_2}X+\overline{C_1+C_2}Z$$

➤ 避免逻辑错误：短路 $X$ （同时驱动）和输出高阻 $Z$ （没有驱动）

## 用传输门实现组合逻辑

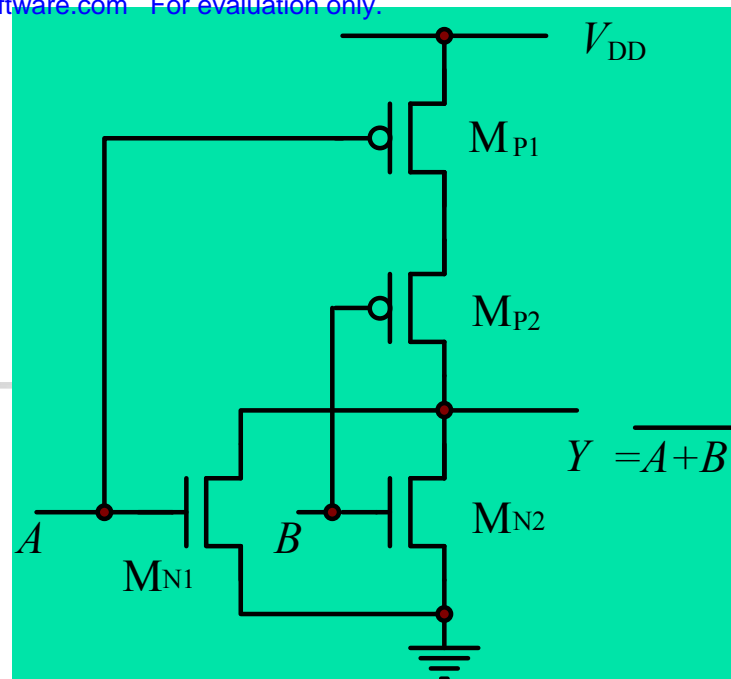


用传输门实现2输入或门的电路

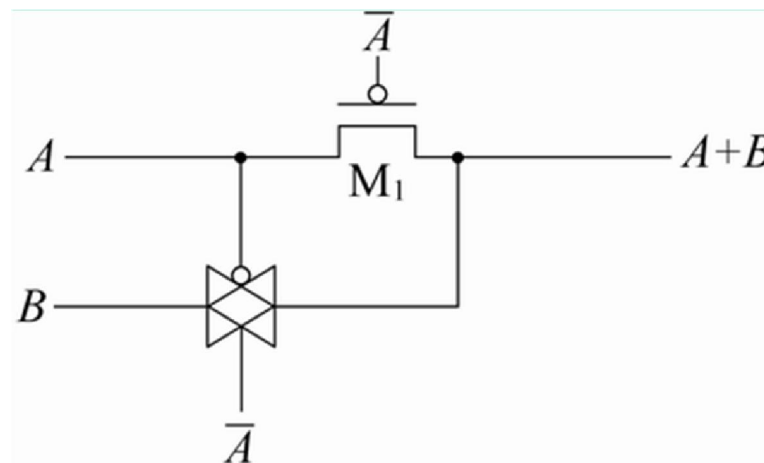
问题：为什么M1不用CMOS传输门

## 传输门组合逻辑

- 传输门结构灵活，可以用较少的器件实现逻辑功能
- 传输门级联，速度平方退化
- 实际的传输门电路一般需要输入/输出端加反相器
- 传输门结构与或逻辑一般不如互补CMOS结构高效

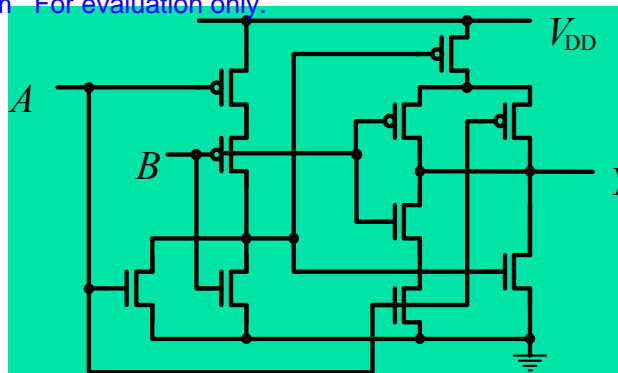


互补CMOS结构

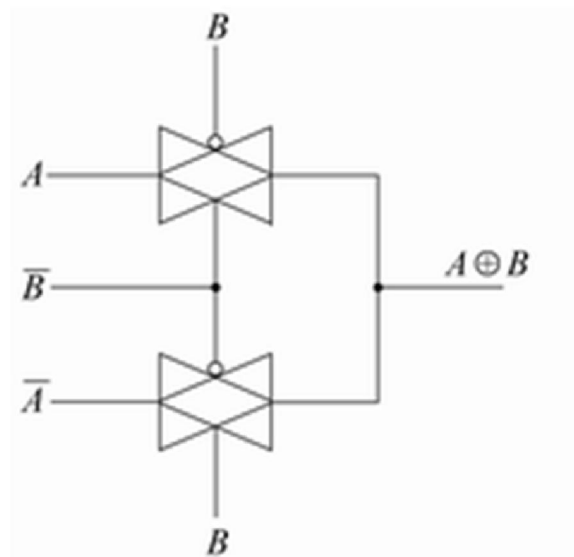
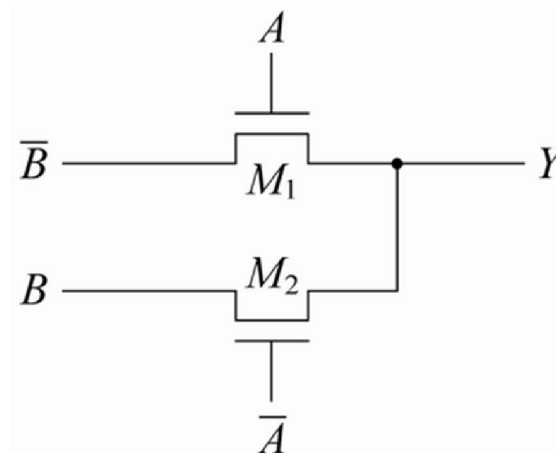


传输门结构

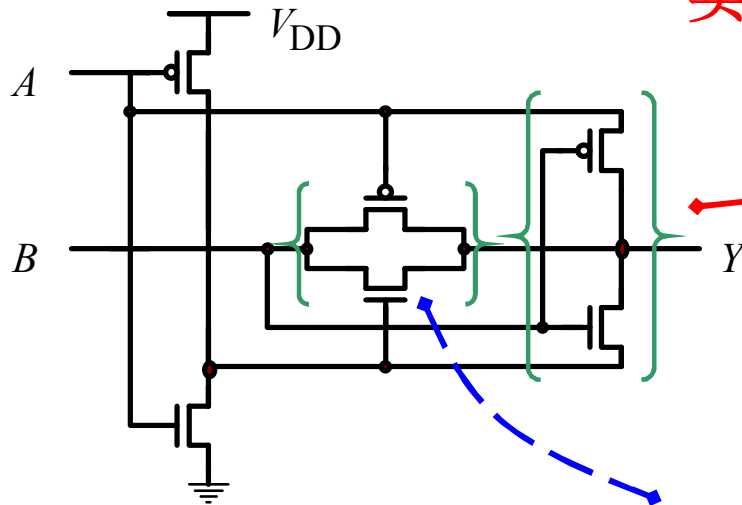
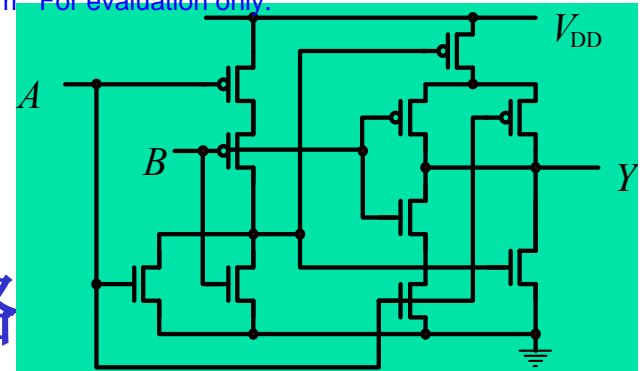
# 异或门



- 传输门结构灵活，可以用较少的器件实现逻辑功能
- 传输门实现异或等复杂逻辑门结构效率较高
- **NMOS**和**CMOS**结构

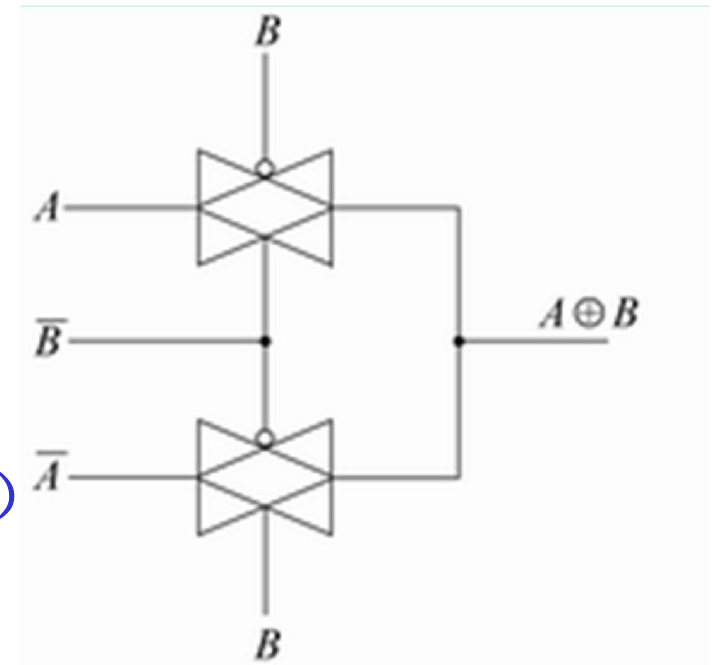


# 改进的传输门结构异或电路



实现  $\overline{A}B + \overline{A}B$  (有阈值损失)

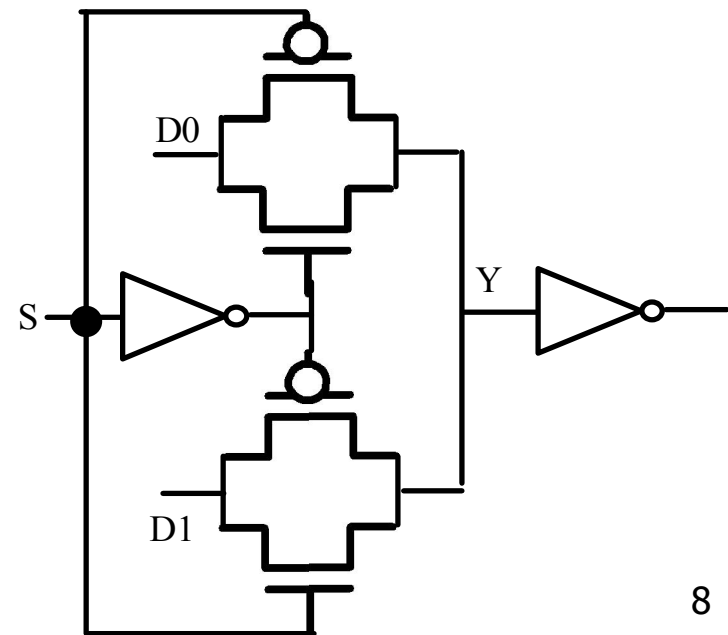
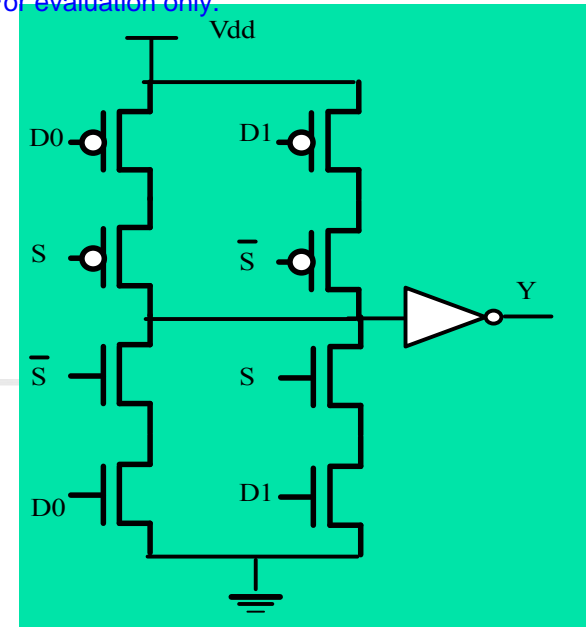
实现  $\overline{A}B$  (有高阻态)



# 多路选择器

- 多路选择器逻辑类似于异或逻辑，适合传输门结构
- 也可以利用传输门实现三态门

$$Y = \bar{S}D_0 + SD_1$$



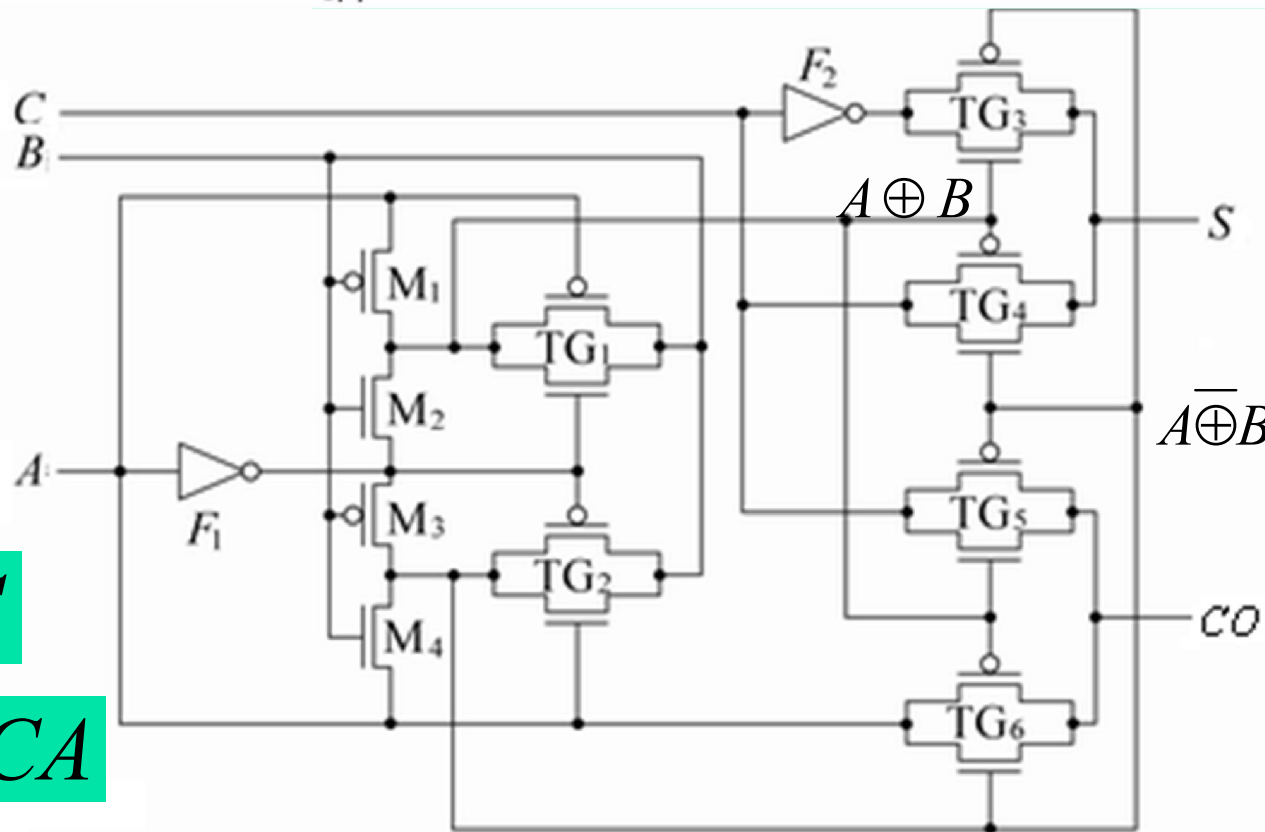
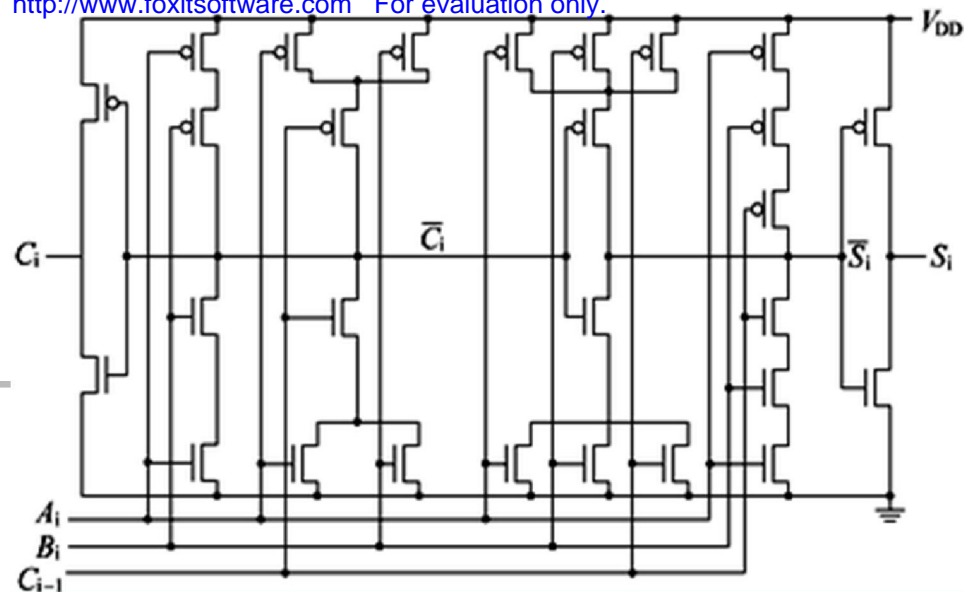


# 全加器

- 全加器中求和逻辑是**3**异或
- **20**个器件

$$S = A \oplus B \oplus C$$

$$C_o = AB + BC + CA$$





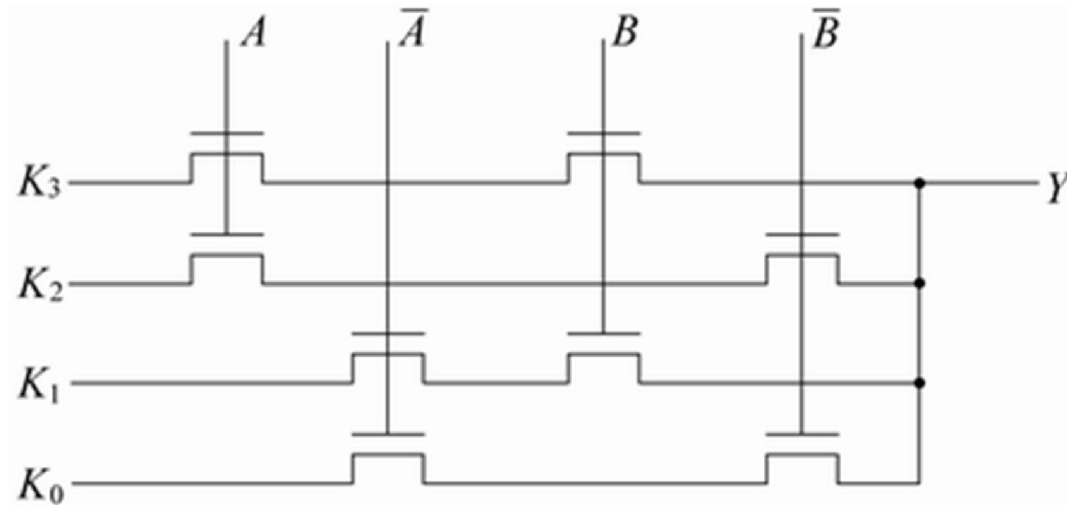
# 传输门逻辑电路

---

- 传输门组合逻辑
- 传输门阵列
- 传输门逻辑形式（**CPL**和**DPL**）

# 传输门阵列逻辑

## 用NMOS传输门阵列实现多功能发生器



$$Y = K_3 AB + K_2 A\bar{B} + K_1 \bar{A}B + K_0 \bar{A}\bar{B}$$

讨论：如何避免输出不定态

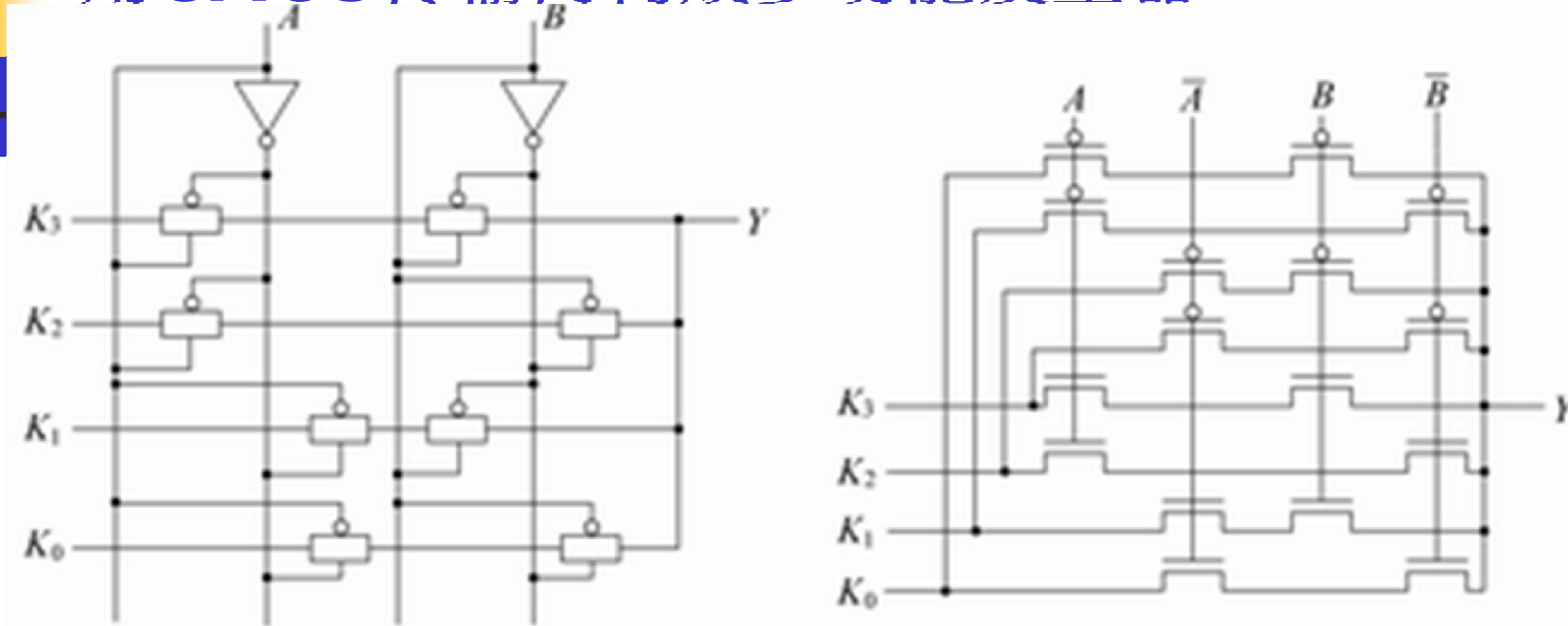
电路的高、低电平，传输延迟时间

## 多功能发生器的真值表

$$Y = K_3 AB + K_2 A\bar{B} + K_1 \bar{A}B + K_0 \bar{A}\bar{B}$$

$K_3$	$K_2$	$K_1$	$K_0$	$Y$
0	0	0	0	0
0	0	0	1	$\bar{A}\bar{B}$
0	0	1	0	$\bar{A}B$
0	0	1	1	$\bar{A}$
0	1	0	0	$A\bar{B}$
0	1	0	1	$\bar{B}$
0	1	1	0	$A \oplus B$
0	1	1	1	$\bar{A} + \bar{B}$
1	0	0	0	$AB$
1	0	0	1	$A \oplus B$
1	0	1	0	$B$
1	0	1	1	$\bar{A} + B$
1	1	0	0	$A$
1	1	0	1	$A + \bar{B}$
1	1	1	0	$A + B$
1	1	1	1	1

## 用CMOS传输门构成多功能发生器



传输门阵列的优点：结构简单、规整，逻辑组合能力灵活多样，  
便于版图自动化设计。

传输门阵列的缺点：驱动负载的能力弱，单独的**NMOS**或**PMOS**  
传输门有阈值损失。



# 传输门逻辑电路

---

- 传输门组合逻辑
- 传输门阵列
- 传输门逻辑形式 (**CPL**和**DPL**)

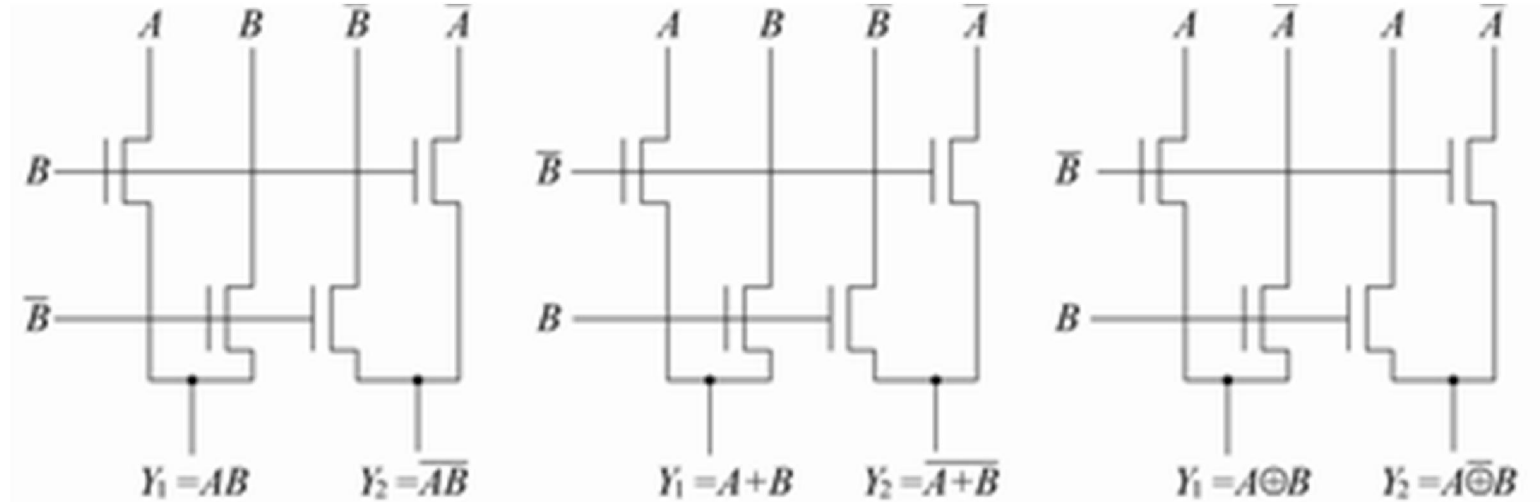


# 逻辑形式 (logic style)

---

- 可以实现任意逻辑的一种器件排列方法
  - 互补**CMOS**逻辑
  - 各种传输门逻辑
  - **Domino**逻辑
- 不同的逻辑形式根据自身特点，适合特定逻辑功能（互补**CMOS**适合与或逻辑，传输门适合异或逻辑）

## 互补传输晶体管逻辑(CPL) Complementary Pass-transistor Logic

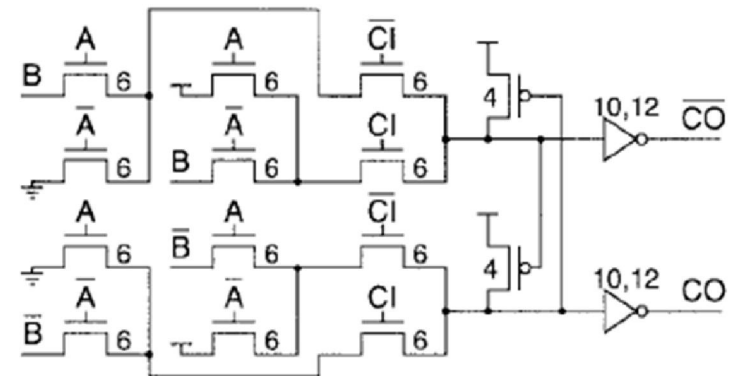
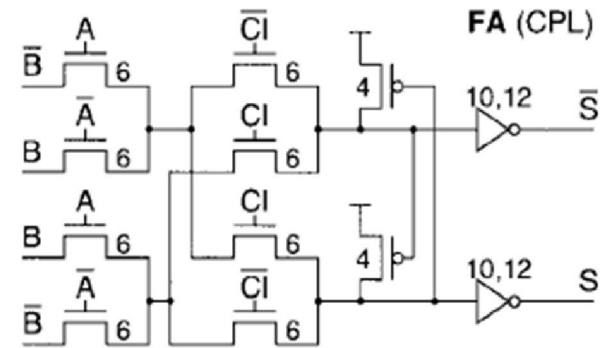
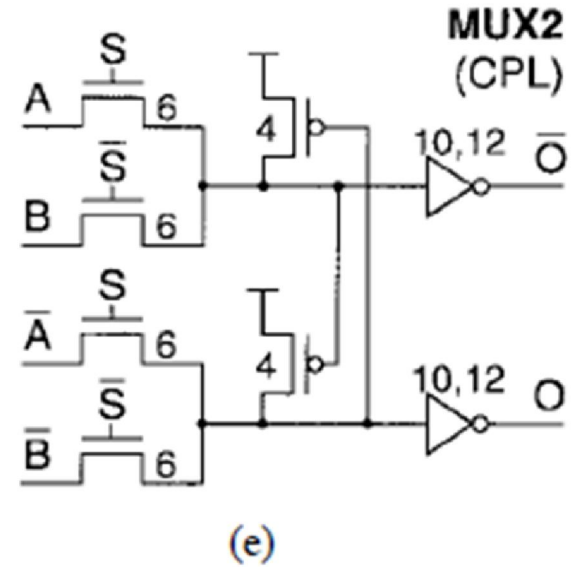


- 优点：非常简单规则的电路形式，具有很强的逻辑组合能力；  
用互补的输入信号同时产生一对互补的输出（双轨逻辑）；  
模块式电路结构，用基本模块组合成复杂功能电路。
- 缺点：输出有阈值损失，噪声容限低，驱动能力差。  
可以在输出增加**CMOS**反相器改善性能。



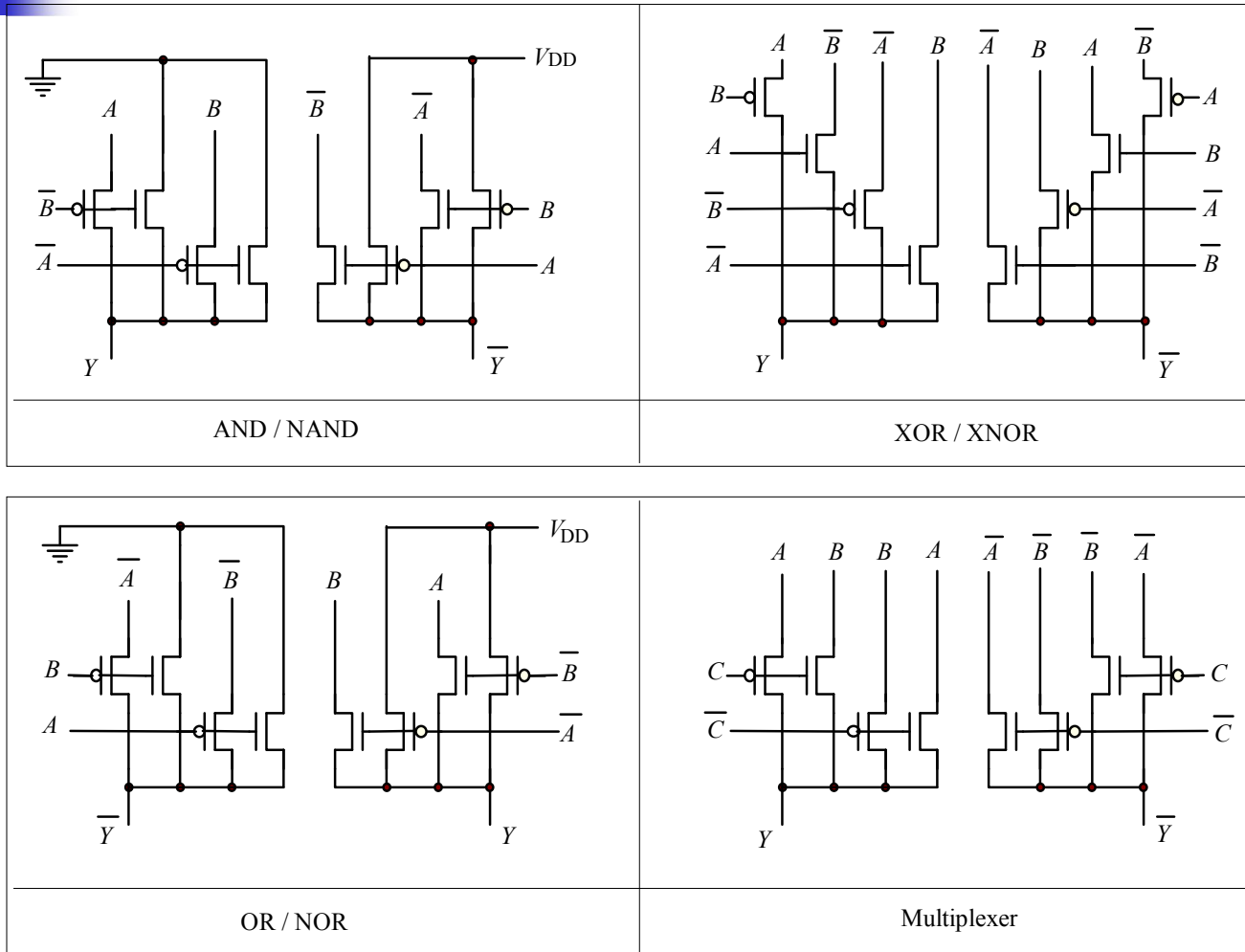
# CPL

- 增加输出反相器和电平恢复器件
- 提高驱动能力，恢复阈值损失电平



## 双传输晶体管逻辑(DPL)

### Double Pass-transistor Logic

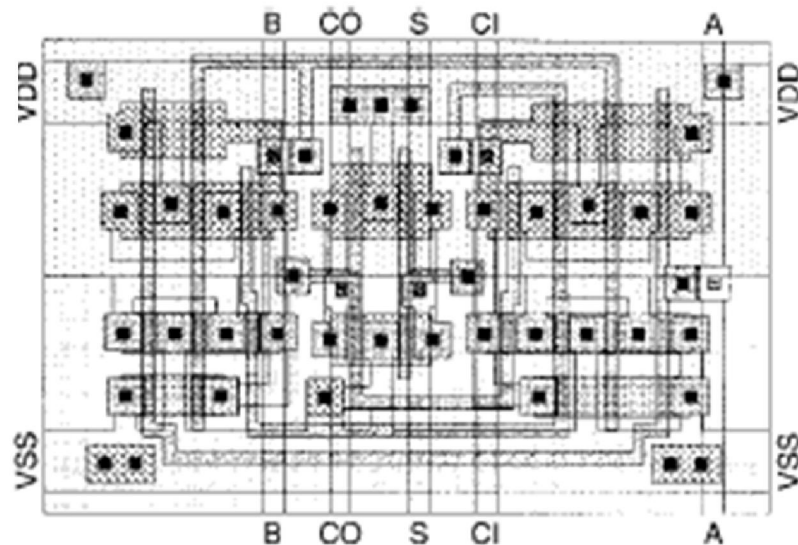
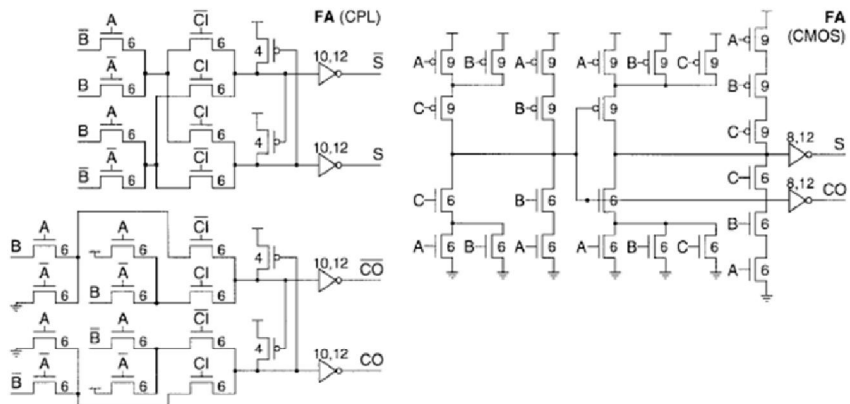


优点：保持了  
**CPL**的优点，  
 没有阈值损失，  
 双路传输，  
 速度快。

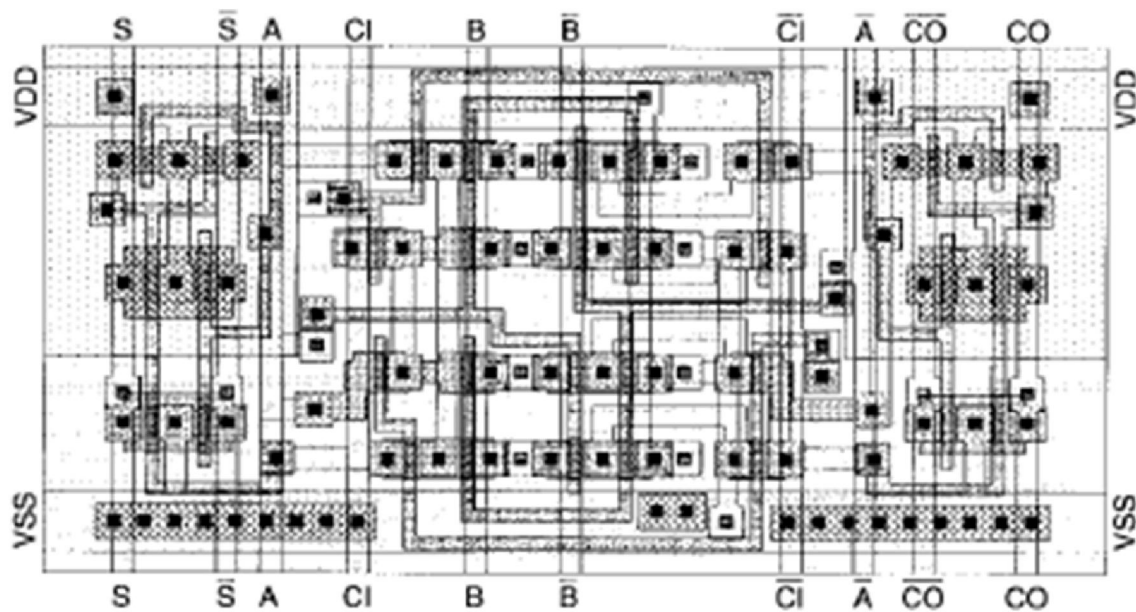
缺点：比**CPL**  
 用的管子多。

## 几种传输门电路的比较

	CPL	CMOS	DPL																																																																	
电路																																																																				
操作	<table border="1"> <thead> <tr> <th colspan="2">输入</th> <th rowspan="2">输出</th> <th rowspan="2">传送</th> </tr> <tr> <th>A</th> <th>B</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td rowspan="2">B</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td rowspan="2">B-bar</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	输入		输出	传送	A	B	0	0	0	B	0	1	1	1	0	1	B-bar	1	1	0	<table border="1"> <thead> <tr> <th colspan="2">输入</th> <th rowspan="2">输出</th> <th rowspan="2">传送</th> </tr> <tr> <th>A</th> <th>B</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td rowspan="2">B</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td rowspan="2">B-bar</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	输入		输出	传送	A	B	0	0	0	B	0	1	1	1	0	1	B-bar	1	1	0	<table border="1"> <thead> <tr> <th colspan="2">输入</th> <th rowspan="2">输出</th> <th colspan="2">传送</th> </tr> <tr> <th>A</th> <th>B</th> <th>B</th> <th>A-bar</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td rowspan="2">B</td> <td rowspan="2">A-bar</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td rowspan="2">B-bar</td> <td rowspan="2">A</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	输入		输出	传送		A	B	B	A-bar	0	0	0	B	A-bar	0	1	1	1	0	1	B-bar	A	1	1	0
输入		输出	传送																																																																	
A	B																																																																			
0	0	0	B																																																																	
0	1	1																																																																		
1	0	1	B-bar																																																																	
1	1	0																																																																		
输入		输出	传送																																																																	
A	B																																																																			
0	0	0	B																																																																	
0	1	1																																																																		
1	0	1	B-bar																																																																	
1	1	0																																																																		
输入		输出	传送																																																																	
A	B		B	A-bar																																																																
0	0	0	B	A-bar																																																																
0	1	1																																																																		
1	0	1	B-bar	A																																																																
1	1	0																																																																		
摆幅	0 — ( $V_{DD} - V_T$ )	0 — $V_{DD}$	0 — $V_{DD}$																																																																	



(a)

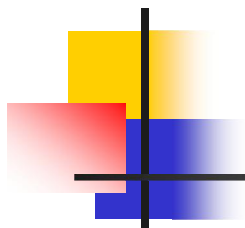


(b)

- 互补CMOS结构输入信号均连接器件栅极，结构规整，版图面积更小

Fig. 5. Layout of (a) CMOS and (b) CPL full-adder.

# 其他传输门逻辑形式



- 文献报道了很多种基于传输门的逻辑形式
- **CPL**和**DPL**有所应用

