



静态CMOS逻辑电路

4.6 复杂逻辑门的分析

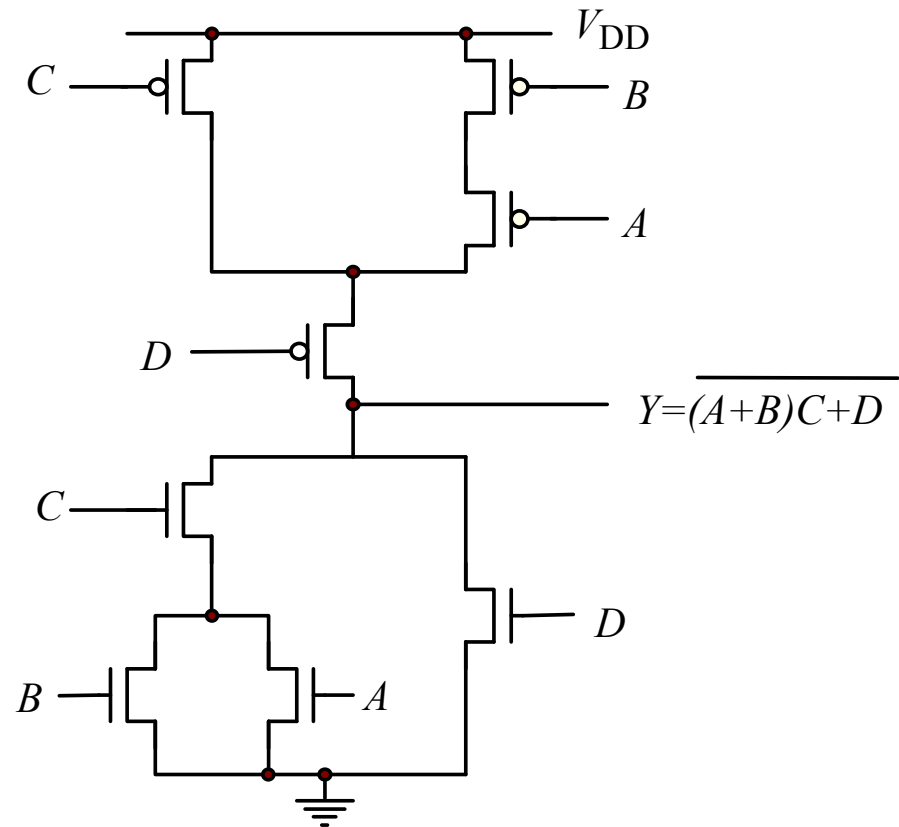


CMOS复杂逻辑门

- 静态**CMOS**逻辑门的构成
- 复杂**CMOS**逻辑门的分析与设计
- 异或门/多路器/全加器
- 类**NMOS**逻辑电路

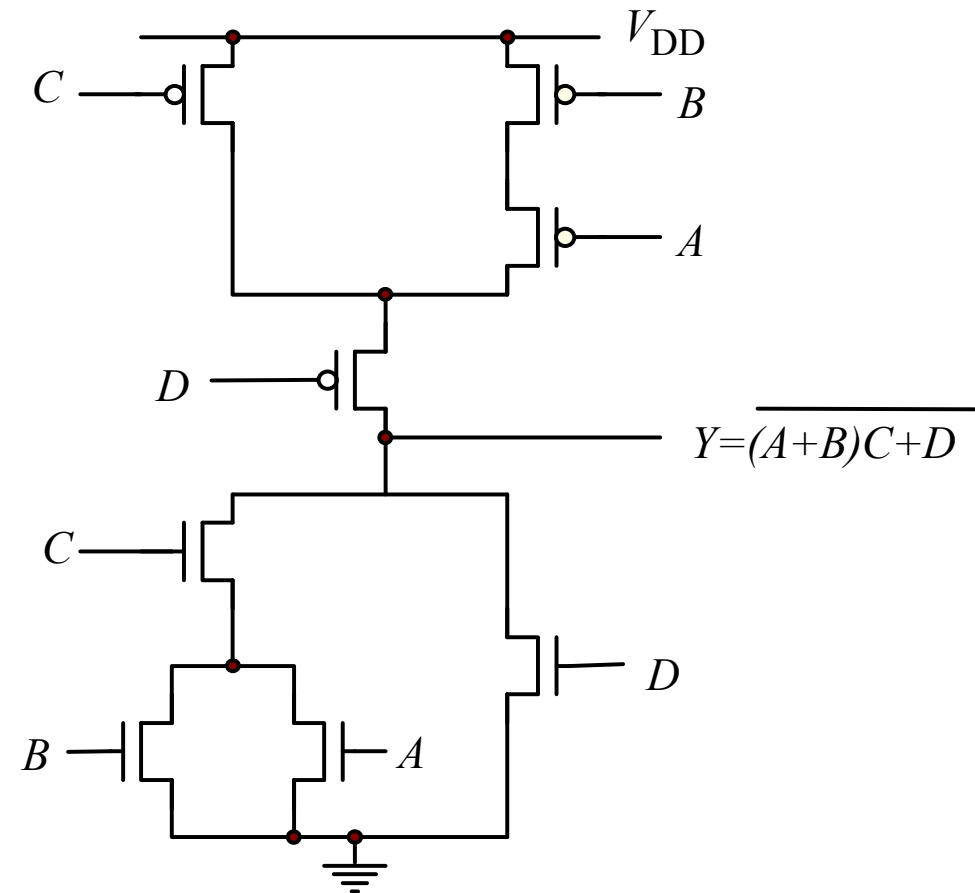
复杂逻辑门的分析—直流

- 根据给定的电路，分析直流特性，画出 **VTC**
- 根据逻辑阈值点，分析电路的噪声容限
- 假设图中电路所有器件均取相同尺寸，并有迁移率**2**倍近似



复杂逻辑门的分析—瞬态

- 分析电路的最大上升/下降时间及延迟
- 电容的处理：
 - 忽略串联中间节点电容，只考虑输出节点电容
 - 如果外部负载很大，甚至可以忽略输出节点的源漏区电容



复杂逻辑门的设计

若要求电路驱动**0.1pF**负载电容时，上升、下降时间不大于**1ns**，已知： **$C_{ox}=7E-8F/cm^2$** ， **$V_{DD}=5V$** ， **$V_{TN}=0.8V$** ， **$V_{TP}=-0.9V$** ， **$\mu_n=400cm^2/Vs$** ， **$\mu_p=200cm^2/Vs$** 。

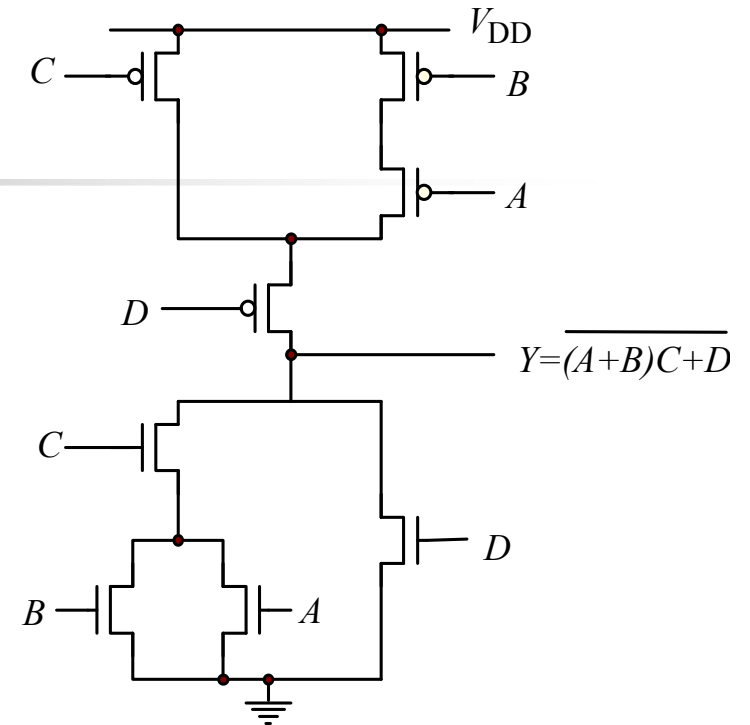
根据**tr**和**tf**的公式和工艺条件，可以求出：

$$\tau_r = 5.75 \times 10^{-10} s, \quad \tau_f = 5.81 \times 10^{-10} s,$$

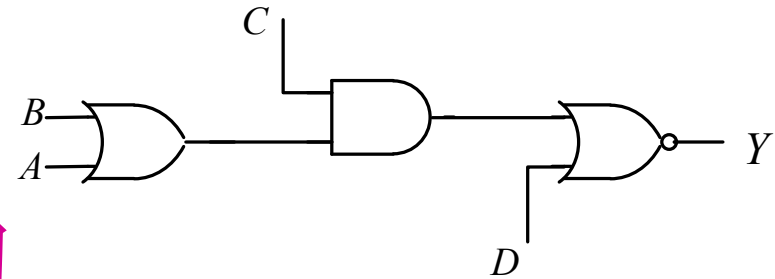
$$K_{Peff} = 3.5 \times 10^{-5} A/V^2, \quad K_{Neff} = 3.4 \times 10^{-5} A/V^2$$

$$K_{ND} = K_{Neff}, \quad K_{NA} = K_{NB} = K_{NC} = 2K_{Neff},$$

$$K_{PA} = K_{PB} = K_{PD} = 3K_{Peff}, \quad K_{PC} = 1.5K_{Peff}$$



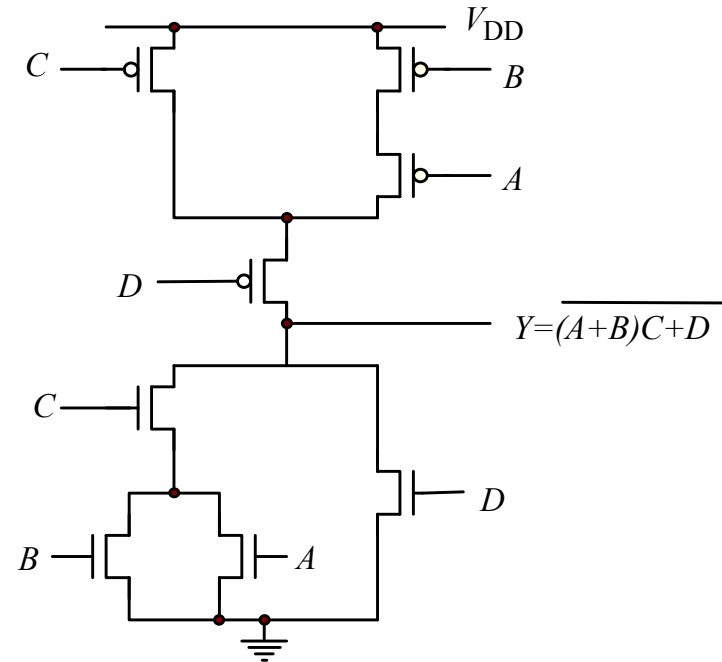
再根据工艺条件，求出每个管子的尺寸。



设计考虑：对称结构

■如果没有特定的应用要求，对称结构是比较优化的设计

■选择最坏情况的上拉和下拉路径，器件尺寸使得其导电因子（等效电阻）相等

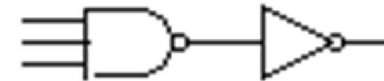


CMOS电路结构的优化

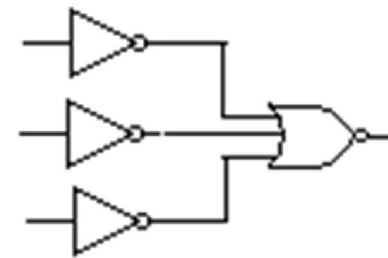
相同的逻辑功能可以有不同的**CMOS**电路结构，
可以根据速度和面积选择优化的结构

例如实现： $Y = ABC$

方案一： $Y = \overline{\overline{ABC}}$

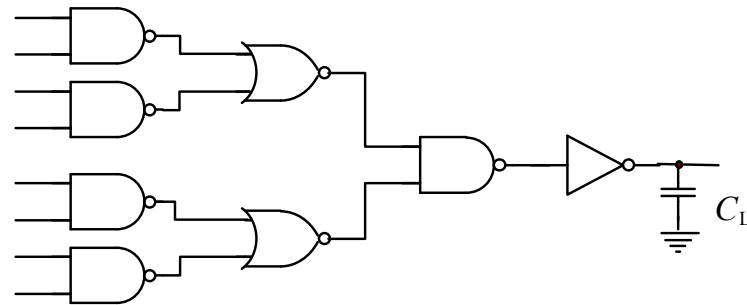
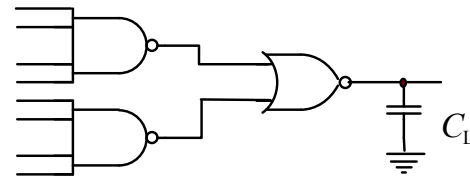
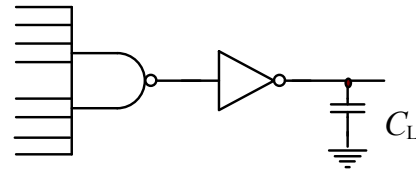


方案二： $Y = \overline{\overline{A} + \overline{B} + \overline{C}}$



大扇入逻辑门的设计

实现8个变量“与”的三种方案



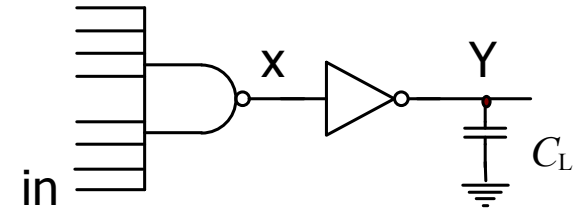
思考:

三种方案的
差别

第一种方案

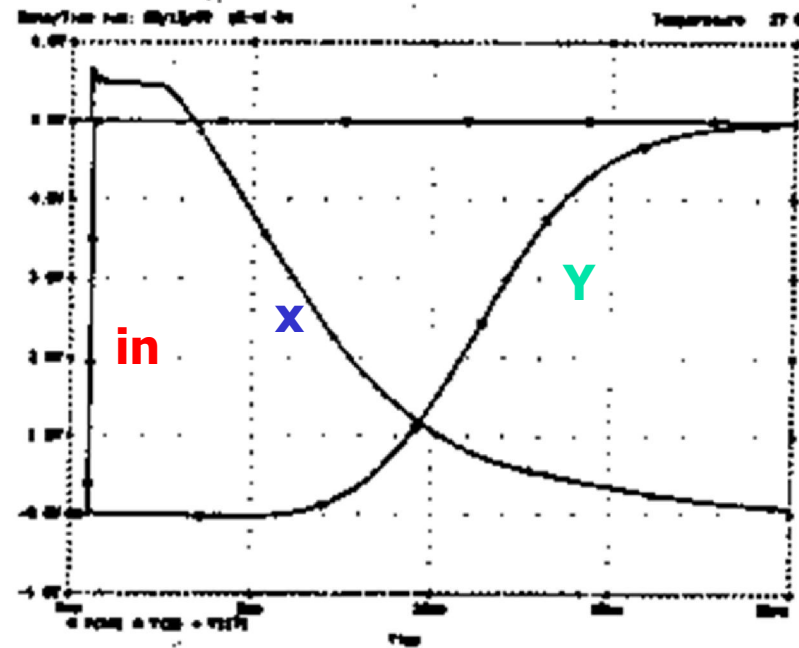
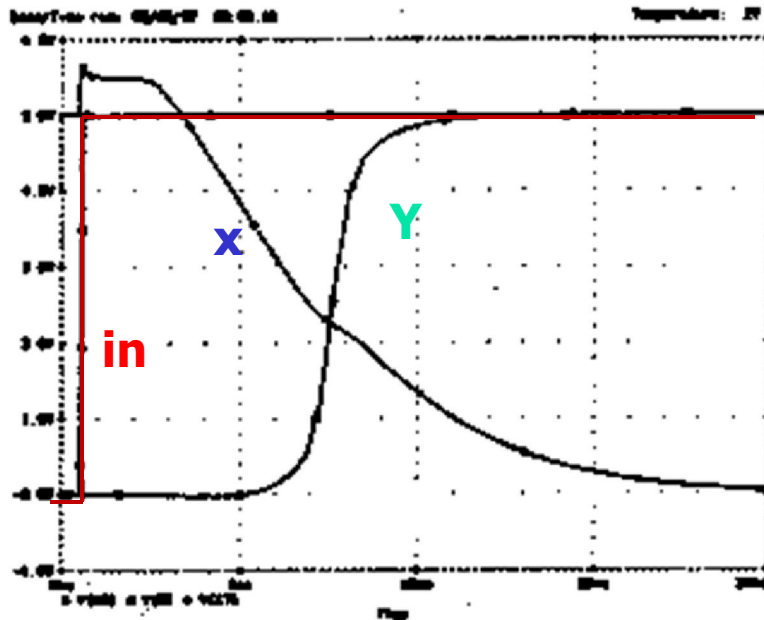
$W_p=24\mu m$

$W_n=12\mu m$



$C_L=0.01pF$

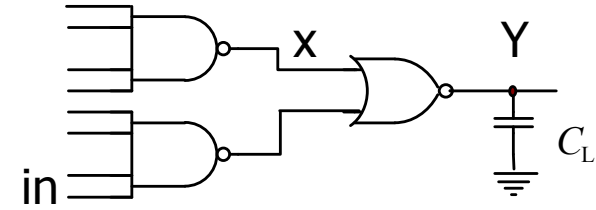
$C_L=1pF$



第二种方案

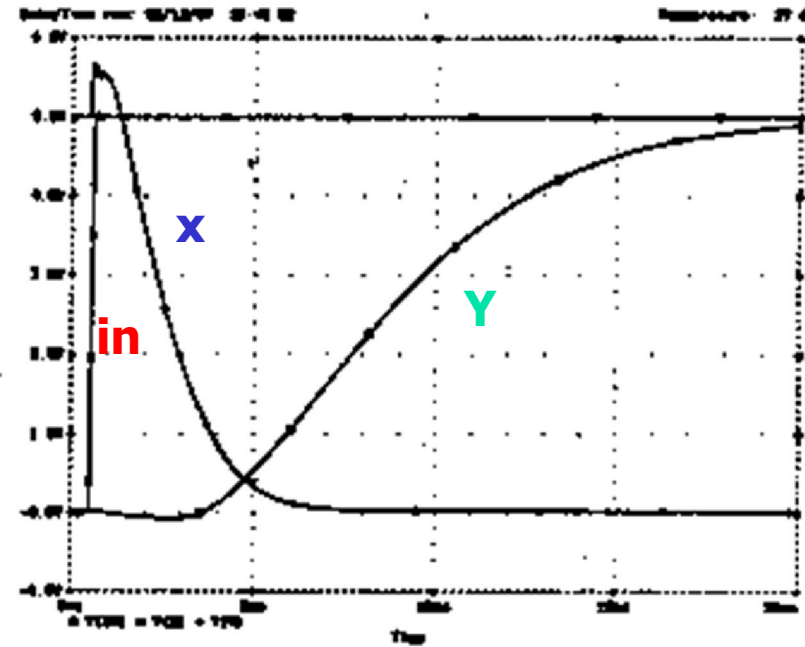
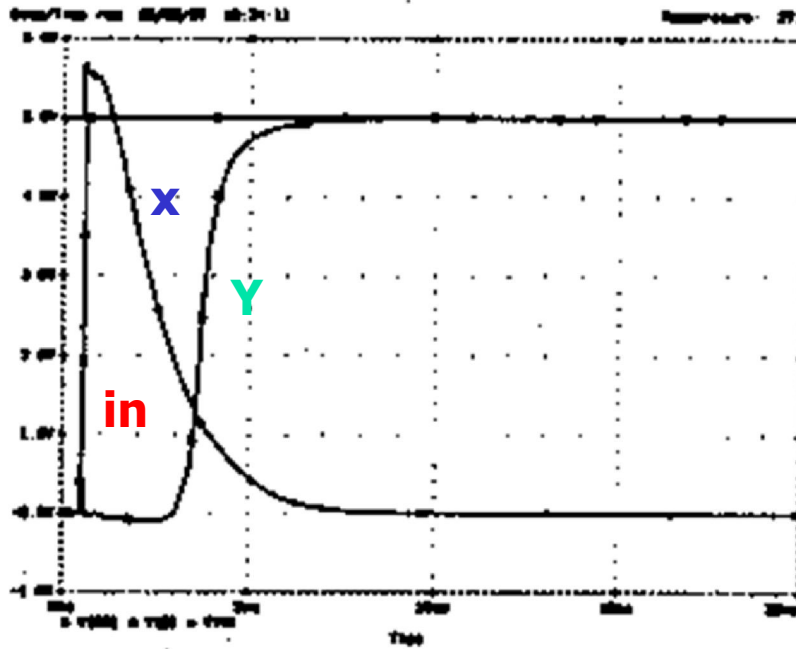
$W_p=24\mu\text{m}$

$W_n=12\mu\text{m}$



$C_L=0.01\text{pF}$

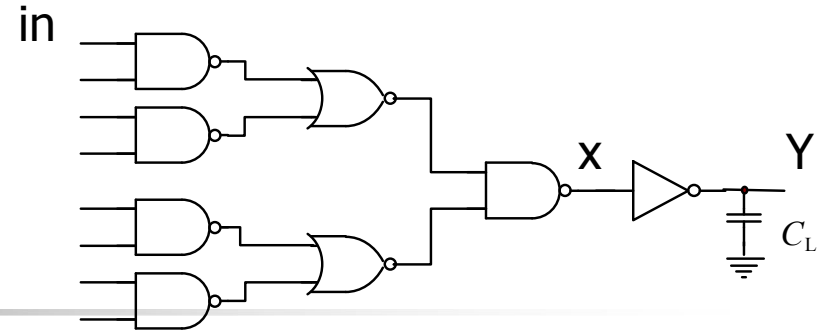
$C_L=1\text{pF}$



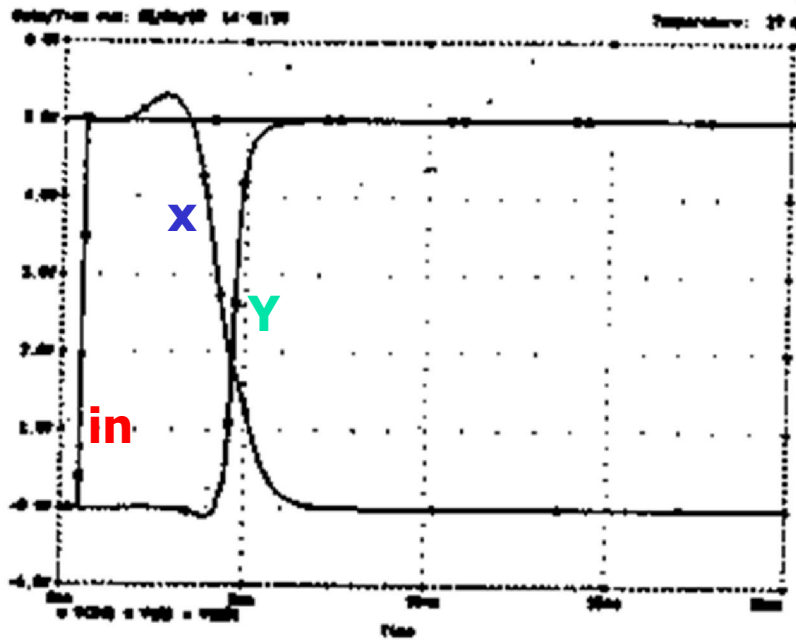
第三种方案

Wp=24um

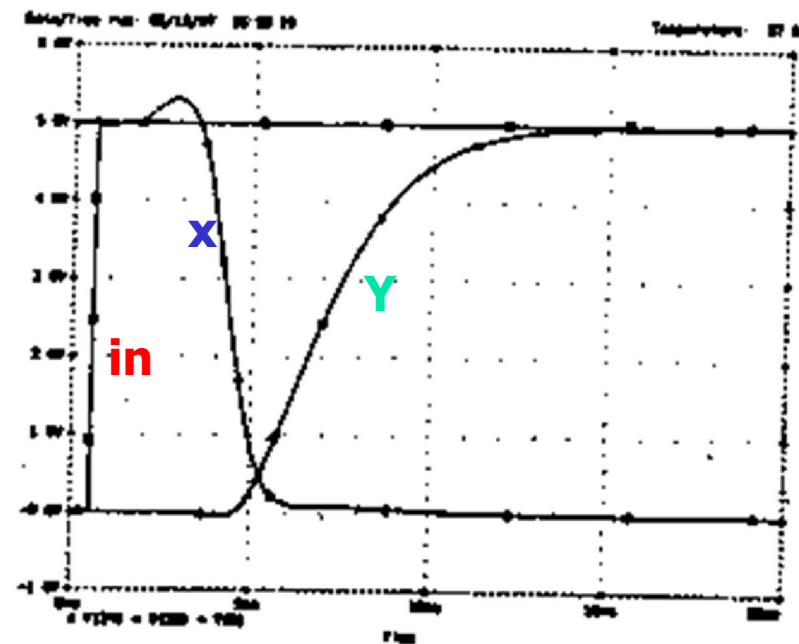
Wn=12um



CL=0.01pF



CL=1pF





三种方案的比较

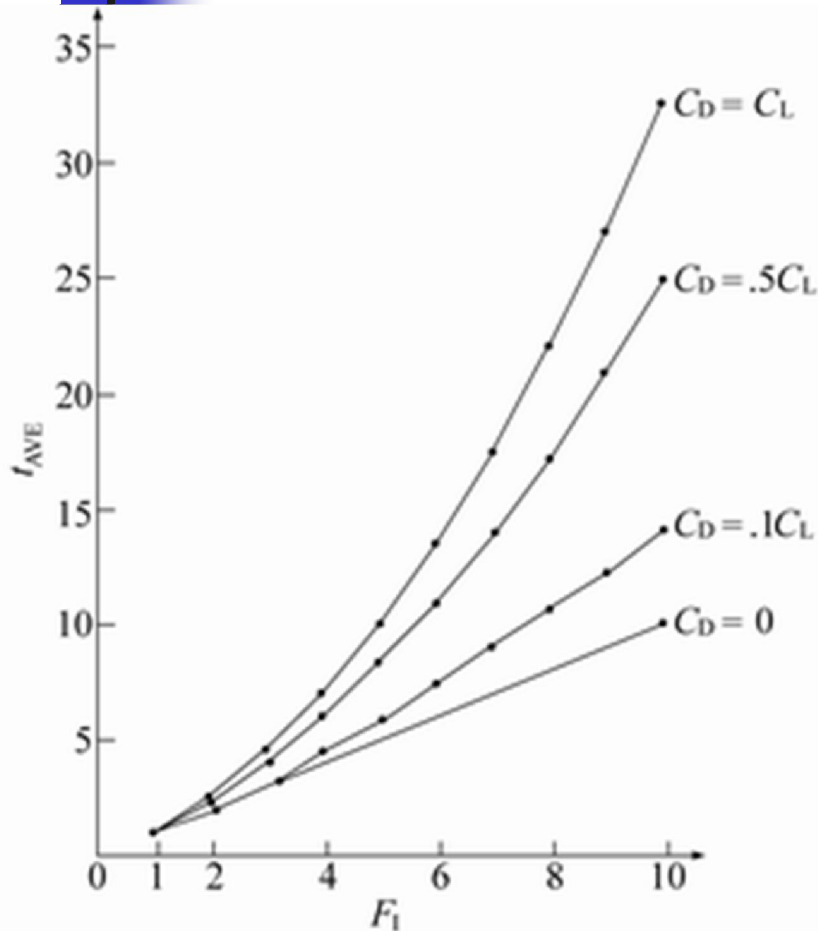
Wp=24um

Wn=12um

	MOS管	tp(1pF)	面积	对称设计面积
■ 方案1	18	11.5ns	27 A_0	83 A_0
■ 方案2	20	8.5	30 A_0	58 A_0
■ 方案3	30	7.0	45 A_0	63 A_0

A_0 是最小NMOS管的面积

电路延迟时间与扇入、扇出系数的关系



$$t_p \approx \alpha F_I^2 + \beta F_O$$

■扇入系数：串联**NMOS**一般不超过**4**个，**PMOS**不超过**3**个

■扇出系数：最优值为**4**，一般不超过**6**

■大扇入可以分成多级实现

■大扇出可以利用反相器链驱动（避免或非门驱动）

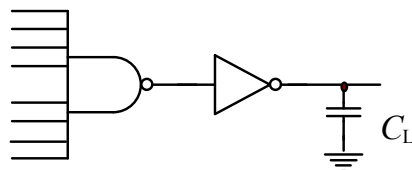
对称与非门

大扇入逻辑门的分析

实现8个变量“与”的三种方案

$$t_{pHL} \propto \left(\frac{n^2}{2} + n\right)R_0C_0$$

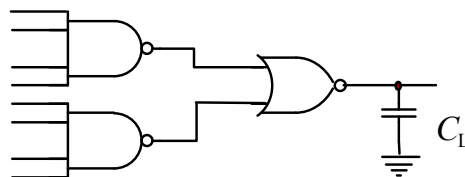
(1)



对称或非门

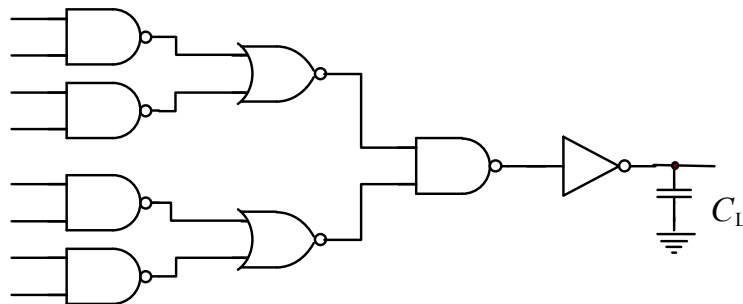
$$t_{pLH} \propto \left(n^2 + \frac{n}{2}\right)R_0C_0$$

(2)

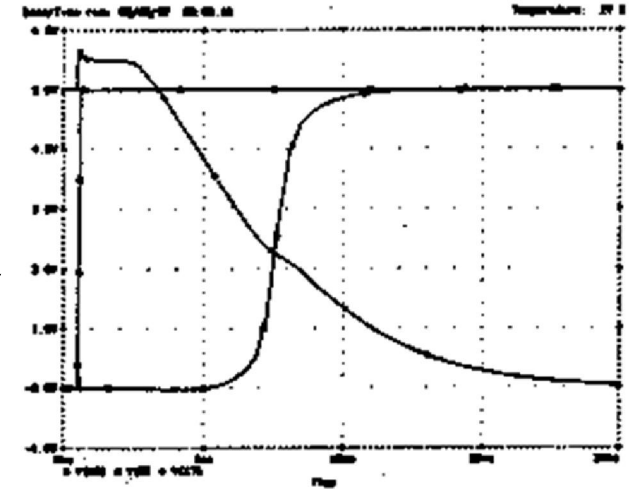
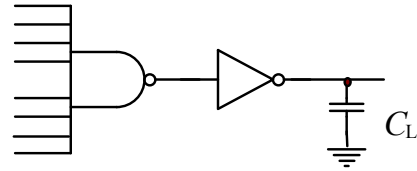
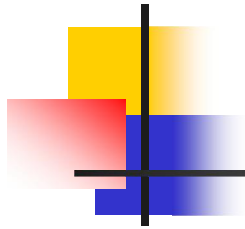


小负载情况下，
不妨设 $C_L = C_0$

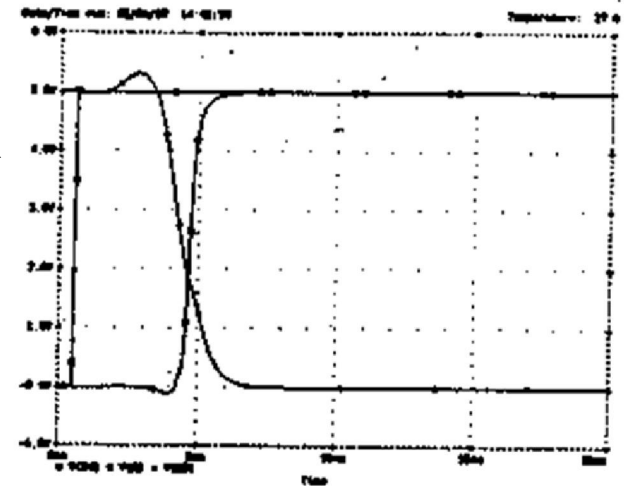
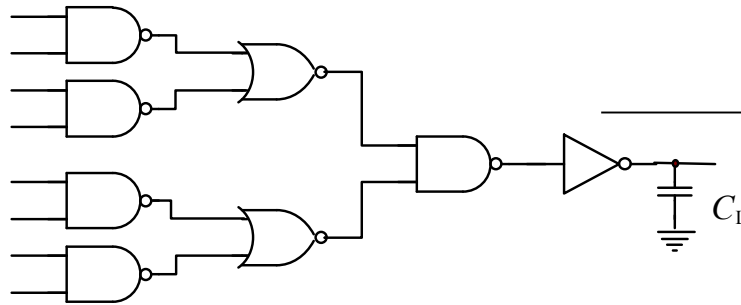
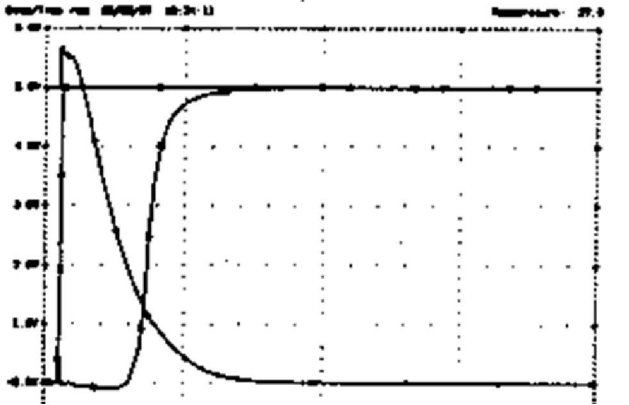
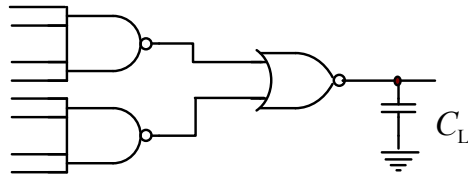
(3)



电路分析与仿真验证



CL=0.01pF





CMOS复杂逻辑门

- 静态**CMOS**逻辑门的构成
- 复杂**CMOS**逻辑门的设计
- 互补**CMOS**异或门/多路器/全加器
- 类**NMOS**逻辑电路



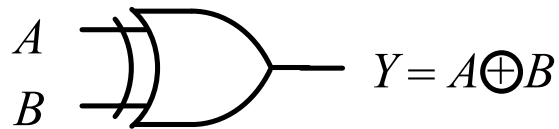
一般逻辑电路的设计流程:

- 1) 根据真值表写出逻辑表达式;
- 2) 进行适当的逻辑变换和化简;
- 3) 确定电路的逻辑图和具体实现的电路;
- 4) 根据电路性能要求确定电路参数;
- 5) 完成电路的版图设计。

1、异或、同或逻辑

异或: $Y = A\bar{B} + \bar{A}B$

$$Y = A \oplus B$$

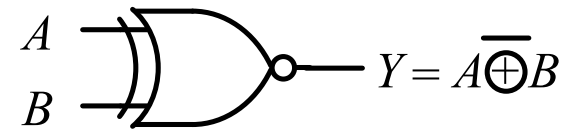


A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

异或运算真值表

同或: $Y = AB + \bar{A}\bar{B}$

$$Y = A \odot B$$



A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

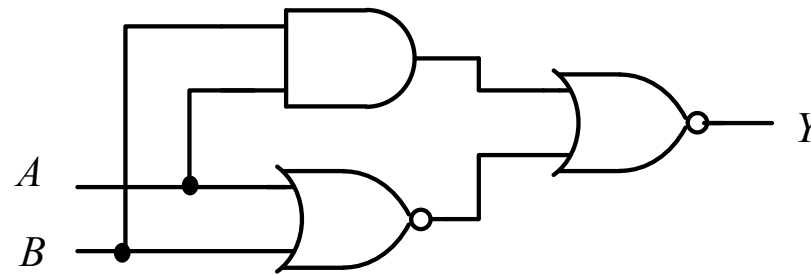
同或运算真值表

异或电路的实现

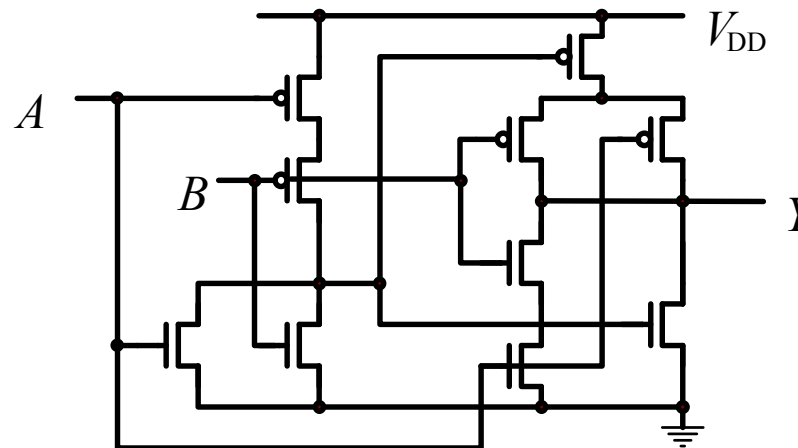
逻辑表达式整理

$$Y = \overline{A}B + A\overline{B} = \overline{A}B + \overline{\overline{A}B}$$

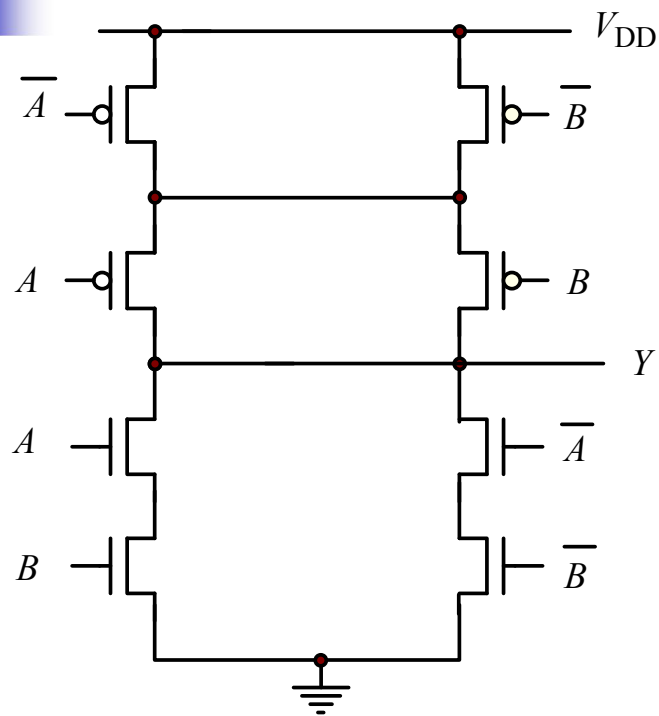
逻辑图



电路图

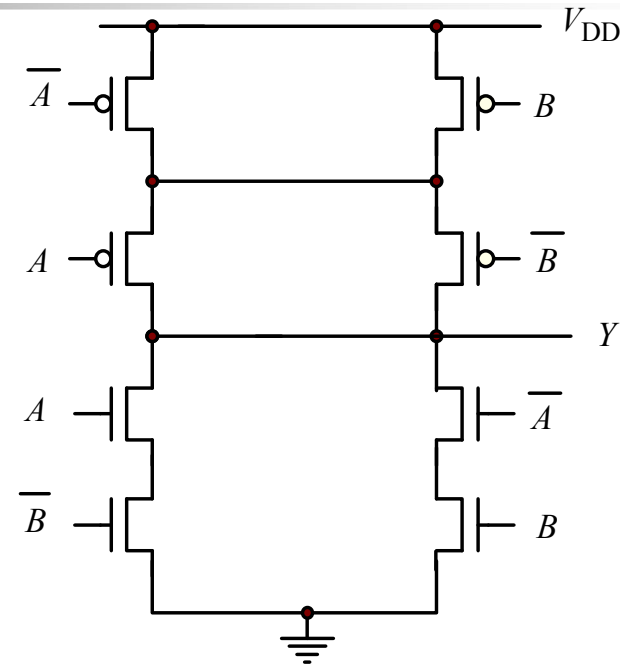


用AOI门实现异或、同或功能



异或: $Y = A\bar{B} + \bar{A}B$

$$Y = A \oplus B$$

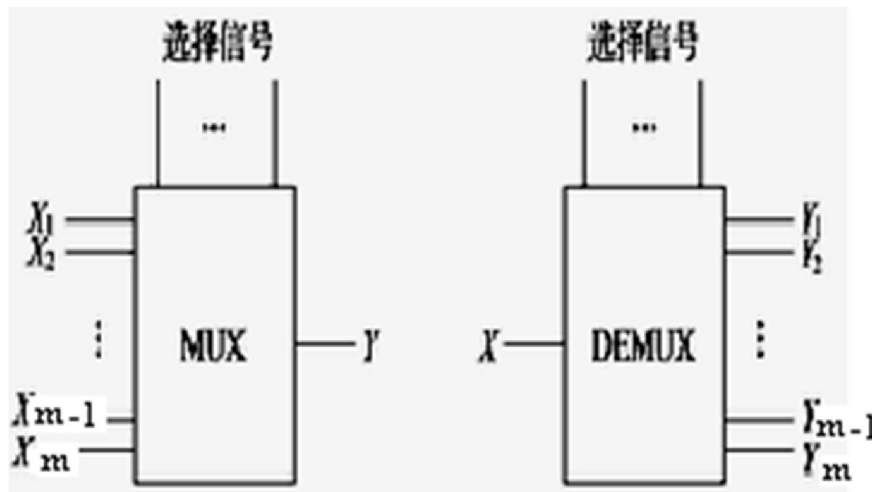


同或: $Y = AB + \bar{A}\bar{B}$

$$Y = A \oplus B$$

2、多路选择器

- **多路器 (MUX)**：通过控制信号从多个数据来源中选择一个传送出去。



约束条件：如果对 m 个数据进行 m 选一

- ◆ 控制信号的位数应满足： $2^n = m$

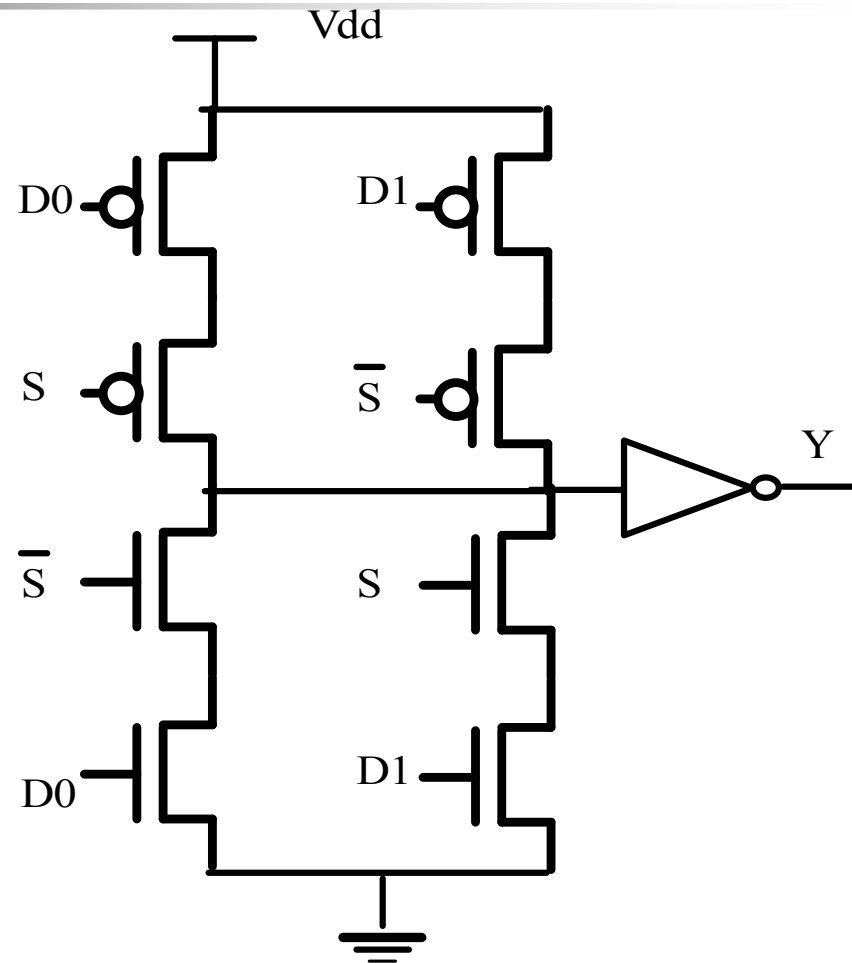
多路器

二选一多路器

真值表

S	Y
0	D0
1	D1

$$Y = \bar{S}D_0 + SD_1$$



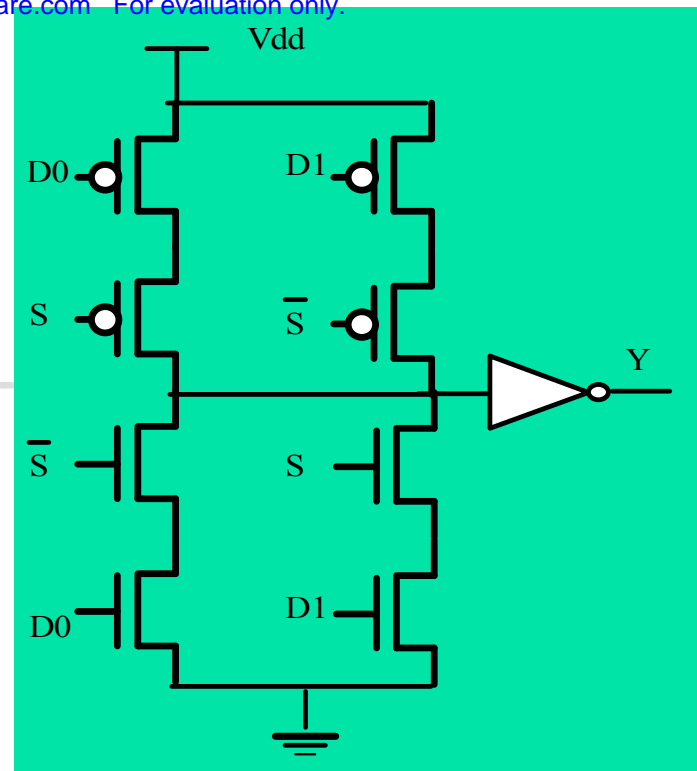
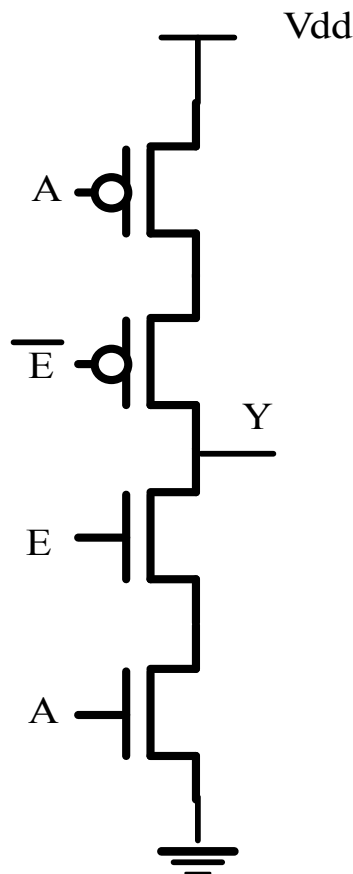
三态缓冲器

二选一多路器

真值表

E	Y
0	高阻
1	\bar{A}

$$Y = E\bar{A} + \bar{E}Z$$





3、全加器

全加器真值表

A	B	C	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

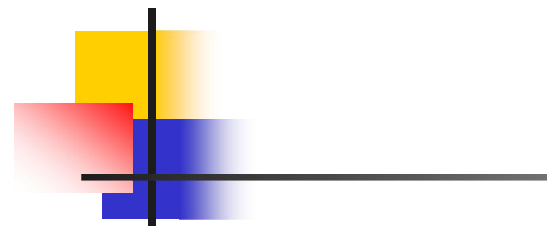
$$S = A \oplus B \oplus C$$

$$Co = AB + BC + CA$$

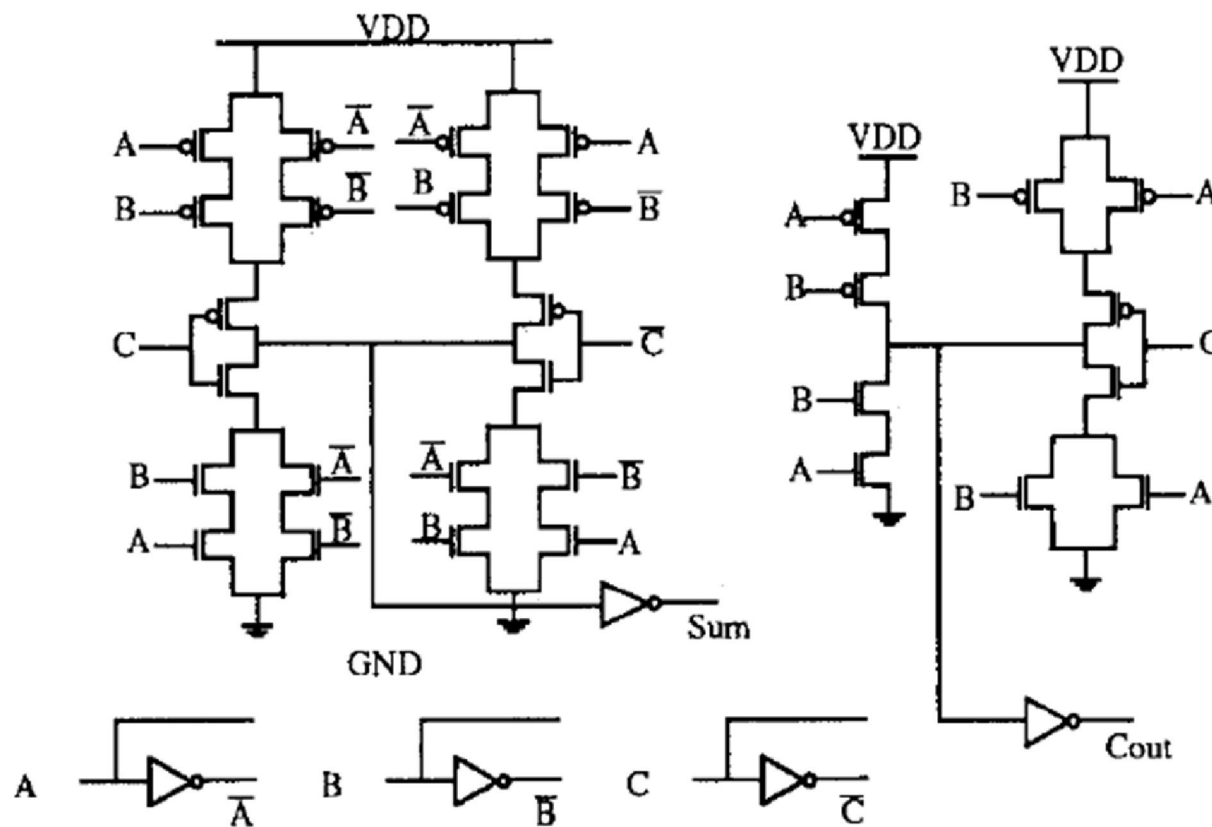
全加器：直接实现

$$S = A \oplus B \oplus C$$

$$C_o = AB + BC + CA$$



- 3输入异或门实现求和逻辑
- 与或非门实现进位逻辑
- 40个晶体管
- 利用镜像结构减少串联PMOS数目

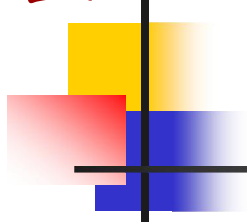


Transistor count (conventional CMOS) : 40

全加器逻辑对称性

$$S = A \oplus B \oplus C$$

$$Co = AB + BC + CA$$



	<i>A</i>	<i>B</i>	<i>C</i>	<i>S</i>	<i>CO</i>
	0	0	0	0	0
	0	0	1	1	0
	0	1	0	1	0
	0	1	1	0	1
	1	0	0	1	0
	1	0	1	0	1
	1	1	0	0	1
	1	1	1	1	1

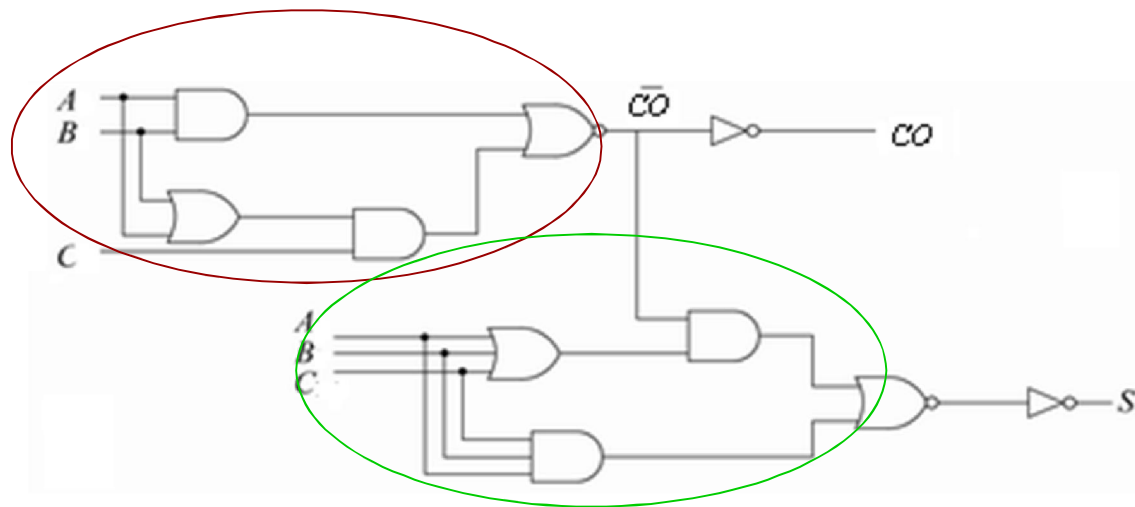
全加器：资源复用 $S = A \oplus B \oplus C$

$$C_o = AB + BC + CA$$

◆ 确定逻辑结构

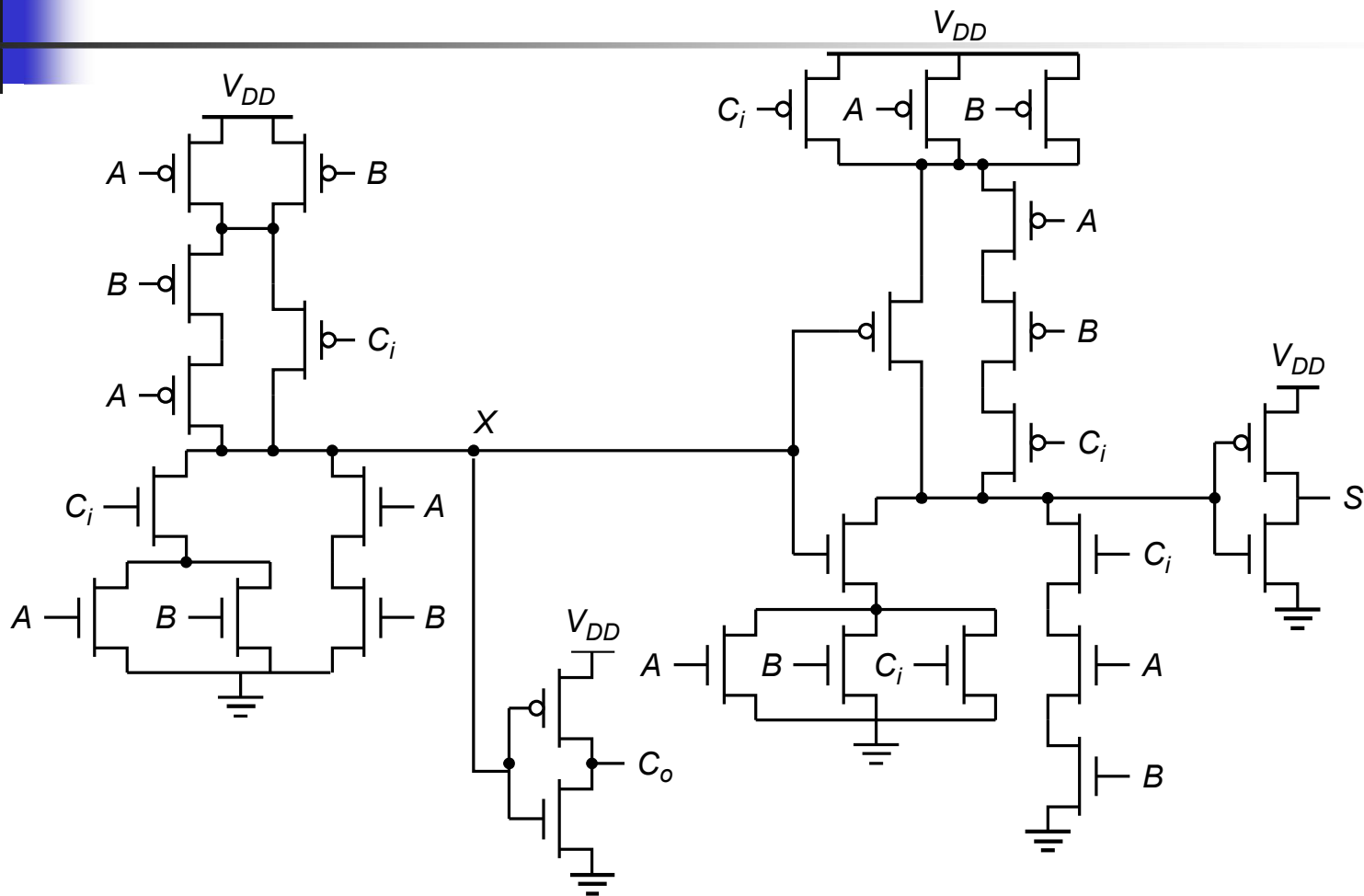
$$S = (A+B+C)\bar{C}_o + ABC$$

$$C_o = AB + (A+B)C$$



资源复用全加器：直接实现 $S=(A+B+C)\overline{CO}+ABC$

$$CO = AB + (A + B)C$$

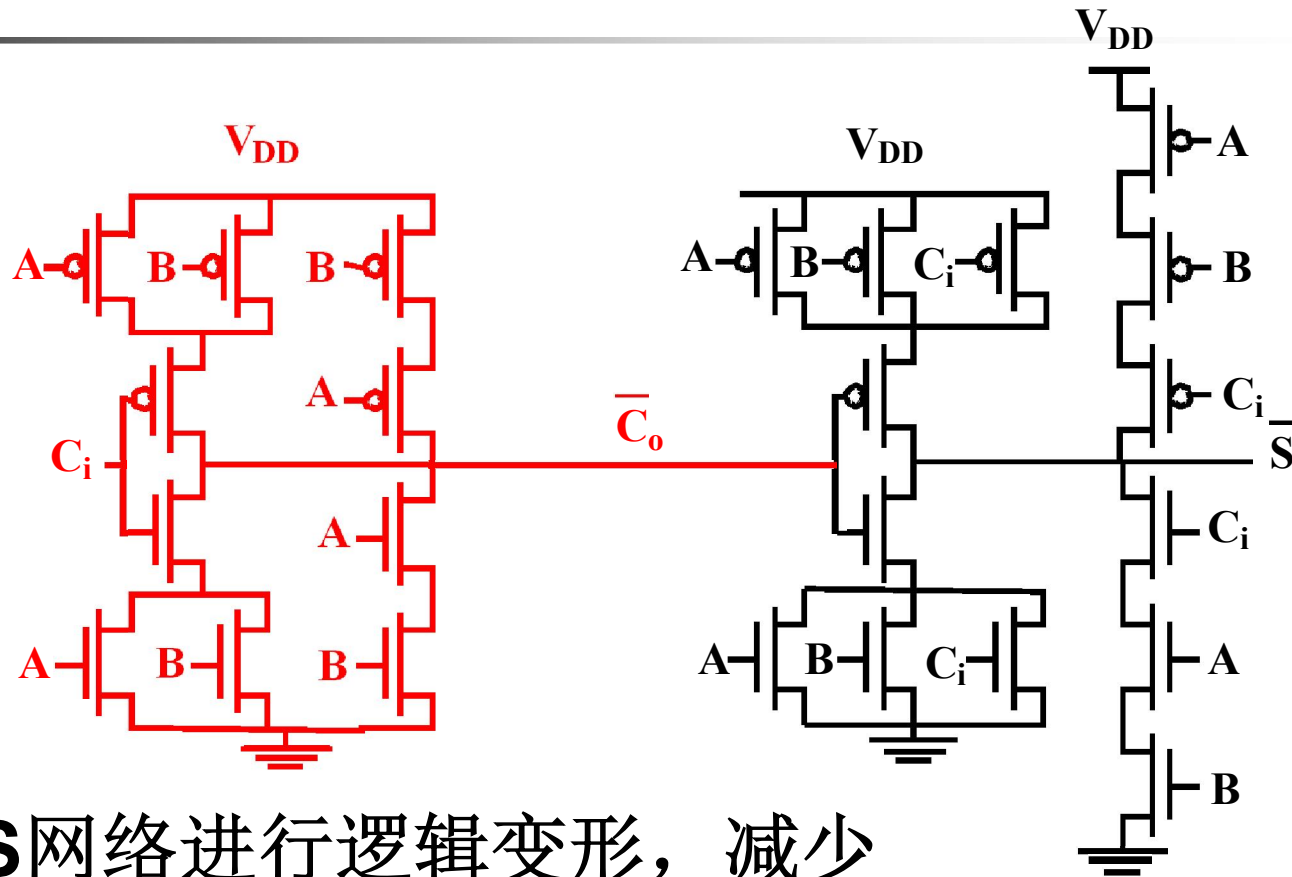


28 Transistors, 多个串联PMOS

镜像结构全加器 (mirror adder)

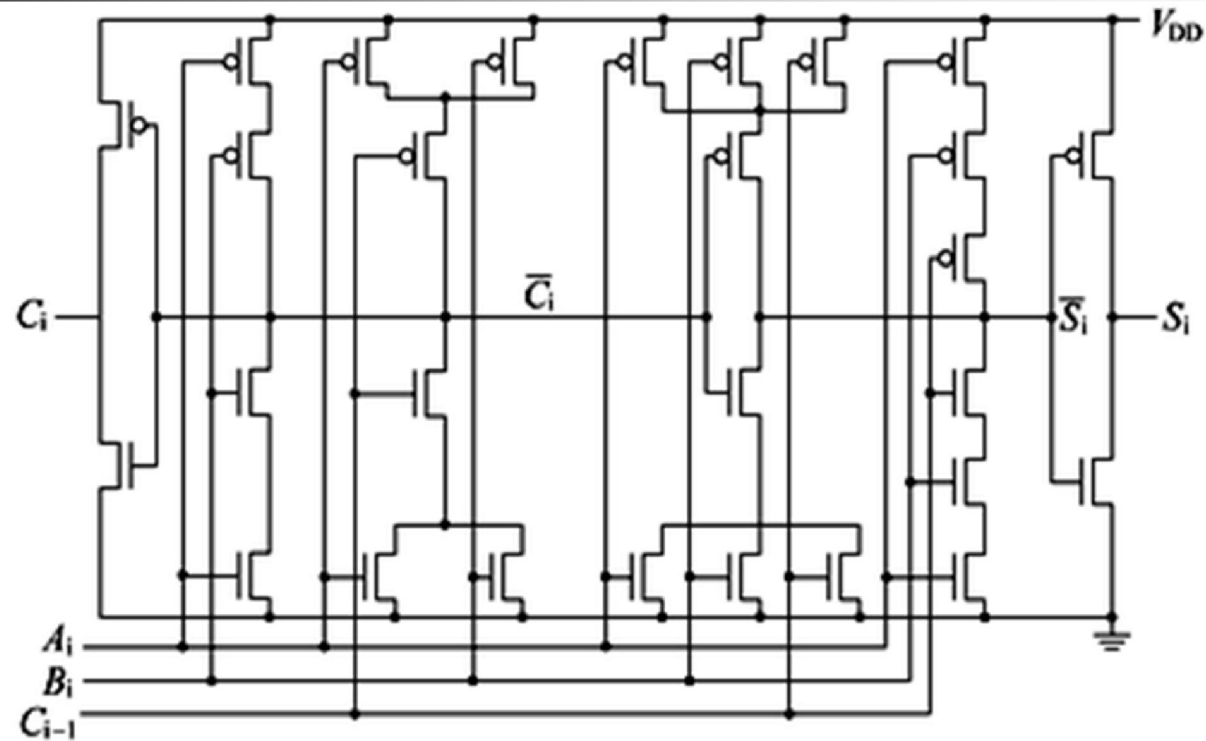
$$S = (A+B+C)\overline{CO} + ABC$$

$$CO = AB + (A+B)C$$



PMOS网络进行逻辑变形，减少串联器件数目

28管全加器



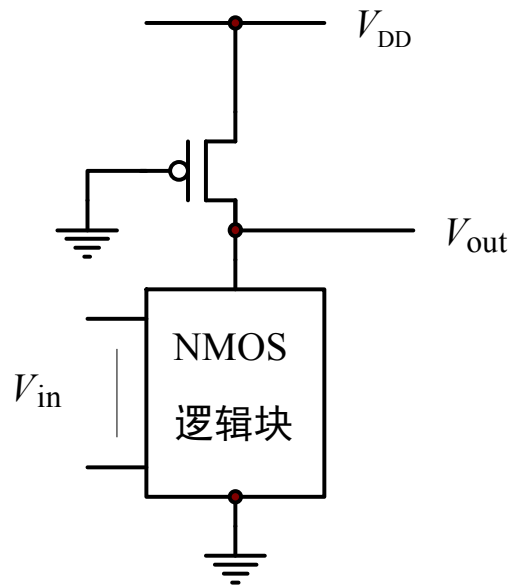
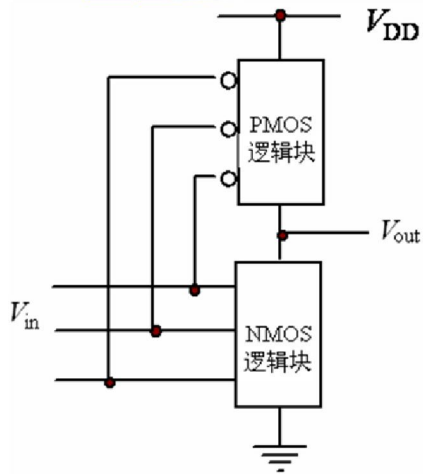
- ✓ 利用资源复用减少了晶体管数目
- ✓ 利用逻辑变形减少串联PMOS数目



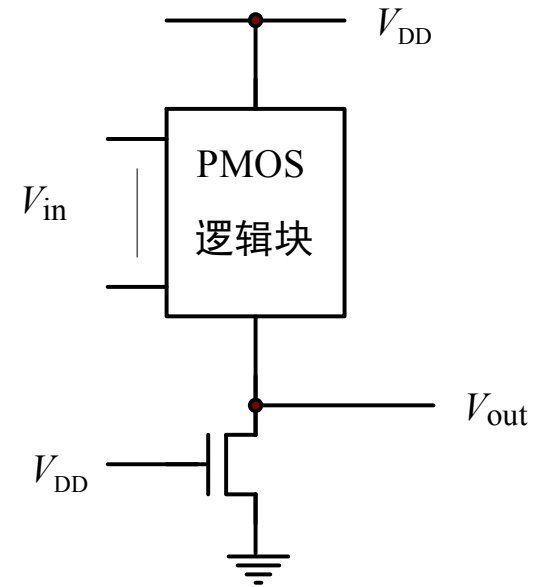
CMOS复杂逻辑门

- 静态**CMOS**逻辑门的构成
- 复杂**CMOS**逻辑门的设计
- 异或门/多路器/全加器
- 类**NMOS**逻辑电路

类NMOS电路



类NMOS电路结构



类PMOS电路结构

类NMOS电路分析

等效反相器方法

直流特性:

$$V_{OH} = V_{DD}, \quad V_{OL} = \frac{(V_{DD} + V_{TP})^2}{2K_r (V_{DD} - V_{TN})}$$

$$I_{on} = K_P (V_{DD} + V_{TP})^2$$

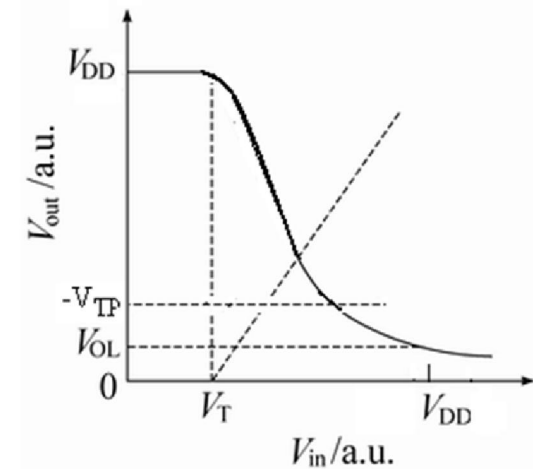
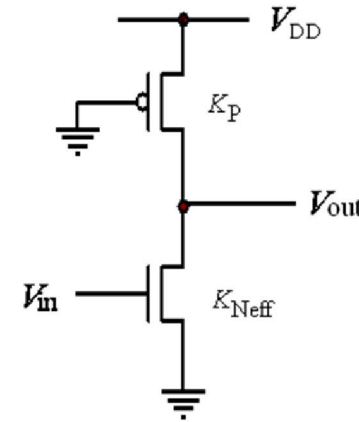
类NMOS属于有比电路,

为保证低电平合格,要有合适的比例因子K_r。

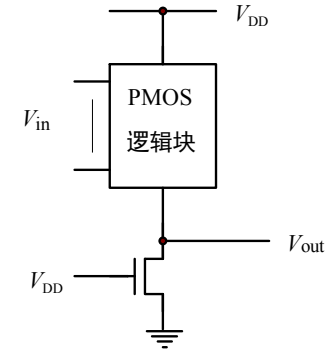
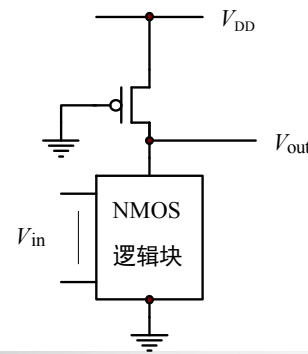
$$K_r = K_{Neff} / K_P$$

瞬态特性: 上升时间同**CMOS**反相器;

在忽略负载管电流情况下,下降时间也同**CMOS**反相器。



类NMOS电路优缺点



- **优点：** n 输入逻辑门需要 $(n + 1)$ 个MOS管，
在实现复杂逻辑门时有利于减小面积。
- **缺点：** 是有比电路，达不到最大逻辑摆幅，
有较大的静态功耗，
由于要求 $K_r > 1$ ，类NMOS电路上升时间长，
(对类PMOS电路下降时间长)。
- **应用：** 适用于对面积要求严格，而性能要求不高的情况。