



静态CMOS逻辑电路

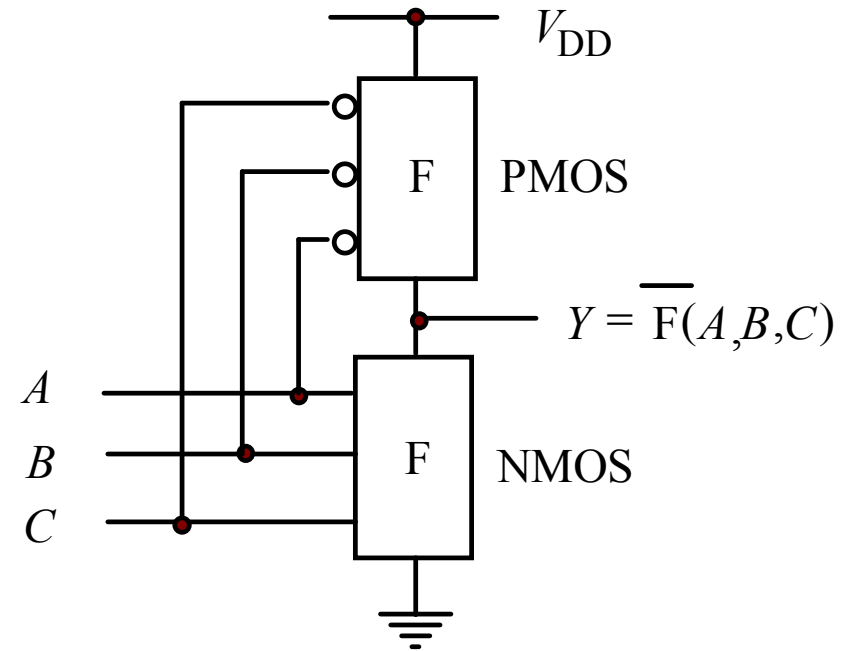
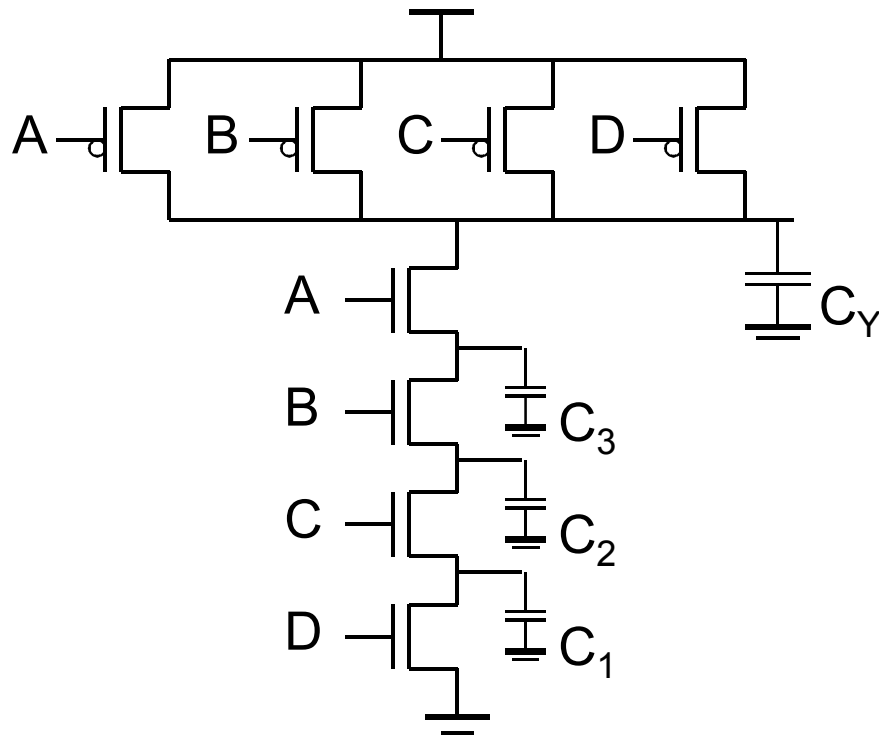
4.5 复杂逻辑门



CMOS复杂逻辑门

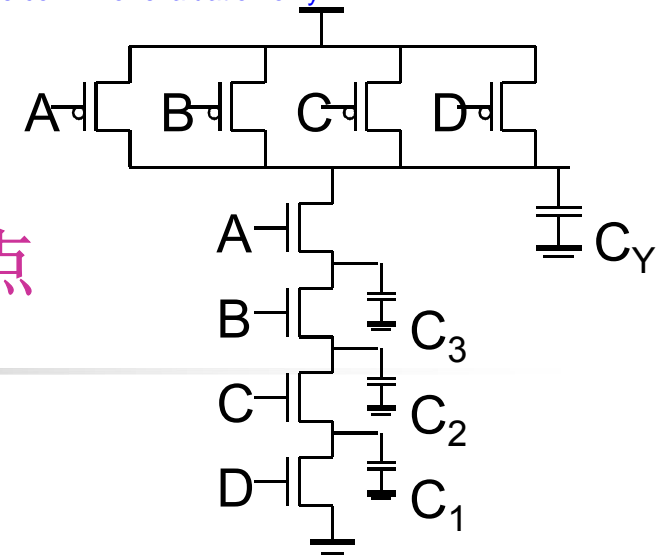
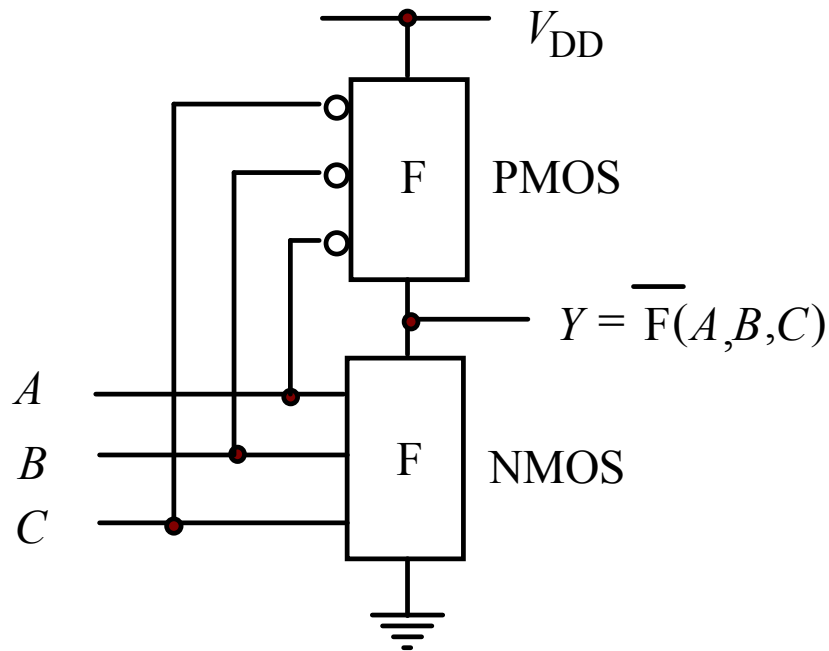
- 静态**CMOS**逻辑门的构成
- 复杂**CMOS**逻辑门的分析与设计
- 异或门/多路器/全加器
- 类**NMOS**逻辑电路

与非门——复杂逻辑门



$$Y = \overline{F(X_1, X_2, \dots, X_n)}$$

静态CMOS逻辑门的构成特点

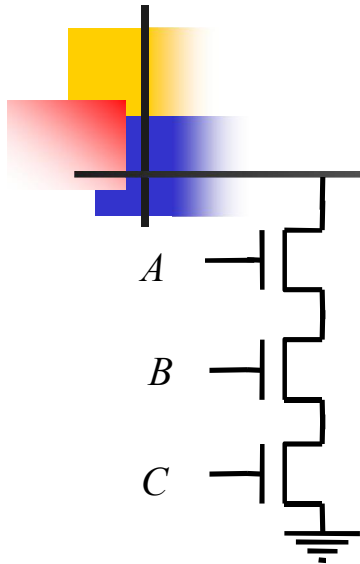


1) 每个输入信号同时接一个 **NMOS**管和一个 **PMOS**管的栅极, **n**输入逻辑门有 **2n**个管子。

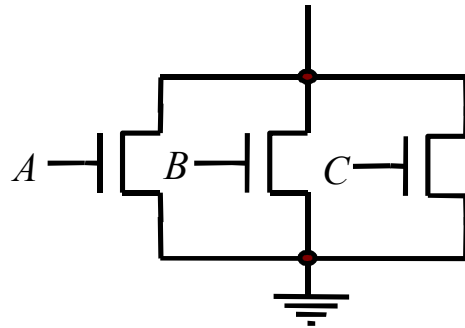
2) 实现带“非”的逻辑功能
input: x_1, x_2, \dots, x_n
output:

$$Y = \overline{F(X_1, X_2, \dots, X_n)}$$

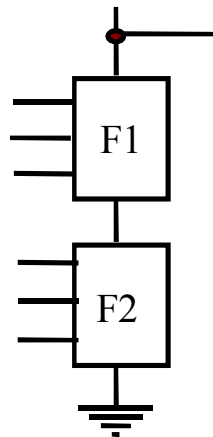
To be continued...



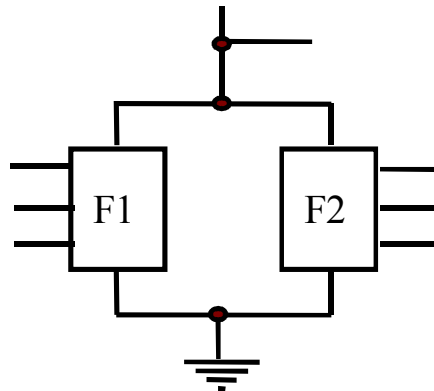
$$F = A B C$$



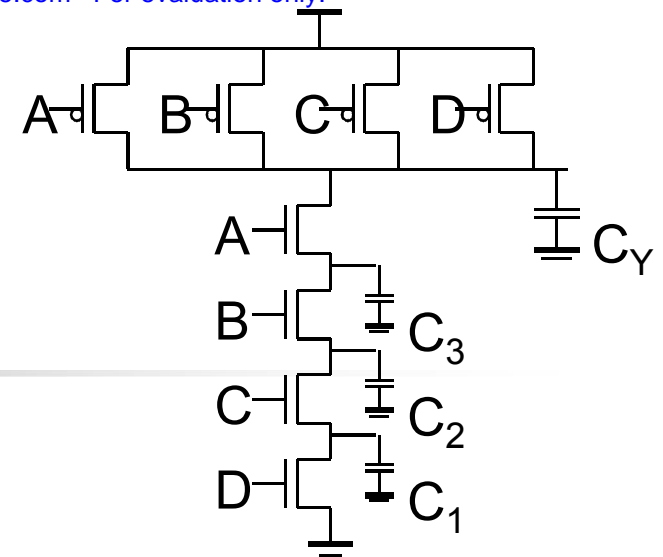
$$F = A + B + C$$



$$F = F1 \cdot F2$$



$$F = F1 + F2$$



3) 逻辑函数 $F(x_1, x_2, \dots, x_n)$

决定于管子的连接关系。

NMOS: 串与并或

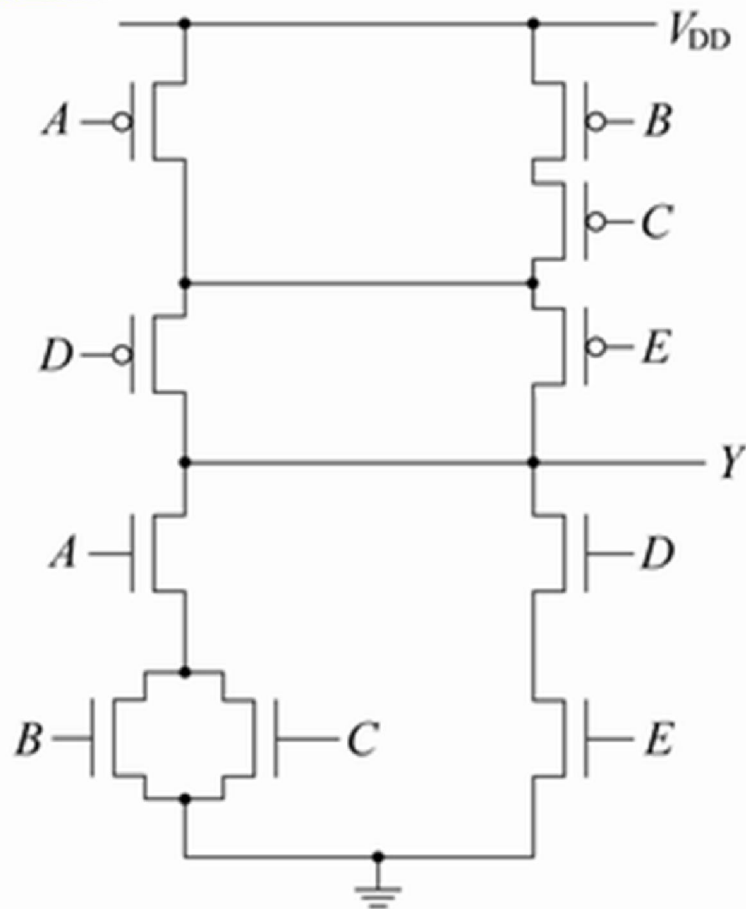
PMOS: 串或并与

4) 静态CMOS逻辑门保持了

CMOS反相器无比电路的优点。

复杂逻辑门的结构

NMOS: 串与并或
PMOS: 串或并与



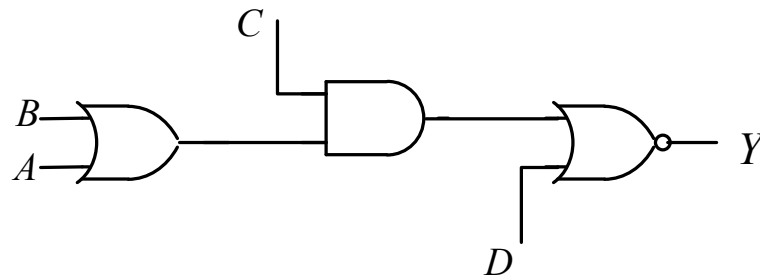
$$Y = \overline{A(B+C)} + DE$$

Hints:对于给定电路,
根据**NMOS**逻辑块确
定电路功能。

Example

NMOS: 串与并或
PMOS: 串或并与

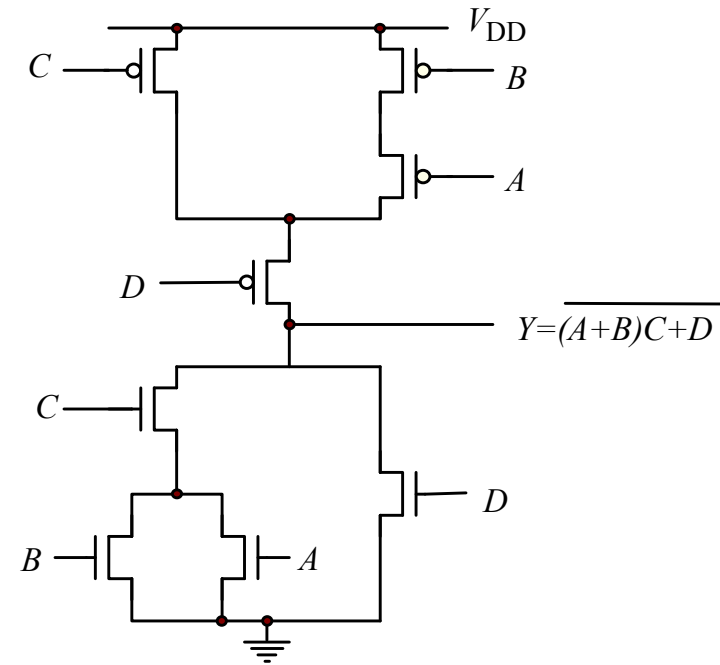
逻辑图



$$Y = (A+B)C + D$$

Hints: 对于给定功能,
先画出**NMOS**电路,
PMOS与**NMOS**是对
偶连接关系。

电路图

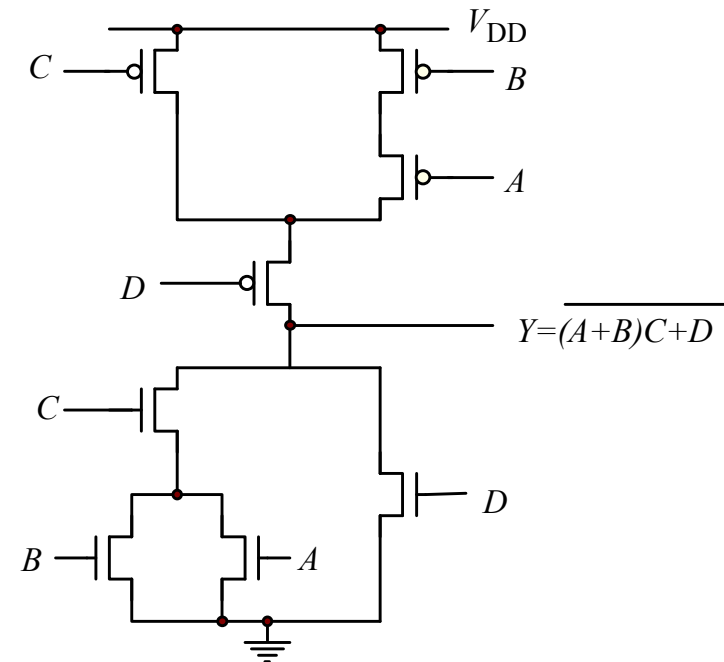


静态CMOS电路结构

■ **互补CMOS**结构，上拉和下拉逻辑功能相同（避免短路和输出节点悬浮）

■ 大电容节点应该尽量靠近电源（减小输出节点电容）

■ 逻辑变形减少逻辑表达式中变量的重复可以共享串并联器件（减少器件数目和电容）

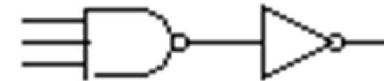


静态CMOS: 实现不带“非”的逻辑

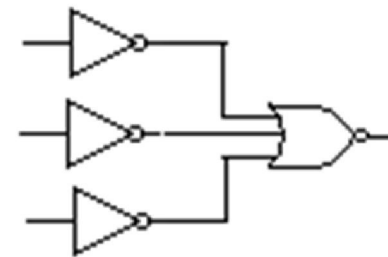
实现不带“非”的逻辑功能需要用互补CMOS门加一个反相器，或者是两级互补CMOS

例如实现: $Y = ABC$

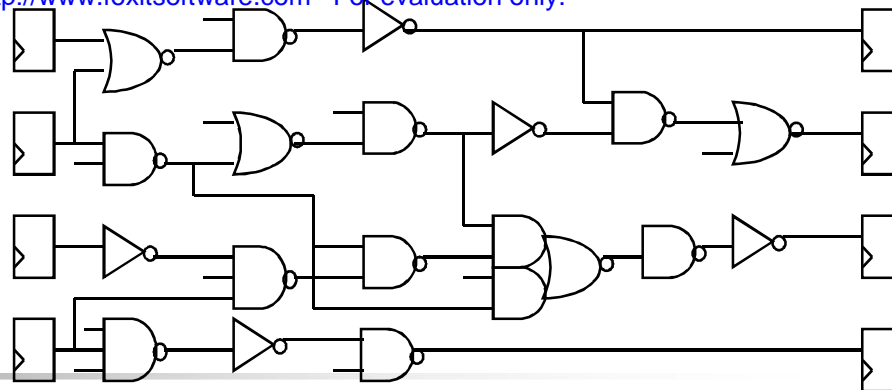
方案一: $Y = \overline{\overline{ABC}}$



方案二: $Y = \overline{\overline{\overline{A} + \overline{\overline{B} + \overline{\overline{C}}}}$



逻辑门：级数



- 数字系统的速度取决于其最长路径（关键路径）上所有逻辑门延迟时间的总和
- 沿着信号传播的方向经过的一个逻辑门称为一级逻辑门
- 可以等效为一个反相器的**CMOS**电路作为一级逻辑门，单级逻辑门扇入的数目应该受到串联器件数目的限制
- 反相器扇入数目为**1**，一般认为是半级门

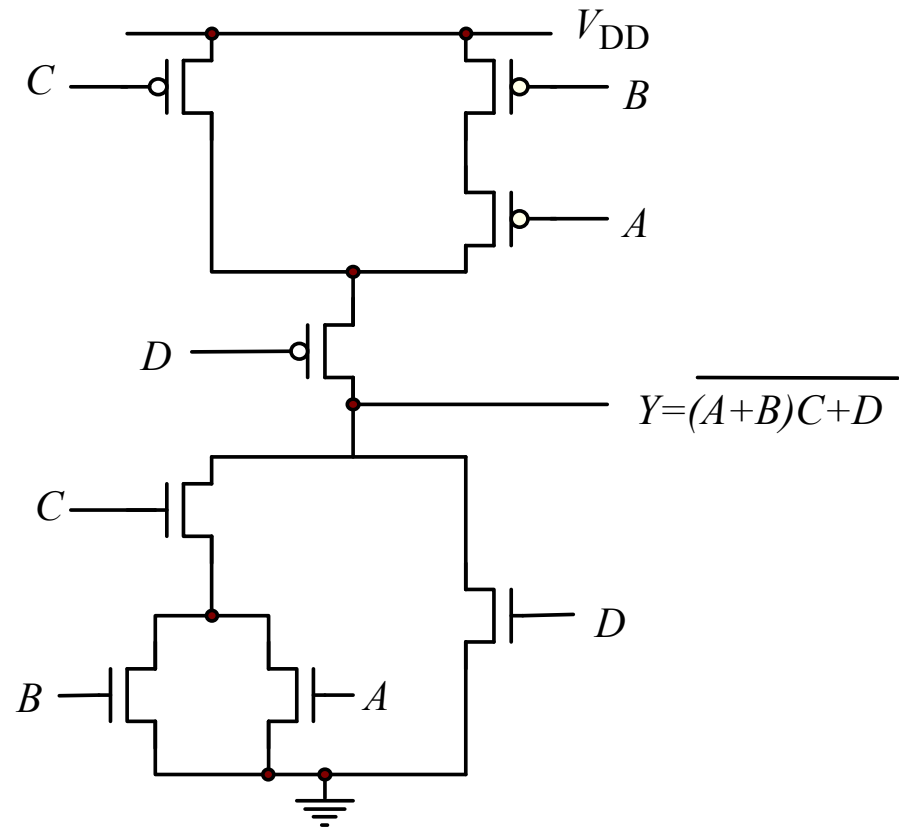


CMOS复杂逻辑门

- 静态**CMOS**逻辑门的构成
- 复杂**CMOS**逻辑门的分析与设计
- 异或门/多路器/全加器
- 类**NMOS**逻辑电路

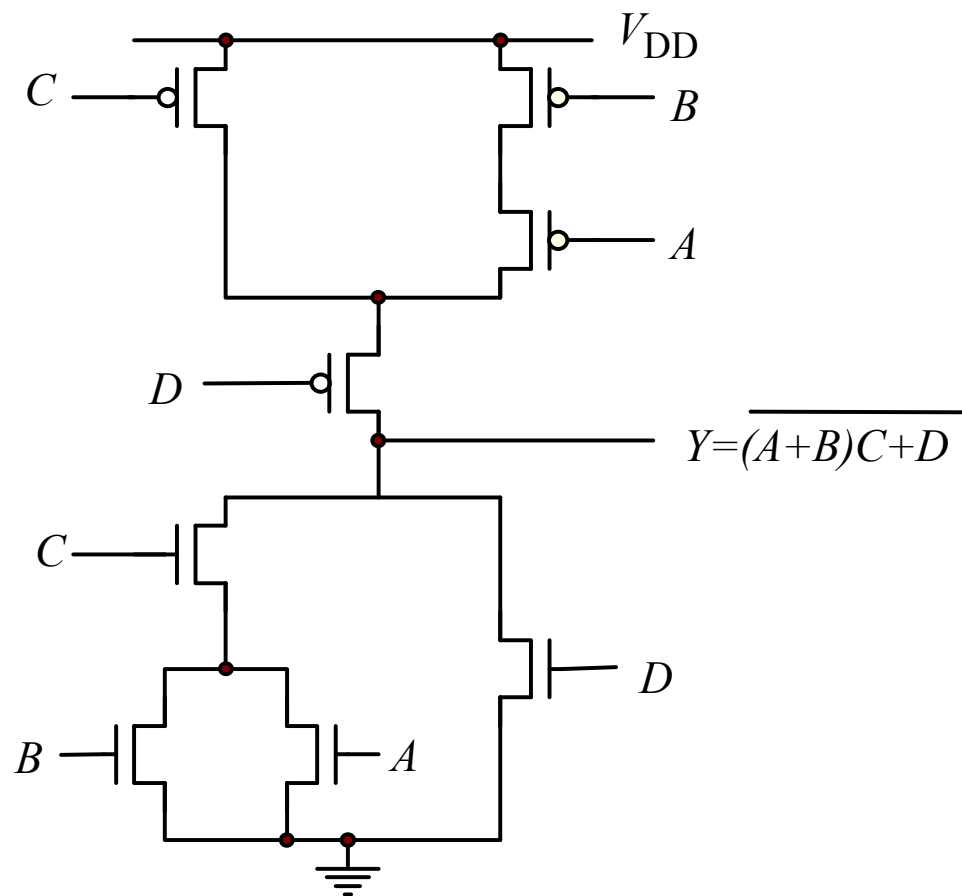
复杂逻辑门的分析—直流

- 根据给定的电路，分析直流特性，画出 **VTC**
- 根据逻辑阈值点，分析电路的噪声容限
- 假设图中电路所有器件均取相同尺寸，并有迁移率**2**倍近似



复杂逻辑门的分析—瞬态

- 分析电路的最大上升/下降时间及延迟
- 电容的处理：
 - 忽略串联中间节点电容，只考虑输出节点电容
 - 如果外部负载很大，甚至可以忽略输出节点的源漏区电容



复杂逻辑门的设计

若要求电路驱动**0.1pF**负载电容时，上升、下降时间不大于**1ns**，已知： **$C_{ox}=7E-8F/cm^2$** ， **$V_{DD}=5V$** ， **$V_{TN}=0.8V$** ， **$V_{TP}=-0.9V$** ， **$\mu_n=400cm^2/Vs$** ， **$\mu_p=200cm^2/Vs$** 。

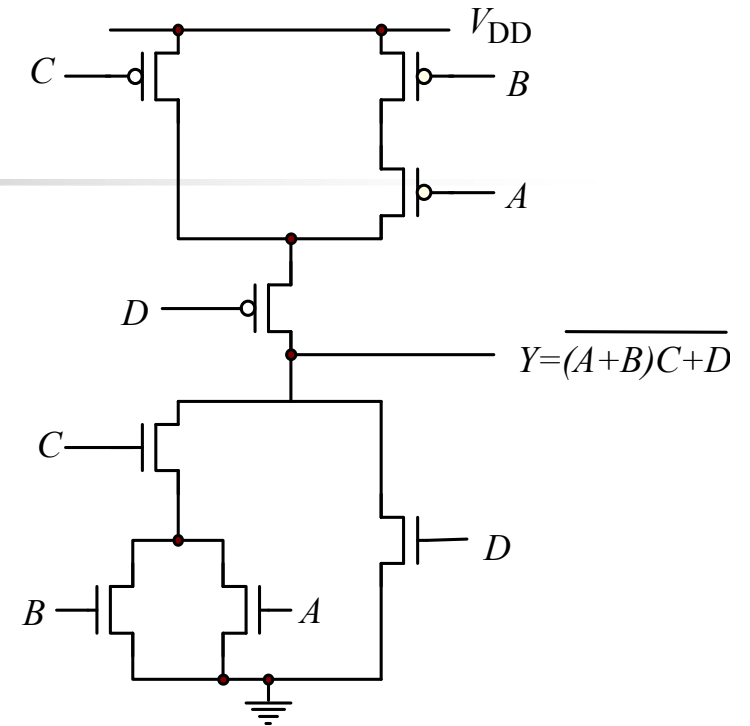
根据**tr**和**tf**的公式和工艺条件，可以求出：

$$\tau_r = 5.75 \times 10^{-10} s, \quad \tau_f = 5.81 \times 10^{-10} s,$$

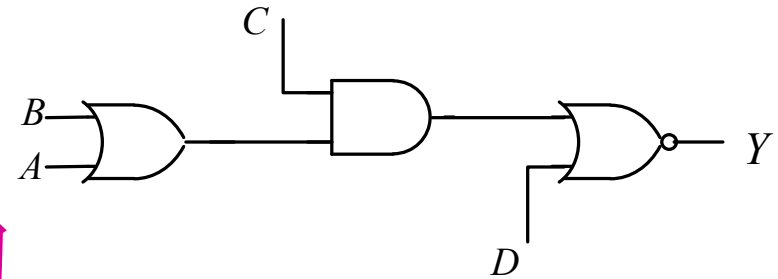
$$K_{Peff} = 3.5 \times 10^{-5} A/V^2, \quad K_{Neff} = 3.4 \times 10^{-5} A/V^2$$

$$K_{ND} = K_{Neff}, \quad K_{NA} = K_{NB} = K_{NC} = 2K_{Neff},$$

$$K_{PA} = K_{PB} = K_{PD} = 3K_{Peff}, \quad K_{PC} = 1.5K_{Peff}$$



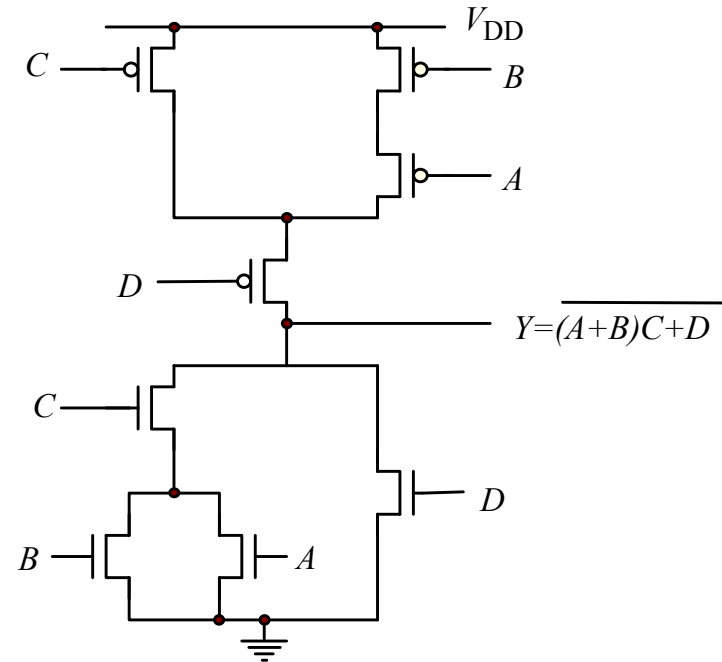
再根据工艺条件，求出每个管子的尺寸。



设计考虑：对称结构

■如果没有特定的应用要求，对称结构是比较优化的设计

■选择最坏情况的上拉和下拉路径，器件尺寸使得其导电因子（等效电阻）相等

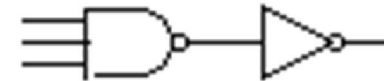


CMOS电路结构的优化

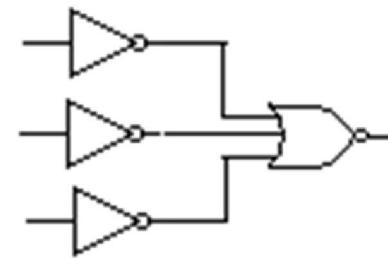
相同的逻辑功能可以有不同的**CMOS**电路结构，
可以根据速度和面积选择优化的结构

例如实现： $Y = ABC$

方案一： $Y = \overline{\overline{ABC}}$

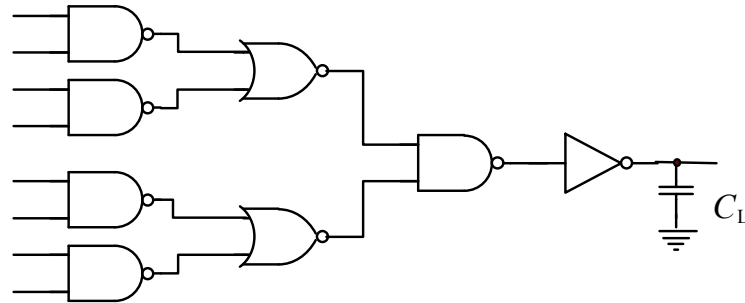
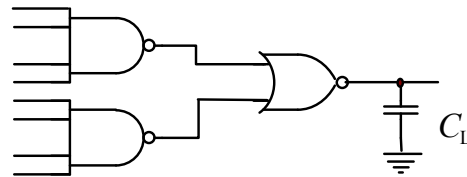
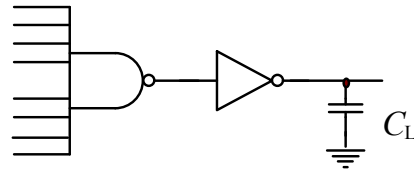


方案二： $Y = \overline{\overline{A} + \overline{B} + \overline{C}}$



大扇入逻辑门的设计

实现8个变量“与”的三种方案



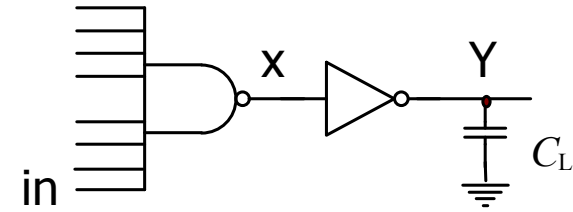
思考:

三种方案的
差别

第一种方案

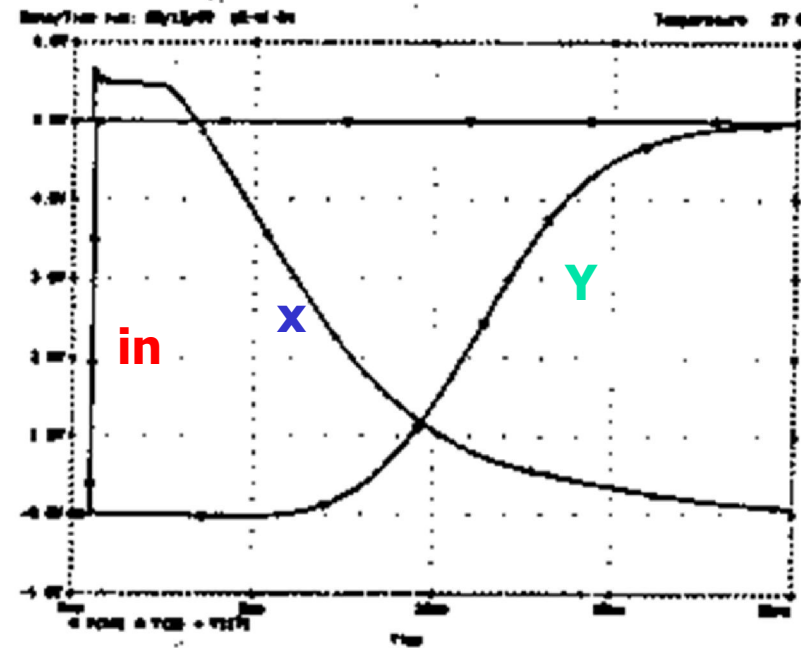
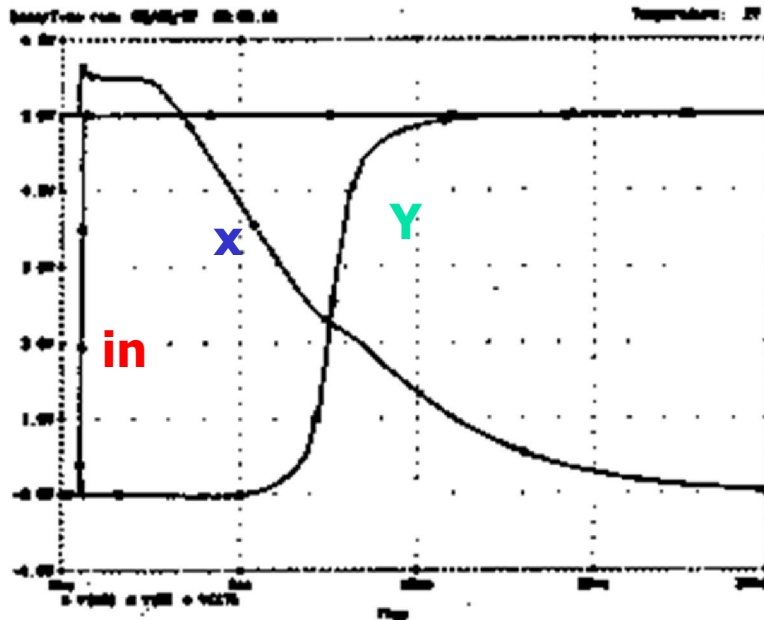
$W_p=24\mu m$

$W_n=12\mu m$



$C_L=0.01pF$

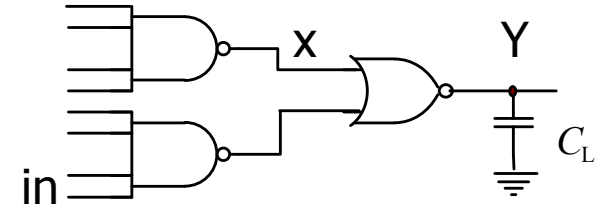
$C_L=1pF$



第二种方案

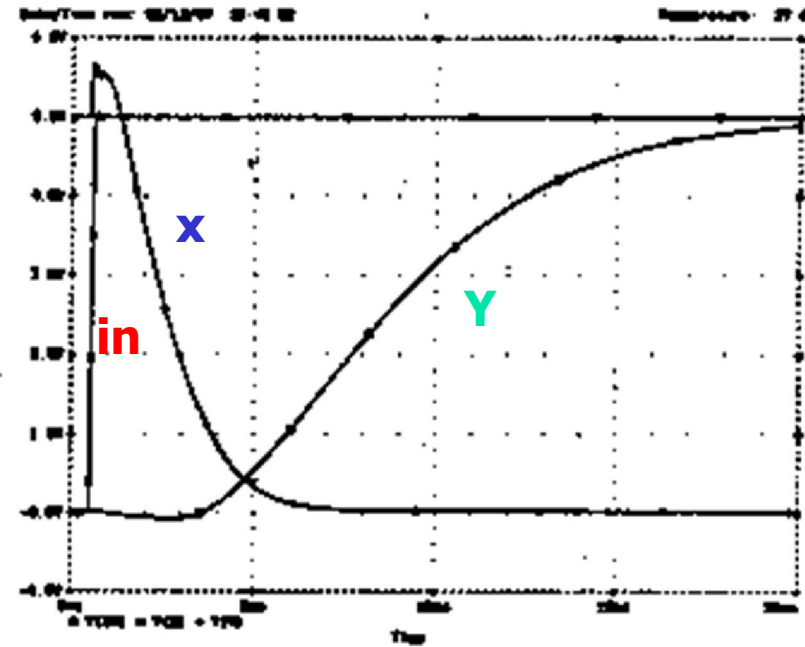
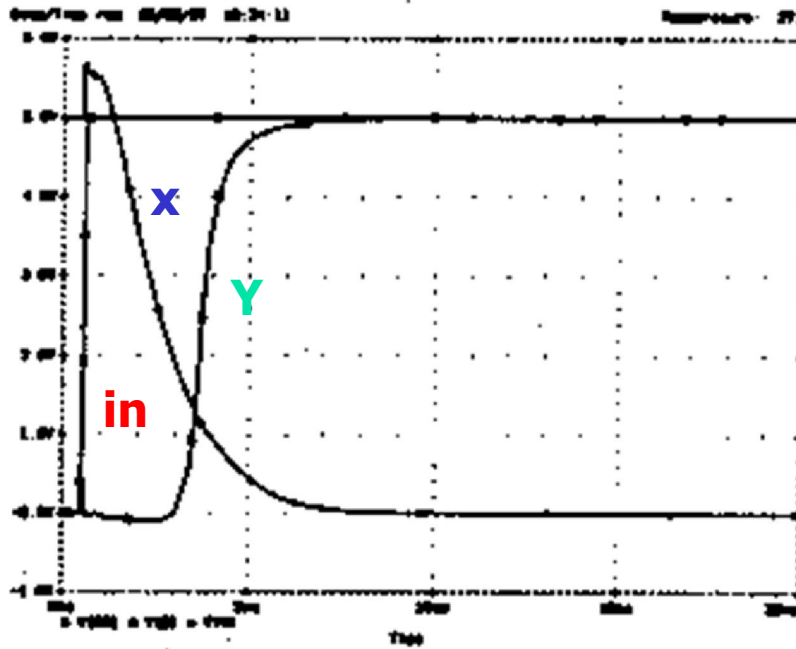
$W_p=24\mu m$

$W_n=12\mu m$



$CL=0.01pF$

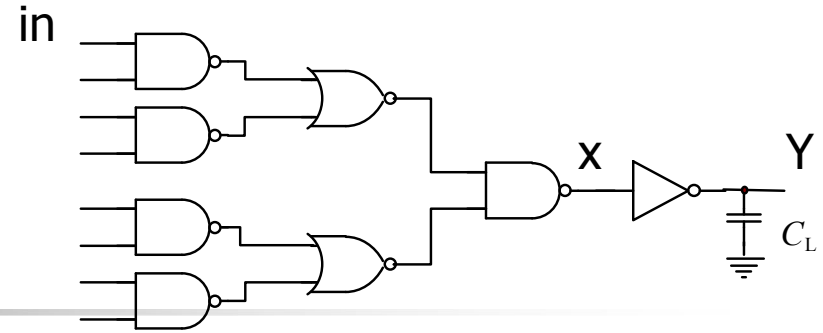
$CL=1pF$



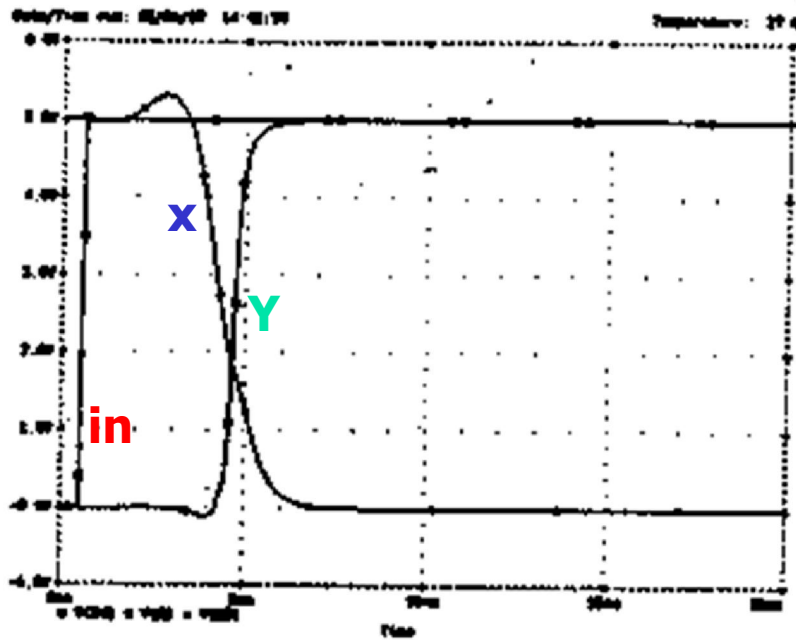
第三种方案

Wp=24um

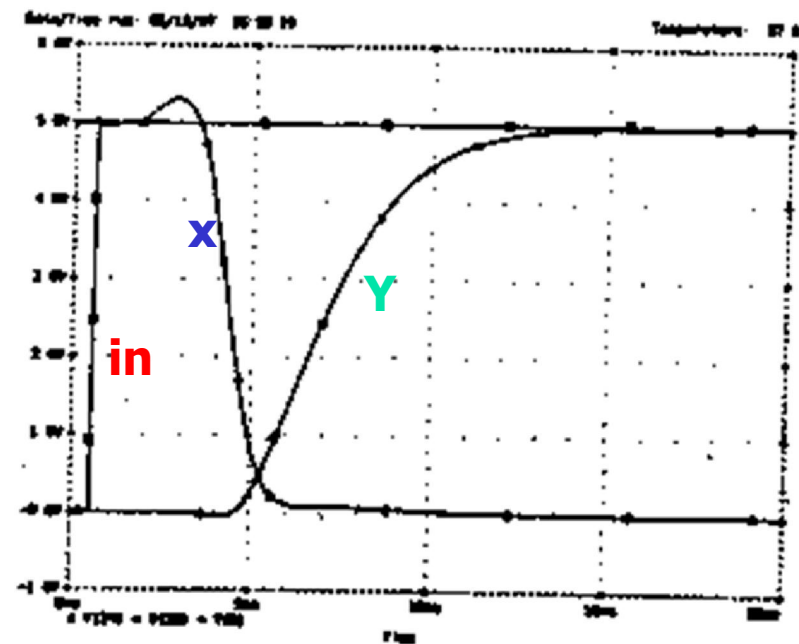
Wn=12um



CL=0.01pF



CL=1pF





三种方案的比较

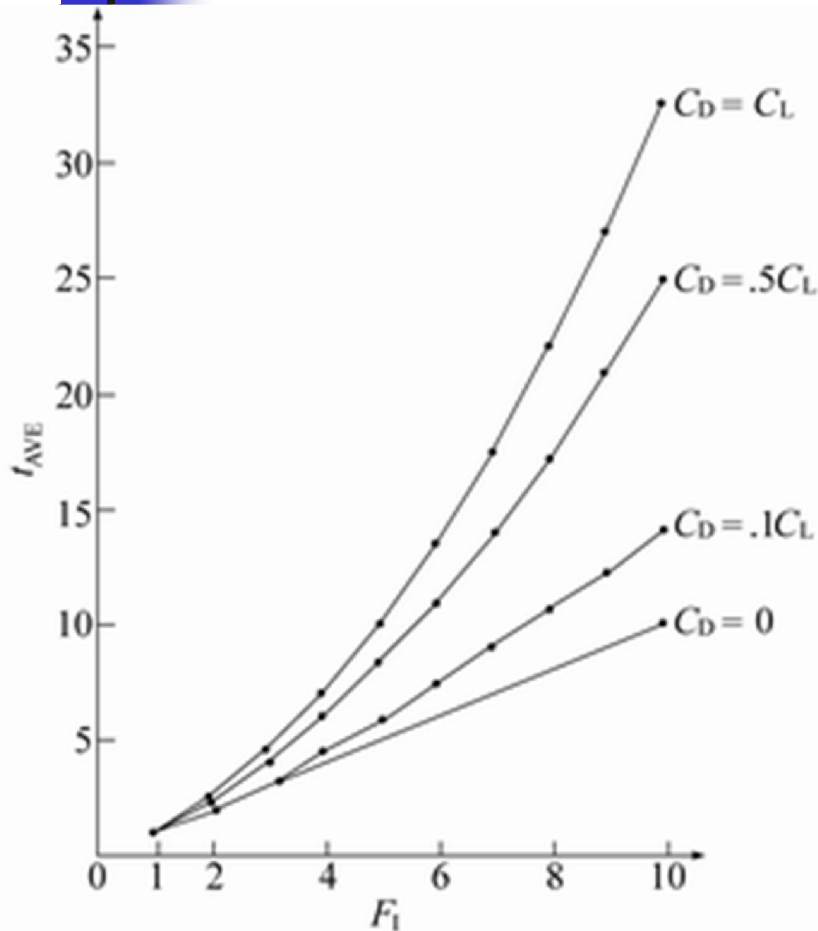
Wp=24um

Wn=12um

	MOS管	tp(1pF)	面积	对称设计面积
■ 方案1	18	11.5ns	27 A_0	83 A_0
■ 方案2	20	8.5	30 A_0	58 A_0
■ 方案3	30	7.0	45 A_0	63 A_0

A_0 是最小NMOS管的面积

电路延迟时间与扇入、扇出系数的关系



$$t_p \approx \alpha F_I^2 + \beta F_O$$

- 扇入系数：串联**NMOS**一般不超过**4**个，**PMOS**不超过**3**个
- 大扇入可以分成多级实现
- 大扇出可以利用反相器链驱动（避免或非门驱动）

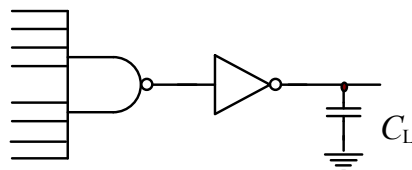
对称与非门

大扇入逻辑门的分析

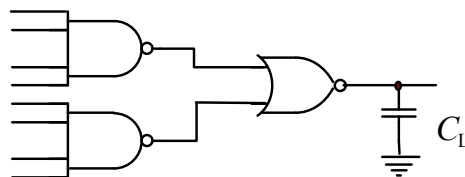
$$t_{pHL} \propto \left(\frac{n^2}{2} + n\right)R_0C_0$$

实现8个变量“与”的三种方案

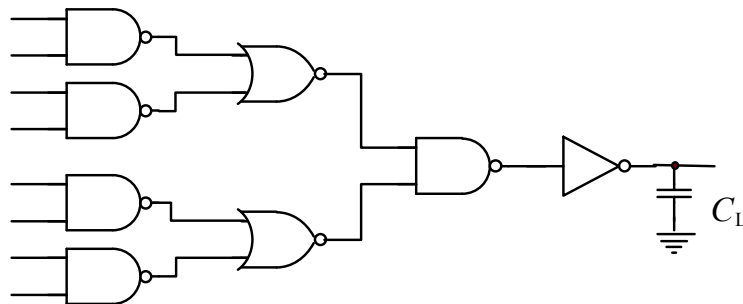
(1)



(2)



(3)

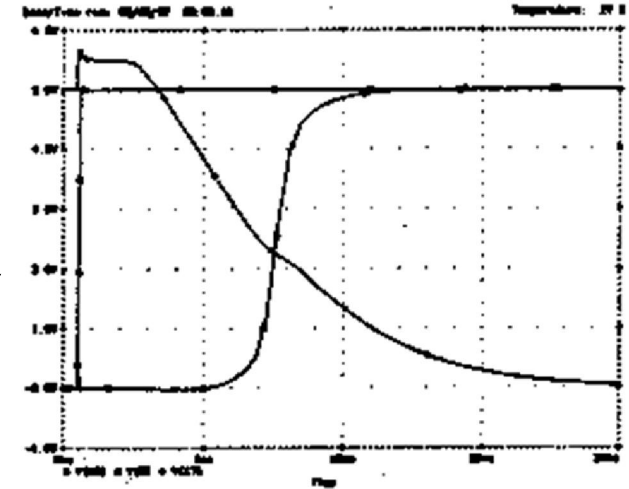
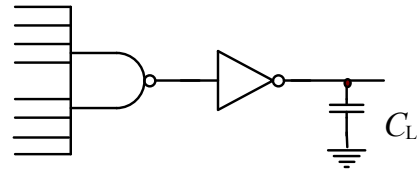
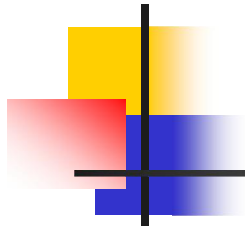


对称或非门

$$t_{pLH} \propto \left(n^2 + \frac{n}{2}\right)R_0C_0$$

小负载情况下，
不妨设 $C_L = C_0$

电路分析与仿真验证



CL=0.01pF

