



# 第四章 基本单元电路

---

## 4.11 功耗



# 功耗

---

- 功耗来源
- 影响因素

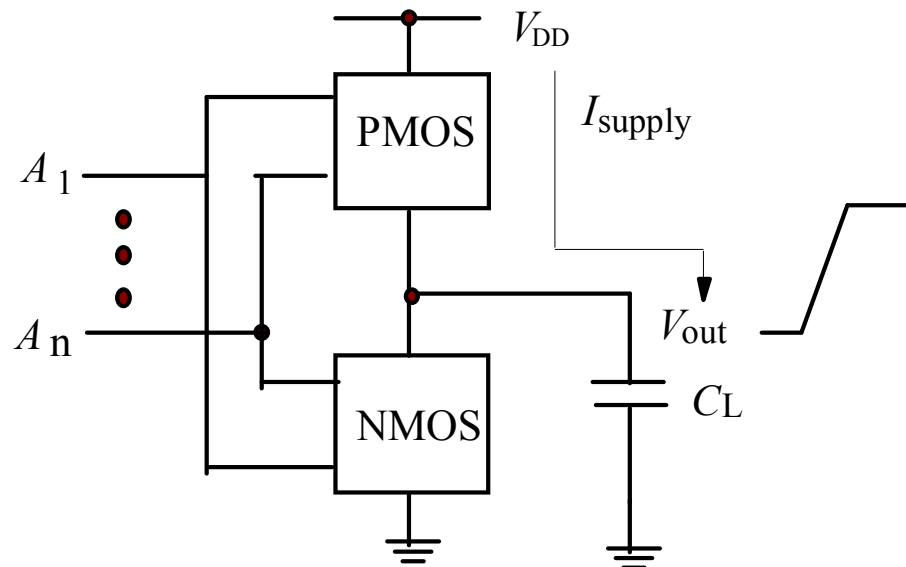


# CMOS电路功耗的来源

---

- **CMOS**电路功耗的构成
  - 动态功耗  $P_d$  ;
  - 开关过程的短路功耗  $P_{sc}$  ;
  - 静态功耗  $P_s$

# 动态功耗的来源



开关过程对输出节点  
电容的充放电

当输出节点出现**0→1**  
的变化, 需要电源提供  
能量对电容充电

# CMOS动态功耗的计算

当输出由0 向 $V_{DD}$ 变化,忽略附加的直流电流, 则

$$E_{\text{supply}} = \int_0^T V_{DD} i_{\text{supply}}(t) dt$$

根据瞬态电流表达式

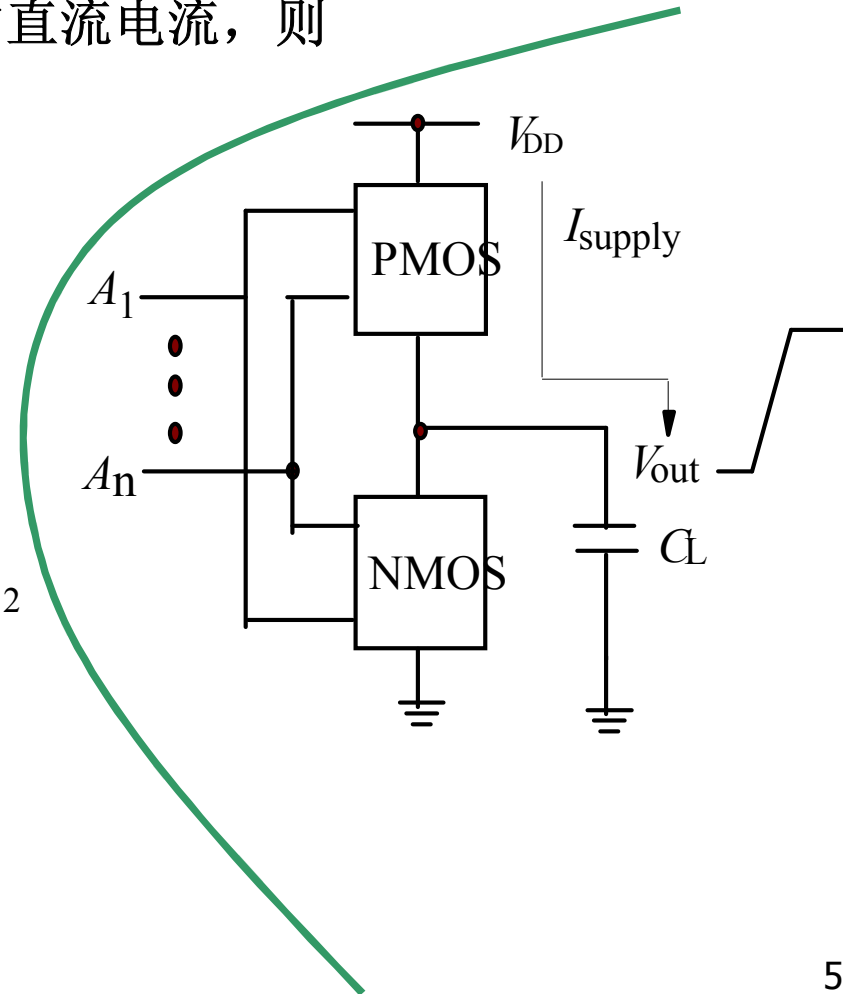
$$i_{\text{supply}}(t) = C_L \frac{dV_{\text{out}}}{dt}$$

把电流公式代入并积分

$$E_{\text{supply}} = V_{DD} \int_0^{V_{DD}} C_L dV_{\text{out}} = C_L V_{DD}^2$$

存储在负载电容上的能量为

$$\begin{aligned} E_c &= \int_0^T V_{\text{out}} i_c(t) dt \\ &= \int_0^{V_{DD}} C_L V_{\text{out}} dV_{\text{out}} = \frac{1}{2} C_L V_{DD}^2 \end{aligned}$$



# CMOS电路的动态功耗

- 考虑一个周期内**CMOS**有一次开关，平均动态功耗为

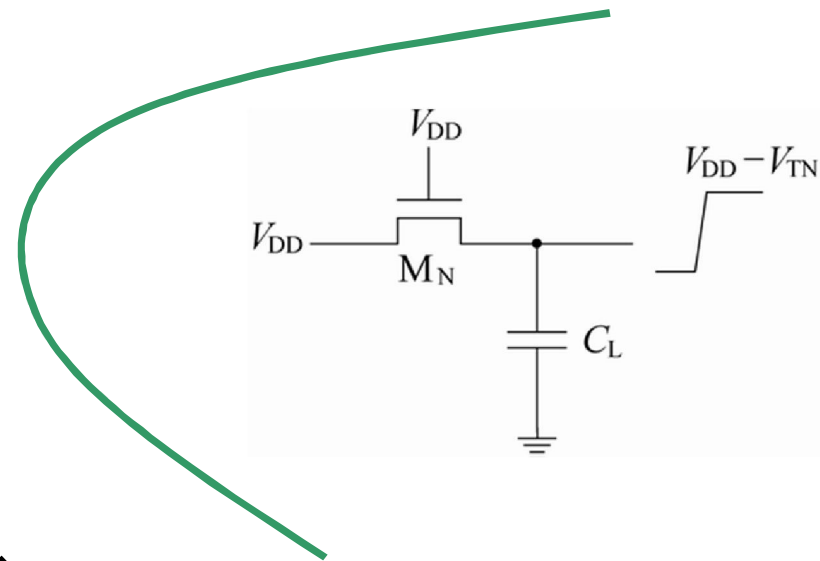
$$P_d = \frac{E_{\text{supply}}}{T} = fC_L V_{DD}^2$$

- 如果逻辑摆幅不足**V<sub>DD</sub>**，如**NMOS**传输门的情况

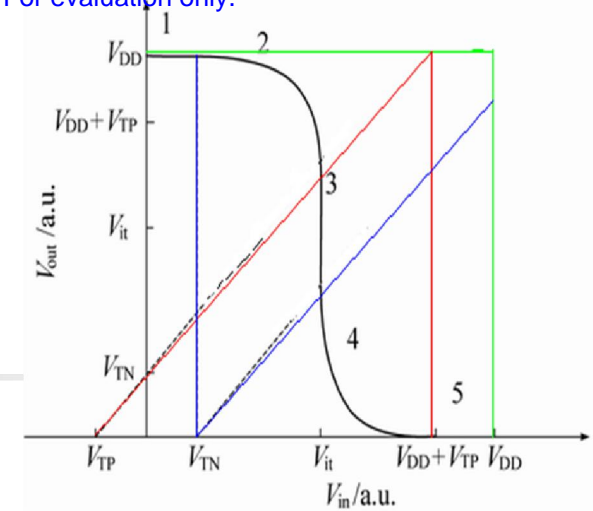
$$P_d = fC_L V_{DD} (V_{DD} - V_{TN})$$

- 一个电路有多个节点，每个节点在开关过程中都消耗能量，则电路总的动态功耗：

$$P_d = \sum_{i=1}^N f a_i C_i V_i V_{DD}$$



# 动态短路功耗

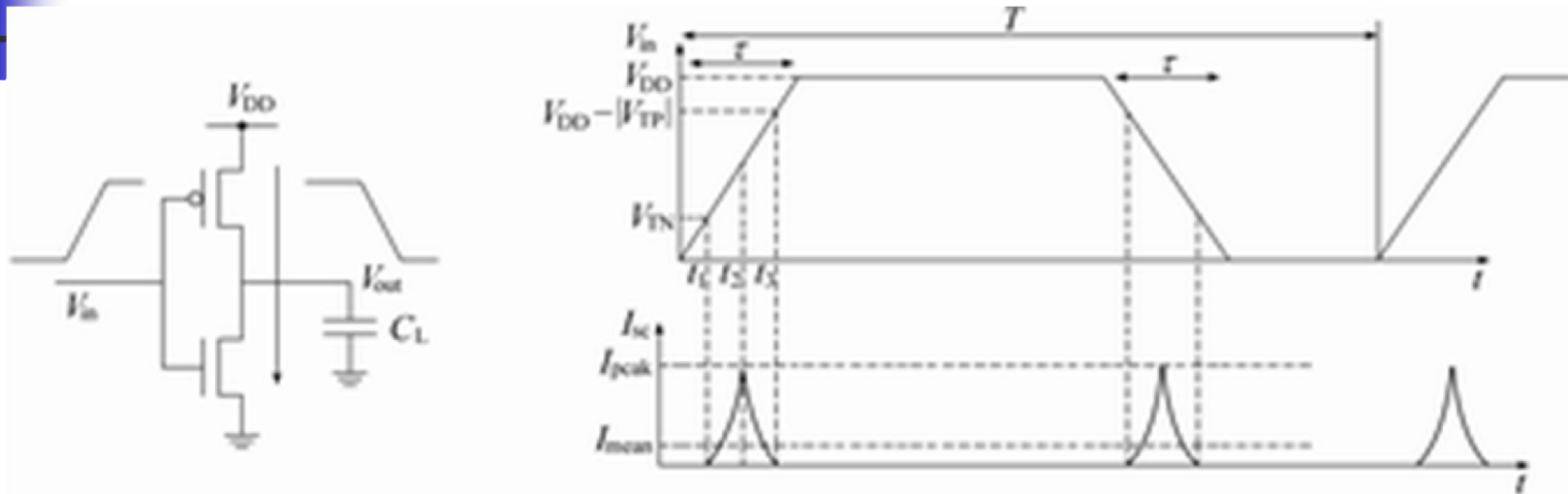


- 概念：开关过程中的直流导通电流
- 短路的物理过程：输入波形的上升边和下降边使**NMOS**和**PMOS**都导通，形成电源到地的电流
- 短路功耗的计算：

$$P_{sc} = I_{mean} V_{DD}$$

$I_{mean}$  是一个周期内的平均短路电流

# 短路功耗的计算



对称设计情况：

输入达到 $V_{DD}/2$ 时短路电流达到峰值，

$t_1$ - $t_2$ 与 $t_2$ - $t_3$ 期间短路电流对称；

输入上升边与输入下降边的短路电流对称



## 短路功耗的计算（续）

- 对称设计  $V_{TN} = -V_{TP} = V_T$ ,  $K_N = K_P = K$

$$I_{\text{mean}} = \frac{1}{T} \left( 4 \int_{t_1}^{t_2} I(t) dt \right) = \frac{4}{T} \int_{t_1}^{t_2} K [V_{in}(t) - V_T]^2 dt$$

- 假设输入波形线性变化

$$V_{in}(t) = \frac{V_{DD}}{\tau} t, \quad t_1 = \frac{V_T}{V_{DD}} \tau, \quad t_2 = \tau/2$$

- 代入积分公式

$$I_{\text{mean}} = \frac{1}{6} \frac{K}{V_{DD}} (V_{DD} - 2V_T)^3 \frac{\tau}{T}$$

$$P_{sc} = I_{\text{mean}} V_{DD} = \frac{1}{6} K (V_{DD} - 2V_T)^3 f \tau$$

# CMOS电路的静态功耗

## ■ 静态功耗的来源

- 电路中存在泄漏电流

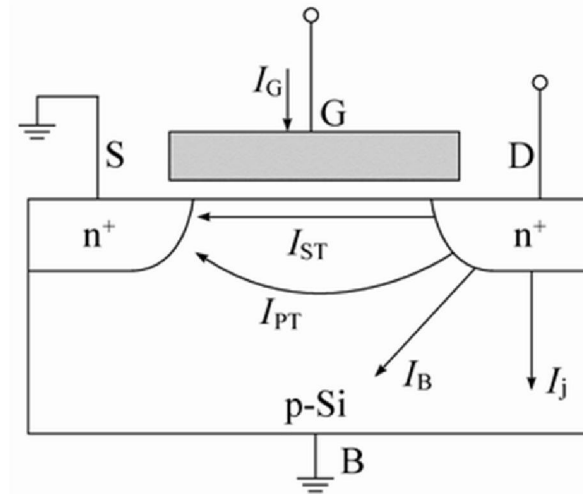
## ■ 构成泄漏电流的机制

- 反偏pn结电流
- 亚阈值电流
- 其他二级效应

- 栅隧穿电流、**DIBL**效应、热载流子效应

## ■ 静态功耗表达式

$$P_s = I_{\text{leak}} V_{\text{DD}}$$



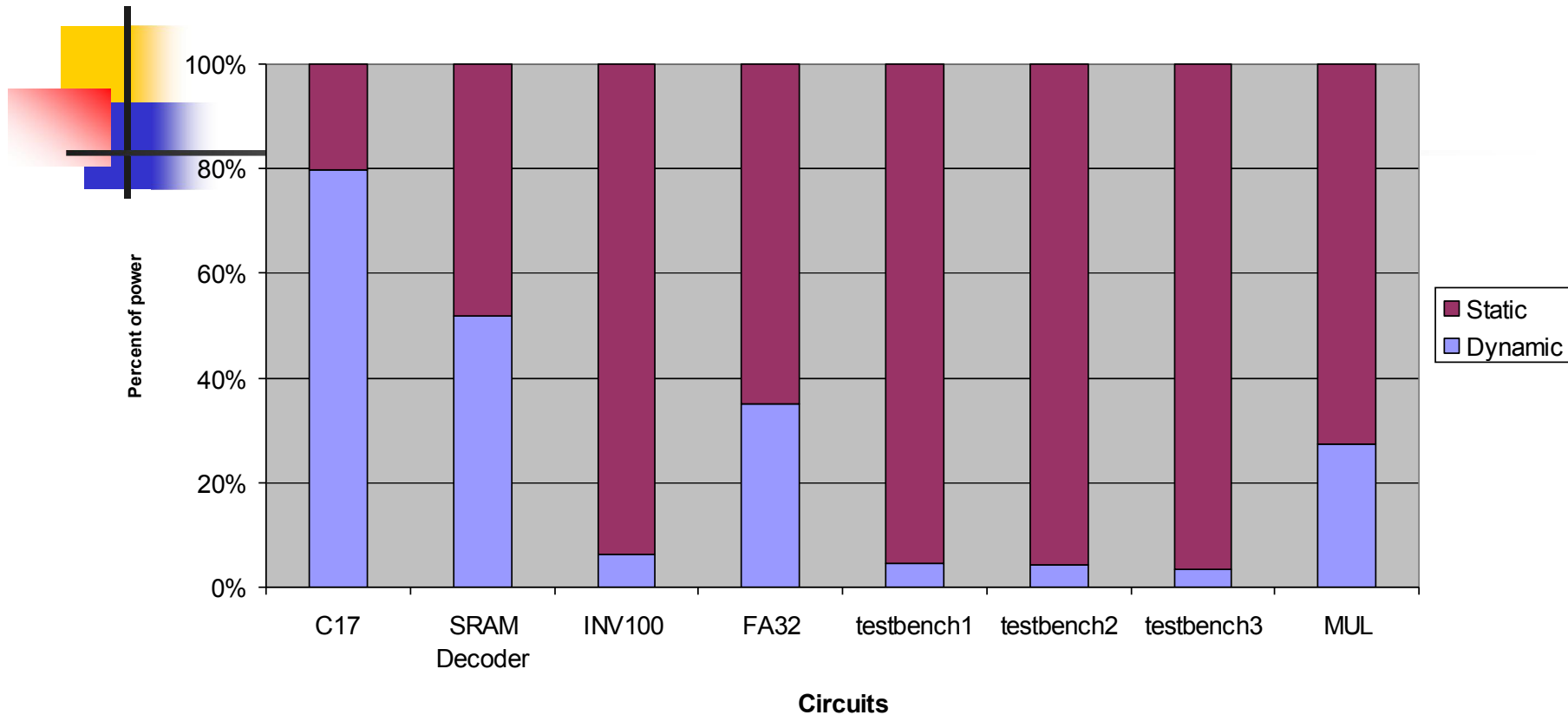


# 各功耗源的发展趋势

---

- 动态功耗
  - 在电源电压较高时是主要功耗源
  - 一般占**75-80%**
- 静态功耗
  - 深亚微米工艺，泄漏功耗的比例会增大到不可忽略的地步
  - 不专门优化，泄漏功耗可占总功耗的**40%**以上
- 短路功耗
  - 占总功耗的**10-15%**

### Power breakdown with fastest delay time

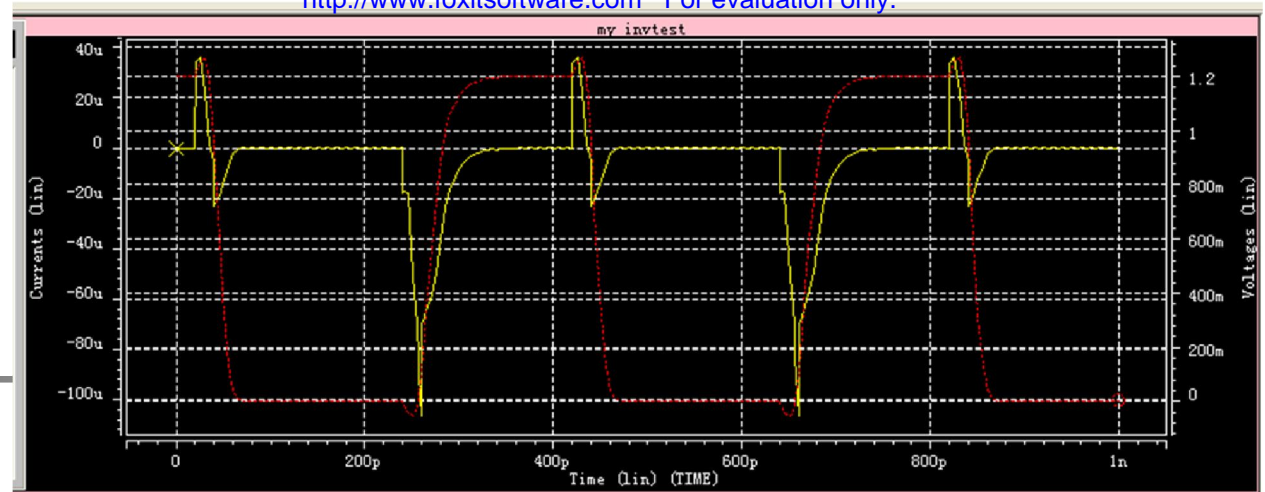


For 65nm, static power is 74% in average for our benchmark (W. Hung)

## 功耗的度量

$$P_d = \sum_{i=1}^N f a_i C_i V_i V_{DD}$$

- 作为近似估算，可以用节点电容表示动态功耗
- 精确计算需要利用**spice**仿真得到电流波形，平均电流（积分除以时间）乘以电压得到**平均功耗**
- 求出的功耗是所考察时间周期内的功耗的平均值（能量除以周期），一般要标上信号频率



- my invtest
- .lib "tt.lib" tt
- .option nomod runlvl=0
- .param wp=0.4u wn=0.2u
- vdd vdd 0 1.2
- mp1 y i vdd vdd pmos w=wp l=0.13u
- mn1 y i 0 0 nmos w=wn l=0.13u
- vin i 0 pulse(0,1.2 10p 10p 10p 200p 400p)
- cout y 0 1f
- \*.meas rmspower rms power
- **.meas avgcur avg i(vdd) from 0 to 400p**
- .tran 1p 1n
- .probe v(i) v(y)
- .end

- my invtest
- \*\*\*\*\* operating point information
- tnom= 25.000 temp= 25.000
- \*\*\*\*\* operating point status is voltage
- simulation time is 0.
- node =voltage node =voltage
- node =voltage
- +0:i = 0. 0:vdd = 1.2000 0:y = 1.2000
- my invtest
- \*\*\*\*\* transient analysis tnom= 25.000 temp= 25.000
- \*\*\*\*\*
- **avgcur= -6.2820E-06 from= 0.0000E+00 to= 4.0000E-10**



# 功耗延迟积PDP

---

- Power-delay product (**PDP**) =  $P_{av} * t_p$ 
  - PDP is the average **energy** consumed per switching event (Watts \* sec = Joule)
- 功耗延迟积可以综合评价电路的速度和功耗的整体性能
  - allows one to understand tradeoffs better



# 功耗

---

- 功耗来源
- 影响因素



$$P_d = \sum_{i=1}^N f a_i C_i V_i V_{DD}$$

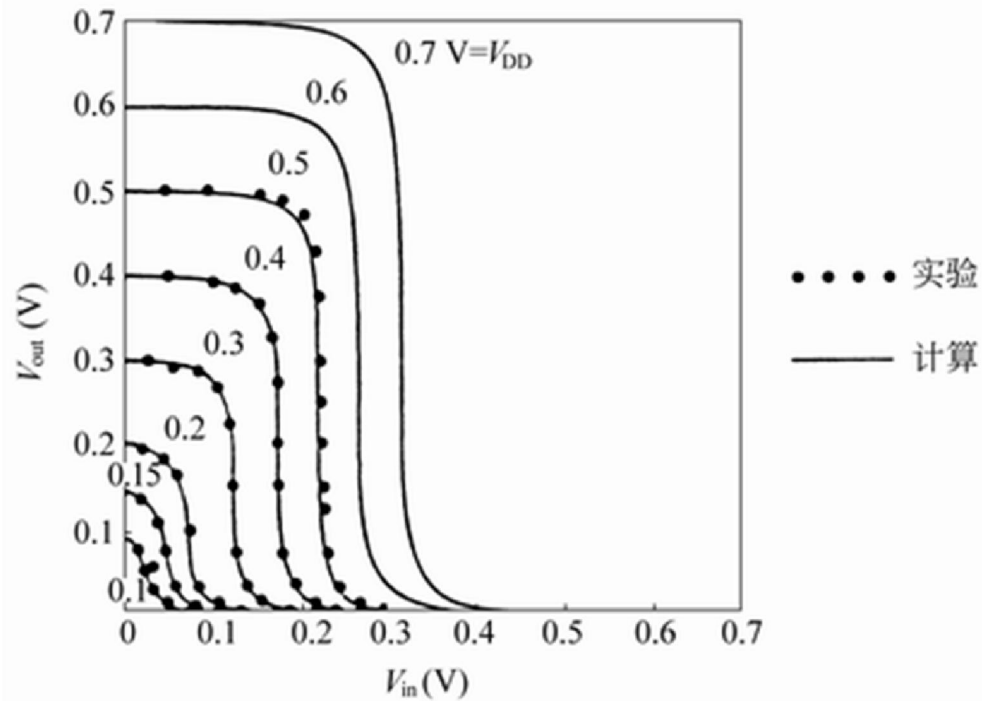
## 影响因素：动态功耗

- 影响动态功耗的因素
  - 降低电源电压；
    - 直接影响速度
  - 减小负载电容；
    - 减少**MOS**管数量
    - 减小连线电容
    - 减少电荷分享的影响(对动态电路)
  - 节点开关活动因子的影响；

# 降低电压

$$P_d = \sum_{i=1}^N f a_i C_i V_i V_{DD}$$

- 降低动态功耗、短路功耗和静态功耗
- 直接影响电路速度
- 低功耗设计的难点在不降低速度前提下降低功耗
- 降低电压受到速度和可靠性的限制

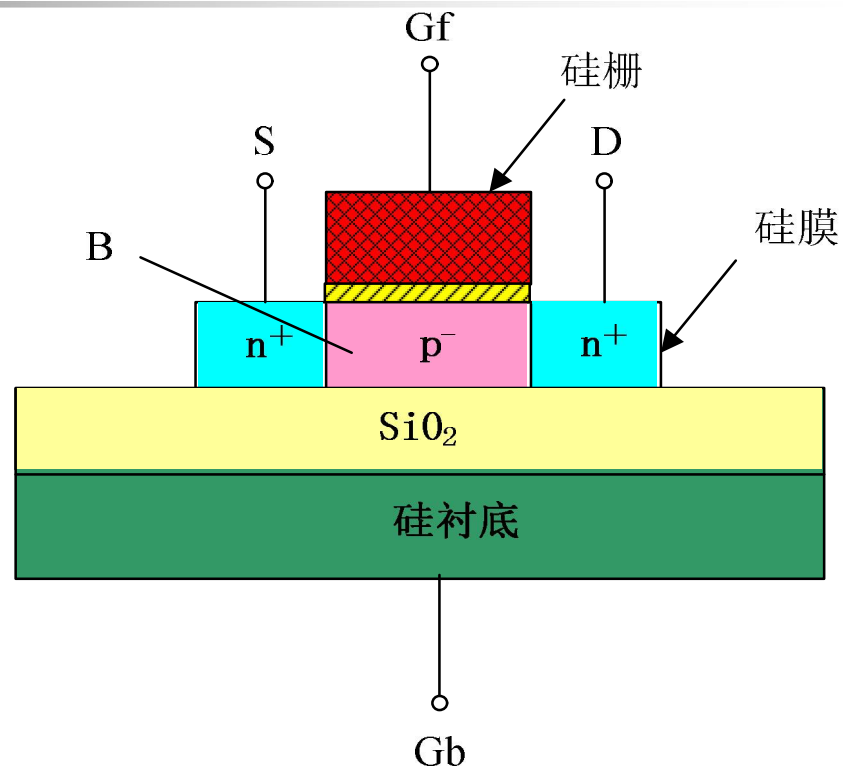
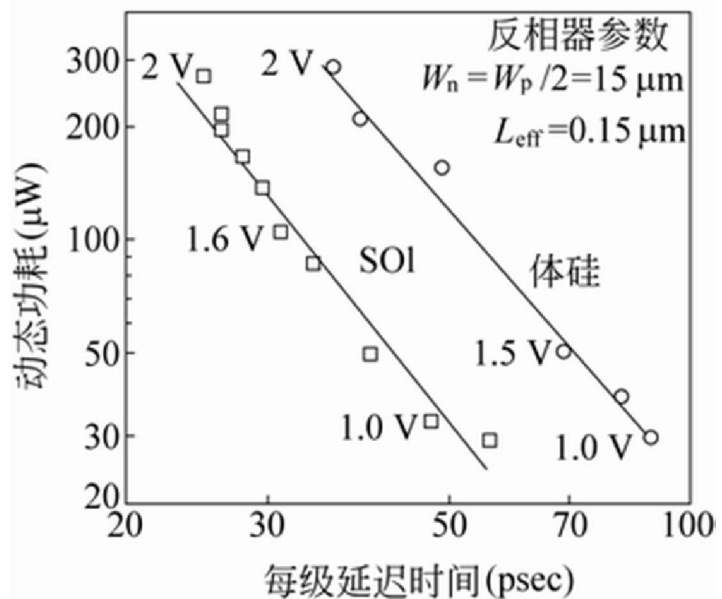


对CMOS电路

$$V_{DD \min} \geq V_{TN} + |V_{TP}|$$

# 减小电容

$$P_d = \sum_{i=1}^N f a_i C_i V_i V_{DD}$$



减小电容可以提高速度，降低功耗

# 开关活动因子

$$P_d = \sum_{i=1}^N fa_i C_i V_i V_{DD}$$

## 输出变化的概率公式

$$P_{0 \rightarrow 1} = P_{\text{out}=0} \times P_{\text{out}=1} \\ = P_0 \times (1 - P_0)$$

With input signal probabilities

$$P_{A=1} = 1/2$$

$$P_{B=1} = 1/2$$

**NOR** 开关活动因子

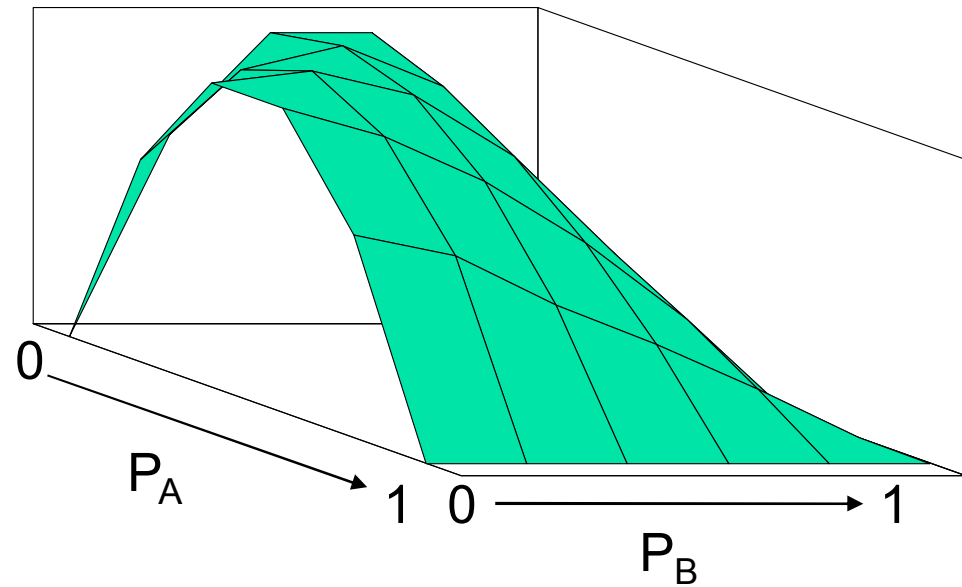
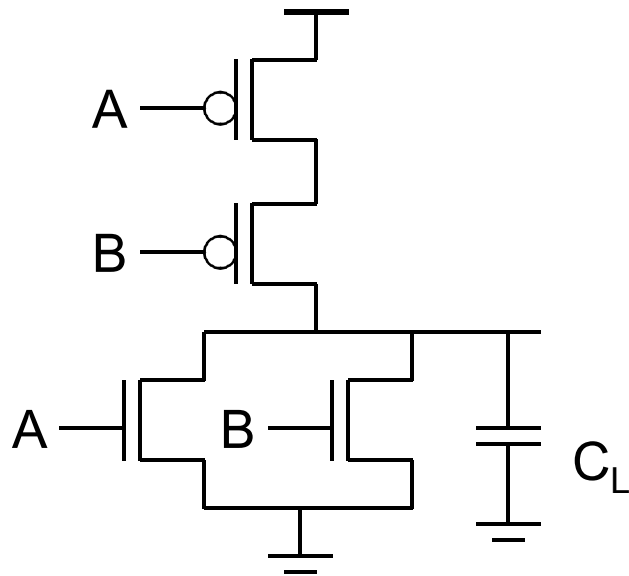
$$= 3/4 \times 1/4 = 3/16$$

2-input NOR Gate

A	B	Out
0	0	1
0	1	0
1	0	0
1	1	0

# 或非门开关活动因子

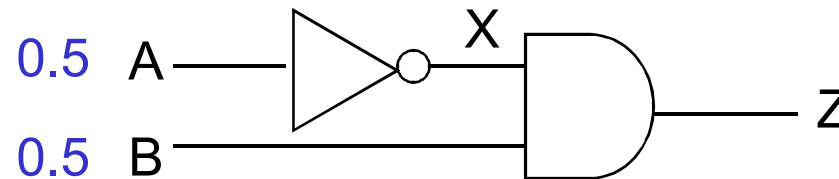
■  $P_A$  和  $P_B$  是输入信号A, B为“1”的概率



$$P_{0 \rightarrow 1} = P_0 \times P_1 = (1 - (1 - P_A)(1 - P_B)) (1 - P_A)(1 - P_B)$$

## 基本门电路的开关活动因子

	$P_{0 \rightarrow 1} = P_{\text{out}=0} \times P_{\text{out}=1}$
NOR	$(1 - (1 - P_A)(1 - P_B)) \times (1 - P_A)(1 - P_B)$
OR	$(1 - P_A)(1 - P_B) \times (1 - (1 - P_A)(1 - P_B))$
NAND	$P_A P_B \times (1 - P_A P_B)$
AND	$(1 - P_A P_B) \times P_A P_B$
XOR	$(1 - (P_A + P_B - 2P_A P_B)) \times (P_A + P_B - 2P_A P_B)$

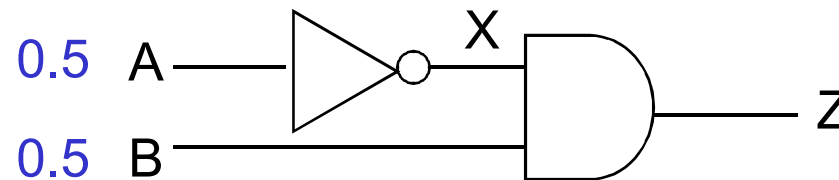


For X:  $P_{0 \rightarrow 1} =$

For Z:  $P_{0 \rightarrow 1} =$

# 基本门电路的开关活动因子

	$P_{0 \rightarrow 1} = P_{\text{out}=0} \times P_{\text{out}=1}$
NOR	$(1 - (1 - P_A)(1 - P_B)) \times (1 - P_A)(1 - P_B)$
OR	$(1 - P_A)(1 - P_B) \times (1 - (1 - P_A)(1 - P_B))$
NAND	$P_A P_B \times (1 - P_A P_B)$
AND	$(1 - P_A P_B) \times P_A P_B$
XOR	$(1 - (P_A + P_B - 2P_A P_B)) \times (P_A + P_B - 2P_A P_B)$



$$\begin{aligned} \text{For X: } P_{0 \rightarrow 1} &= P_0 \times P_1 = (1 - P_A) P_A \\ &= 0.5 \times 0.5 = 0.25 \end{aligned}$$

$$\begin{aligned} \text{For Z: } P_{0 \rightarrow 1} &= P_0 \times P_1 = (1 - P_X P_B) P_X P_B \\ &= (1 - (0.5 \times 0.5)) \times (0.5 \times 0.5) = 3/16 \end{aligned}$$

A	B	Out
0	0	1
0	1	0
1	0	0
1	1	0

## 电路的开关活动因子

- 静态成分-----主要决定于电路的逻辑功能

$N$ 输入逻辑门一个周期内输出从“0”到“1”变化的概率:

$$P_{0-1} = P_0 P_1 = P_0 (1 - P_0) = \frac{N_0}{2^N} \cdot \left(1 - \frac{N_0}{2^N}\right) = \frac{N_0 (2^N - N_0)}{2^{2N}}$$

2输入与非门  $N_0=1, N=2, P_{0-1}=1 \times (4-1)/16=3/16$ ;

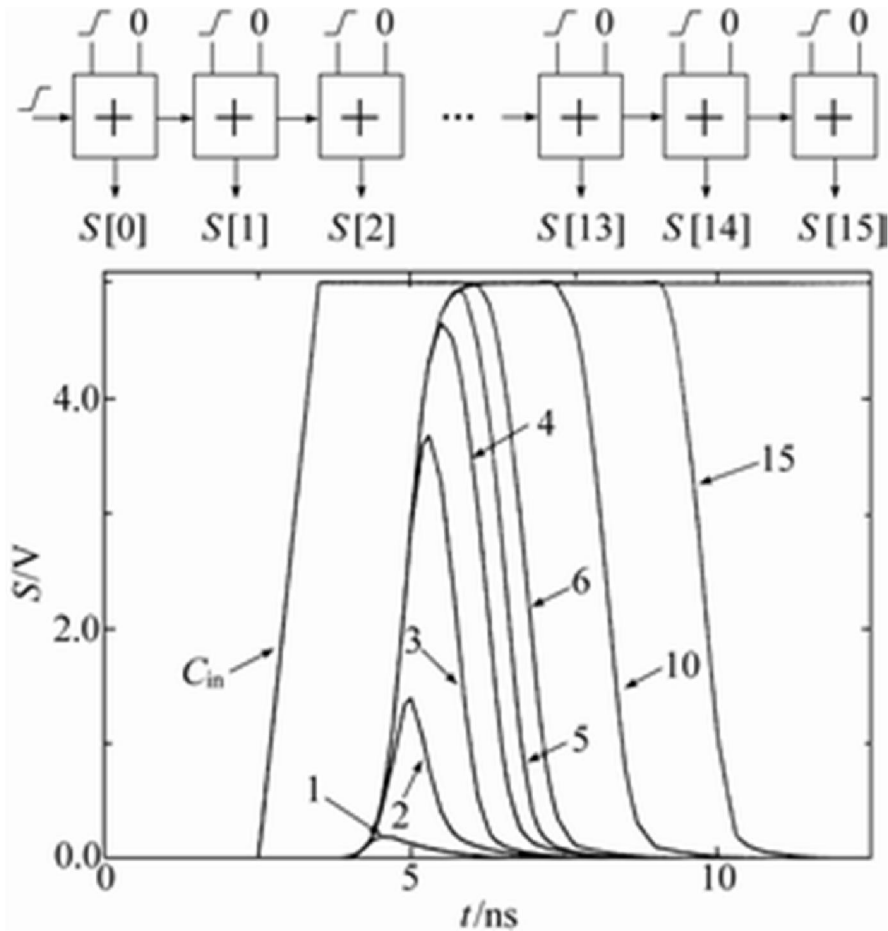
2输入或非门  $N_0=3, N=2, P_{0-1}=3 \times (4-3)/16=3/16$ ;

2输入异或门  $N_0=2, N=2, P_{0-1}=2 \times (4-2)/16=1/4$ ;

- 动态成分-----主要决定于电路的时序行为



# 开关活动因子：假信号



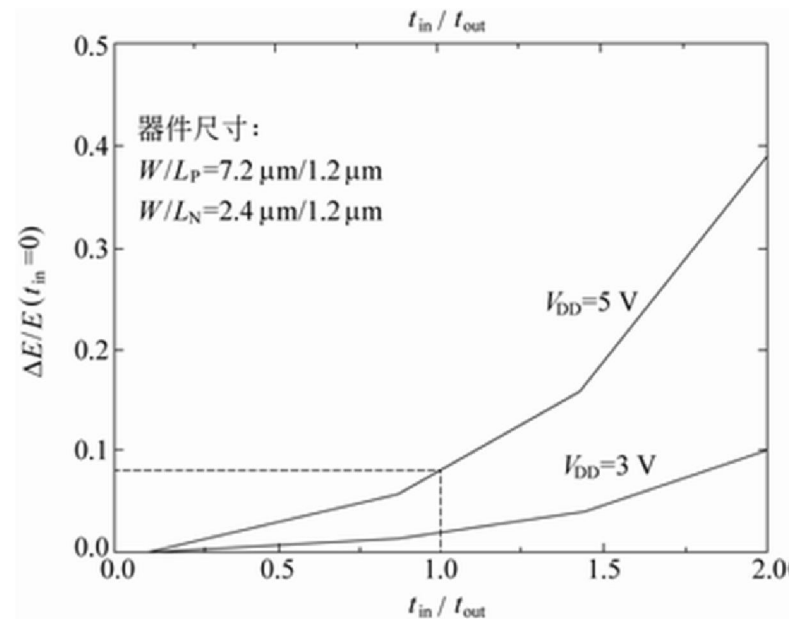
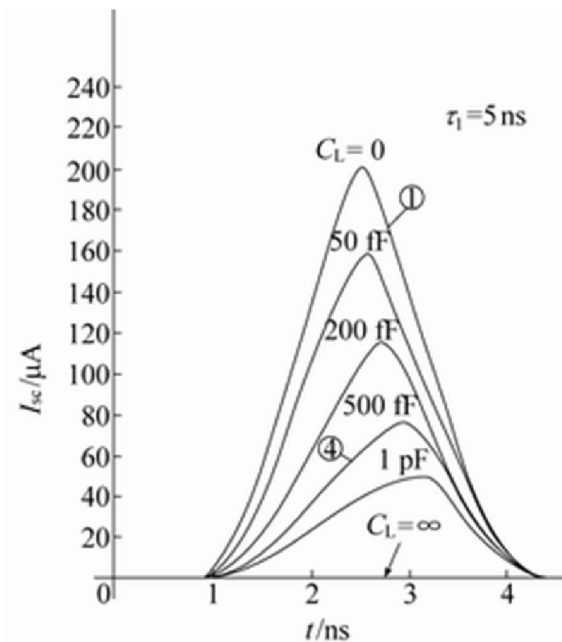
开关过程中出现假信号使电路节点的开关活动因子大于1

$$P_{sc} = I_{mean} V_{DD} = \frac{1}{6} K (V_{DD} - 2V_T)^3 f \tau$$

## 影响因素：短路功耗

### 影响短路功耗的主要因素

- 短路功耗与输入信号的上升、下降时间有关

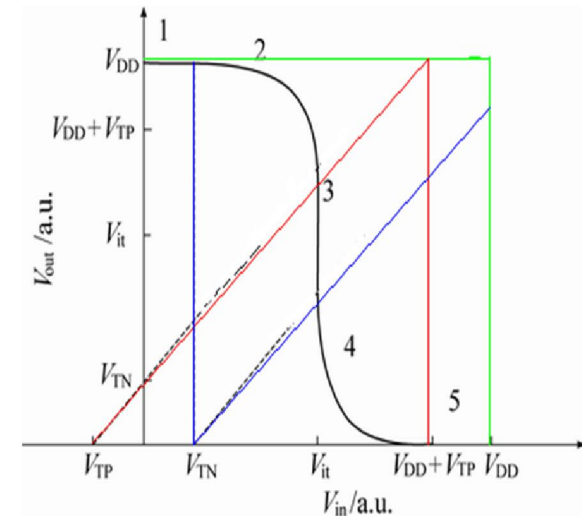
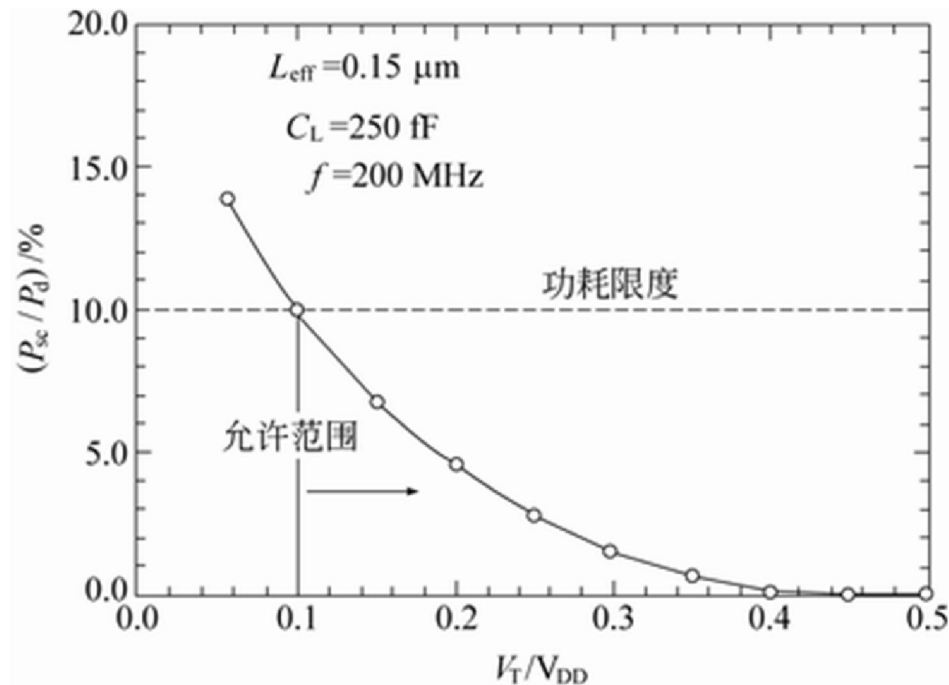


最佳设计：输出和输入信号的上升、下降时间相等

$$P_{sc} = I_{mean} V_{DD} = \frac{1}{6} K (V_{DD} - 2V_T)^3 f \tau$$

## 影响因素：短路功耗

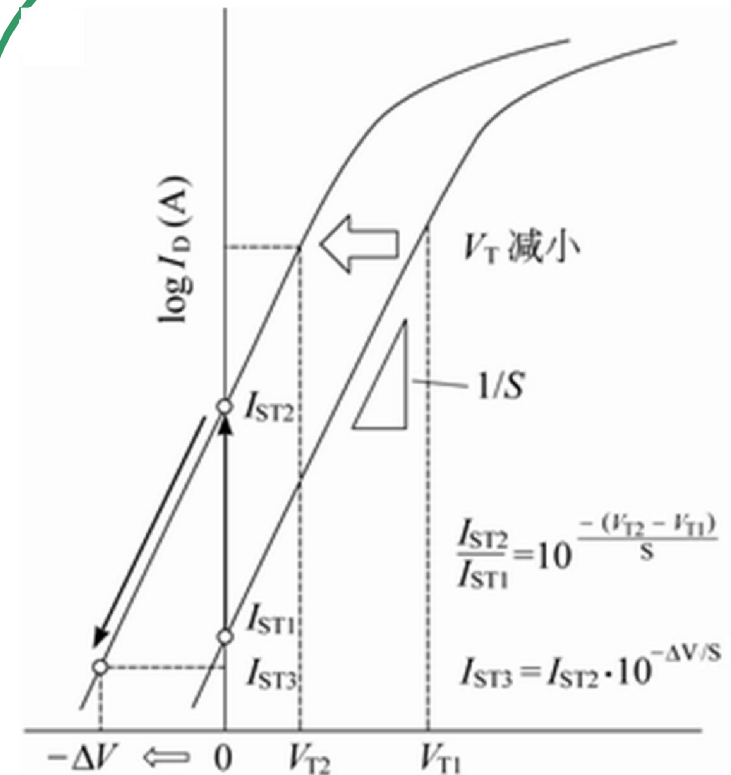
–短路功耗与器件阈值电压相对电源电压的比例有关



$$I_D = I_0 \exp\left(\frac{V_{GS} - V_T}{nV_t}\right)$$

## 影响因素：静态功耗

- 影响静态功耗的主要因素
  - 降低电源电压减少高电场引起的二级效应；
  - 减小亚阈值电流；
  - 避免非理想输入引起电路直流导通电流；



亚阈值电流与阈值电压的关系

## 亚阈电流：工艺方法

	CL018 G	CL018 LP	CL018 ULP	CL018 HS	CL015 HS	CL013 HS
$V_{dd}$	1.8 V	1.8 V	1.8 V	2 V	1.5 V	1.2 V
$T_{ox}$ (effective)	42 Å	42 Å	42 Å	42 Å	29 Å	24 Å
$L_{gate}$	0.16 $\mu\text{m}$	0.16 $\mu\text{m}$	0.18 $\mu\text{m}$	0.13 $\mu\text{m}$	0.11 $\mu\text{m}$	0.08 $\mu\text{m}$
$I_{DSat}$ (n/p) ( $\mu\text{A}/\mu\text{m}$ )	600/260	500/180	320/130	780/360	860/370	920/400
$I_{off}$ (leakage) ( $\rho\text{A}/\mu\text{m}$ )	20	1.60	0.15	300	1,800	13,000
$V_{Tn}$	0.42 V	0.63 V	0.73 V	0.40 V	0.29 V	0.25 V
FET Perf. (GHz)	30	22	14	43	52	80

From MPR, 2000

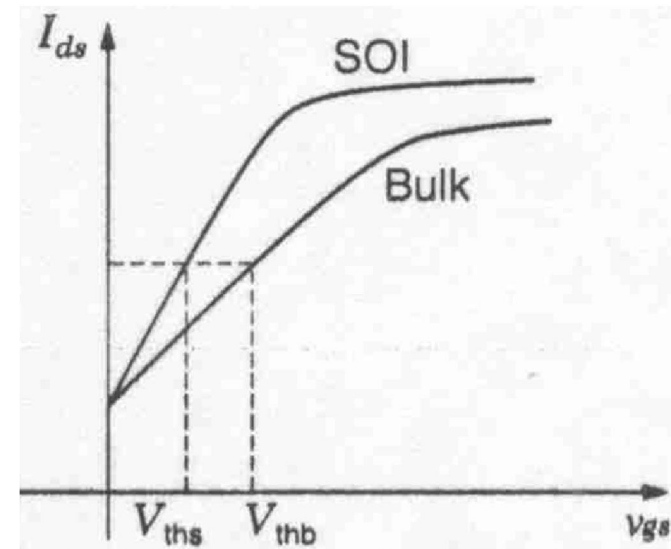
## 亚阈斜率

$$I_D = I_0 \exp\left(\frac{V_{GS} - V_T}{nV_t}\right)$$

$$S = \frac{dV_{GS}}{d(\lg I_D)} = (\ln 10) \frac{dV_{GS}}{d(\ln I_D)} = (\ln 10)nV_t$$

$$n = 1 + \frac{C_D}{C_{ox}}$$

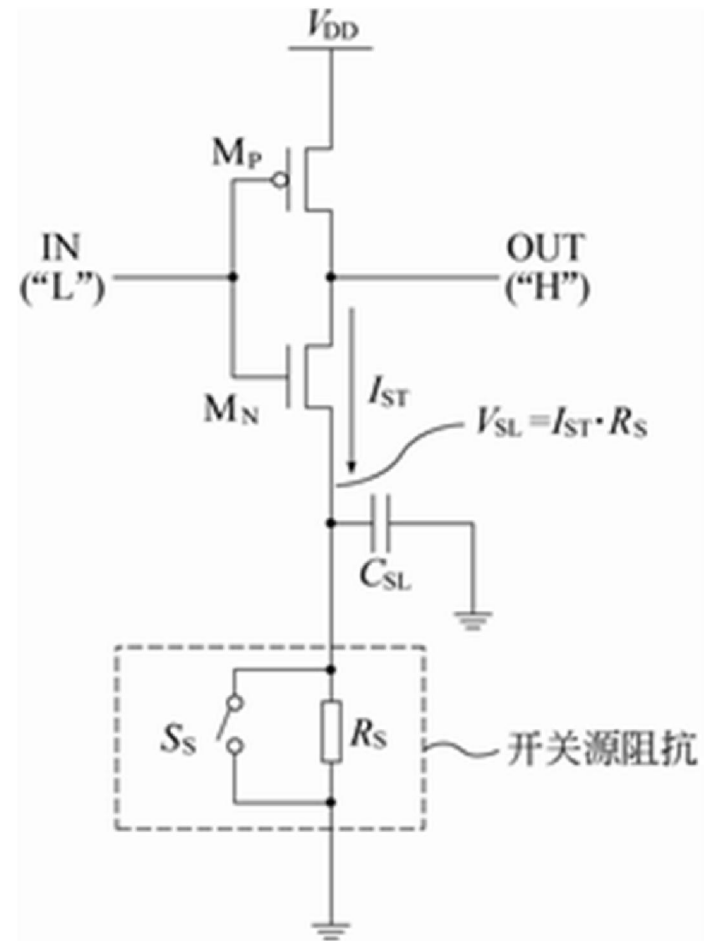
$$\therefore S = V_t (\ln 10) \left(1 + \frac{C_D}{C_{ox}}\right)$$



- 体硅**CMOS**亚阈斜率一般大于**60mv/dec**
- **SOI**工艺具有更小的亚阈斜率

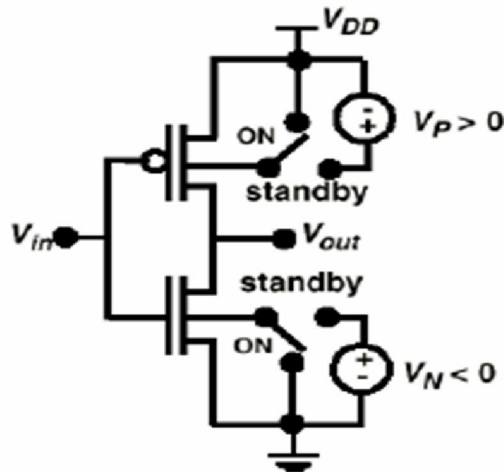
## 亚阈值电流：电路方法

- 利用可开关源极电阻提高NMOS器件截止状态时候的源端电位
- 利用衬底偏压提高NMOS阈值，降低亚阈值电流
- 利用负的栅源电压降低亚阈



# VTCMOS: 可变阈值的方法

- 利用MOS器件的体效应，通过调整衬底偏压动态改变器件的阈值电压



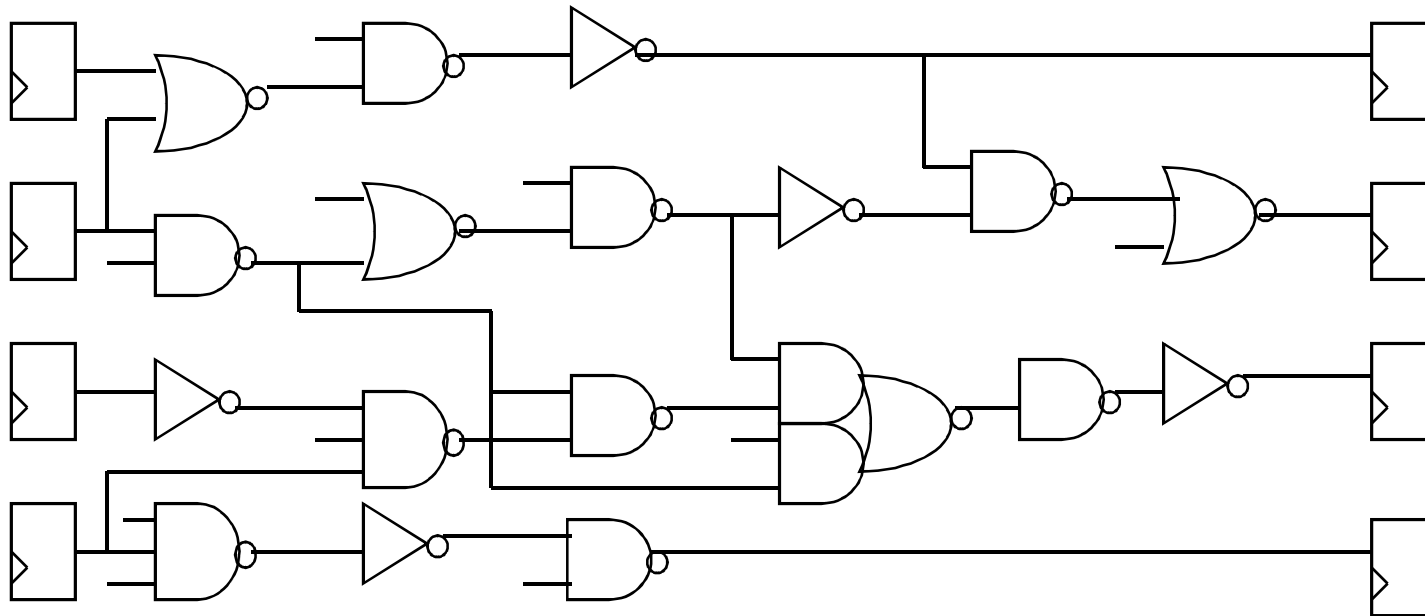
Substrate Bias Controlled  
Variable  $V_T$  Devices -  
(Increase  $V_T$  during idle periods)

from [Seta95] (ISSCC 1995)

- 正向偏置FBB（Forward Body Bias），对NMOS器件来说，源端接地，则提高衬底电位，降低阈值
- 反向偏置RBB（Reverse Body Bias），提高阈值，降低静态泄漏
- 零偏置ZBB（Zero Body Bias），正常使用，不加衬底偏置

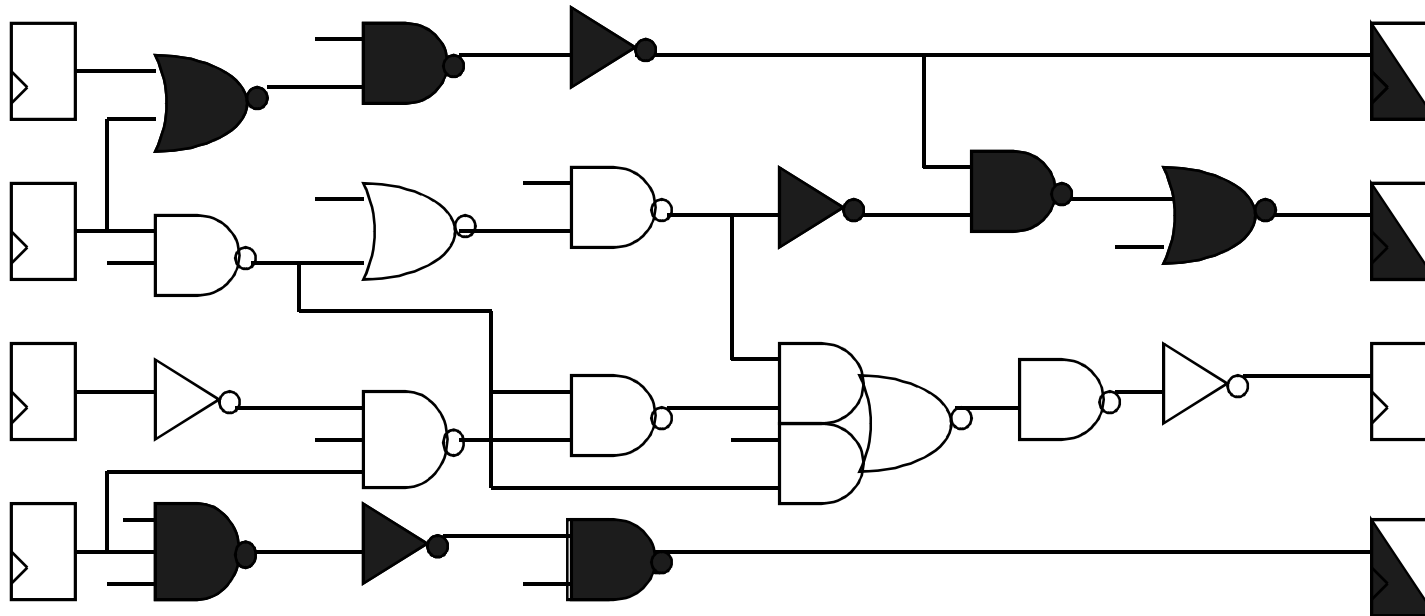


# 多电压/多阈值技术



# 多电压/多阈值技术

- 关键路径：高电压/低阈值
- 非关键路径：低电压/高阈值



# 不同设计层级对功耗优化的作用



设计层级	改进方法	降低功耗的作用
算法级	选择优化算法	几个数量级
功能块级	并行结构	几倍
<b>RTL级</b>	时钟控制优化	<b>10%~90%</b>
逻辑级	逻辑结构	<b>10%~15%</b>
	布尔函数分解	<b>15%</b>
	提取公因子	<b>15%</b>
晶体管级	晶体管尺寸调整	<b>20%</b>
版图级	布局布线	<b>20%</b>