



集成电路原理与设计

集成电路制作工艺：**CMOS**工艺

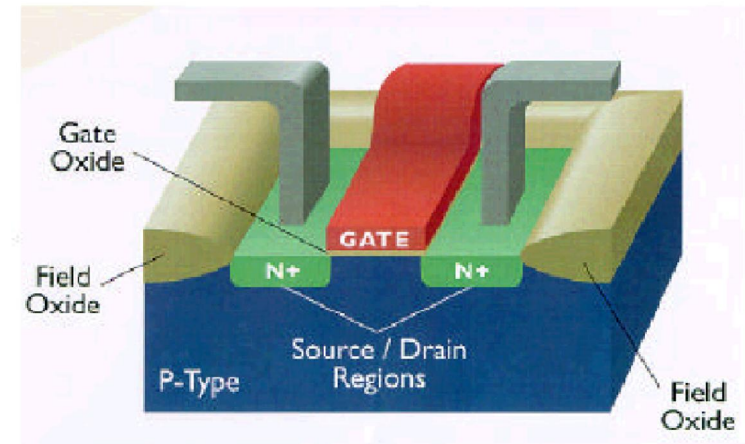


第二章 集成电路制作工艺

- 2.1.1 集成电路加工的基本操作
- 2.1.2 MOS结构和分类
- 2.2.1 N阱CMOS工艺
- 2.2.2 深亚微米CMOS工艺
- 2.3.1 CMOS IC中的寄生效应
- 2.3.2 SOI工艺
- 2.3.3 CMOS版图设计规则

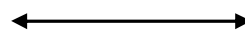
2.1.2 MOS结构和分类

- MOS器件是一个夹层结构
- M: 是metal, 金属
- O: 是oxide, 氧化物
- S: 是semiconductor, 半导体
- 早期工艺的MOS器件的栅极是用金属制造的, 所以从栅极向下是金属, 氧化物和半导体的结构

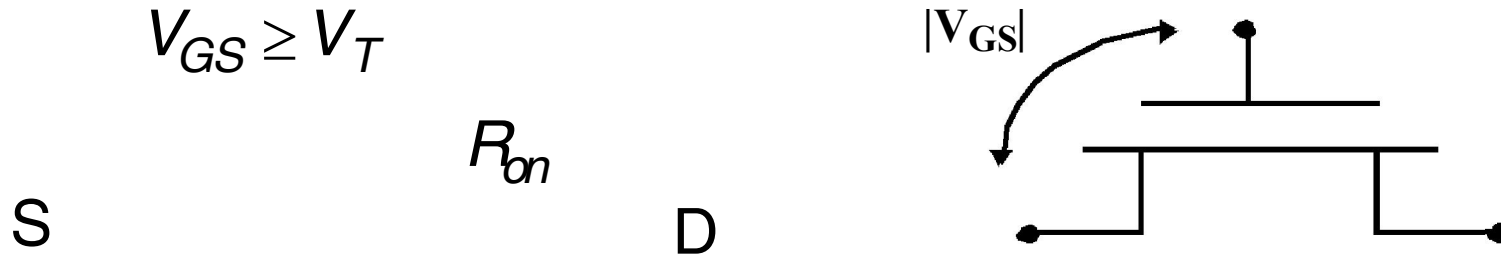


What is a Transistor?

A Switch!

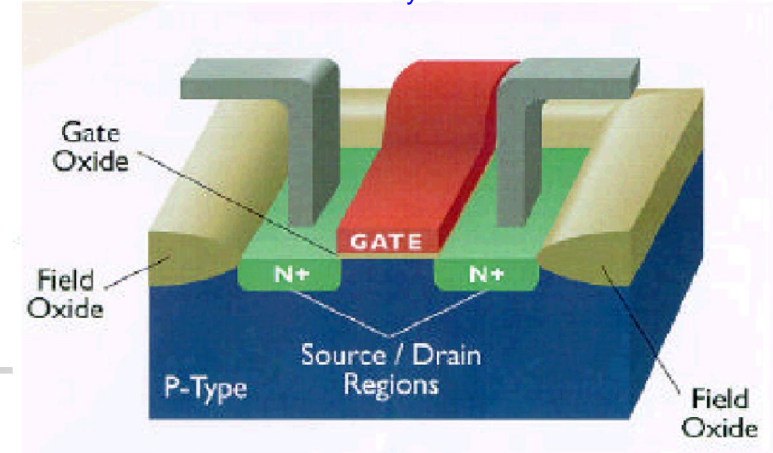


An MOS Transistor

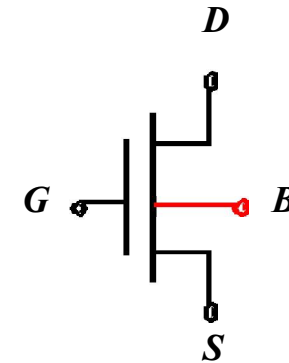


■简单的可以把mos管看作是一个电压控制的开关，当控制电压高于**阈值电压**，开关闭合，低于阈值电压，开关断开

1、MOS器件结构

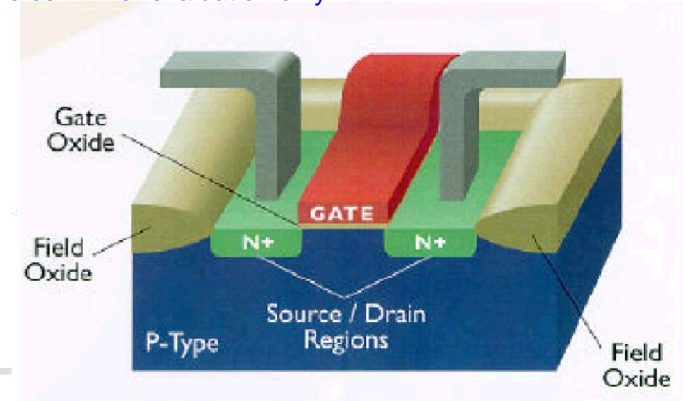
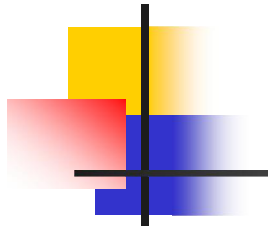


- MOS器件有四个端可以连接电极，分别为源，漏，栅和衬底
- 半导体衬底表面在栅极绝缘层以下的部分称为沟道区，因为在mos工作过程中会在这里形成导电沟道
- 因此，MOS在纵深方向是M—O—S三层结构，在横向是源—沟道—漏的结构

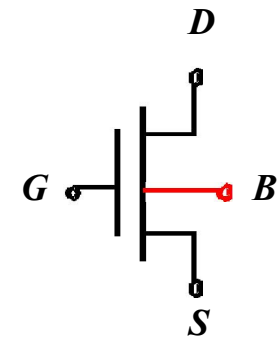


NMOS with Bulk Contact

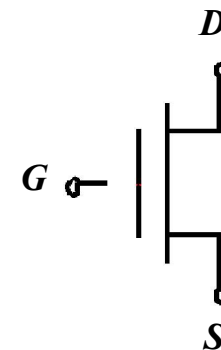
MOS: 栅极和衬底



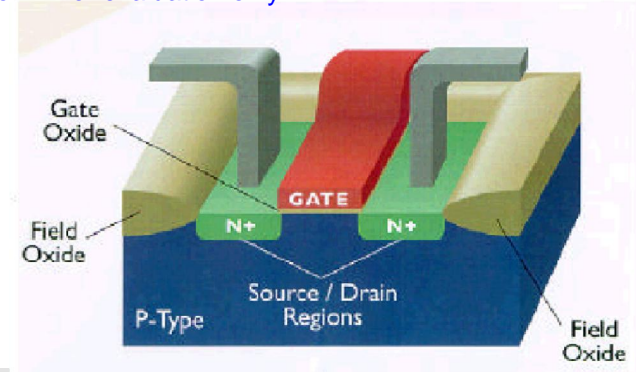
- 器件工作过程中，栅极和衬底之间的电压形成纵向电场，这个电场会在衬底表面会形成一个导电通道，该沟道会连接源端和漏端
- MOS的栅极同其他三个电极是绝缘的，因此MOS也称为绝缘栅场效应晶体管（IGFET）
- MOS的衬底BULK端是掺杂的半导体，一般接固定的电源和地电压，因此有时候MOS器件的符号只标出G—D—S三端



NMOS with Bulk Contact

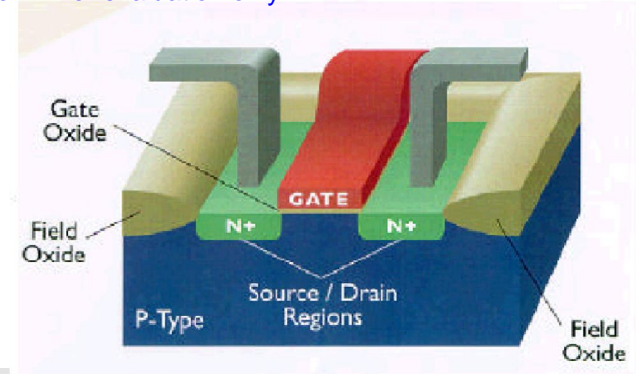


MOS: 源和漏



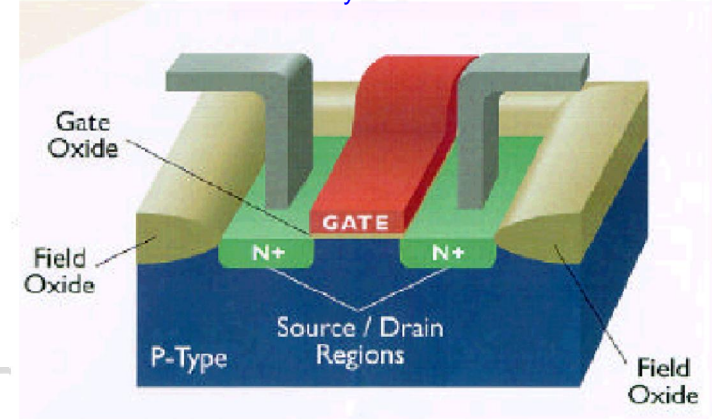
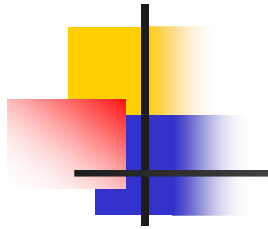
- MOS器件的源区和漏区在结构和工艺加工上是完全相同的，在使用中可以被交换，但是为了分析的方便还是需要区分
- 源端是载流子流出的一端（载流子的来源**source**），漏端是载流子流入的一端（载流子在这里消失**drain**）
- 源漏区是半导体表面高掺杂的区域，作为源漏电极
- 衬底电极也需要高掺杂的欧姆接触，只是其掺杂极性同源漏区相反

MOS: 漏, 栅, 源, 衬

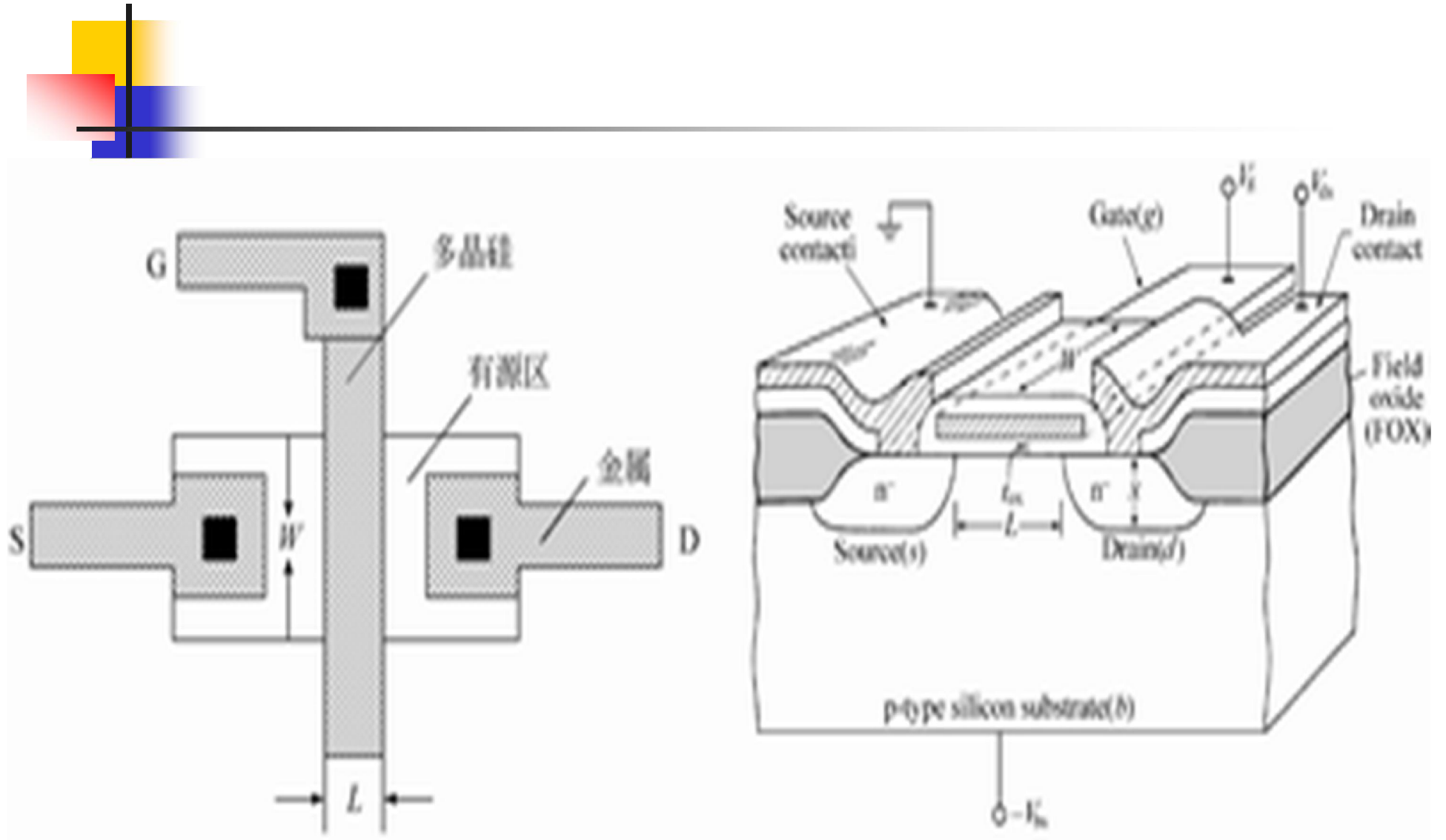


- MOS作为四端器件在漏电压，栅电压，源电压和衬底电压的作用下工作
- 栅极的隔离是靠绝缘的栅氧化层，同半导体表面上的其他三个电极隔开
- 源极和漏极同衬底接触，源漏和衬底的隔离是靠形成的反向PN结
- 源极和漏极之间由两个PN结隔开
- 因此，在MOS器件的工作过程中需要保持源漏同衬底之间的PN结0偏或者是反偏

MOS晶体管的基本结构

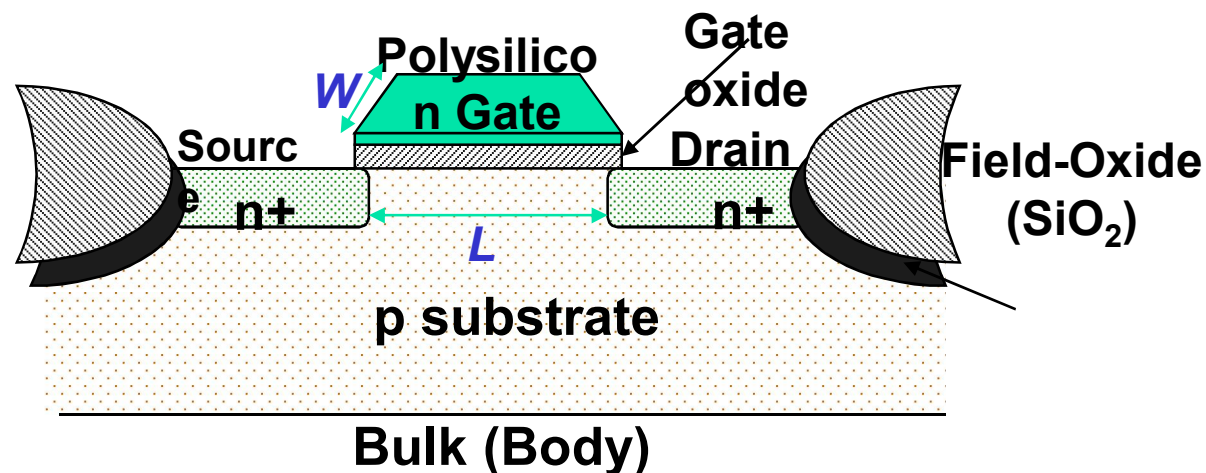


- 在栅电压的控制下，MOS在沟道区形成导电沟道连接源漏区，因此经常我们关心源漏区和沟道区的情况
- 源漏区：主要目的是形成源漏电极，作为开关的两端
- 沟道区：器件的主要工作区，沟道的长度（L）和宽度（W）直接影响着沟道内的电流

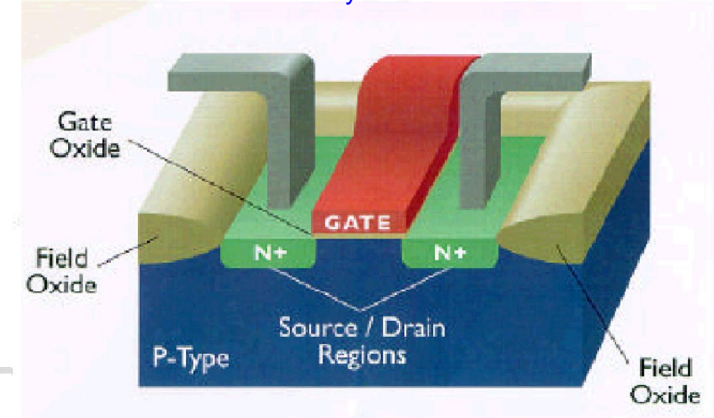


MOS晶体管的结构参数

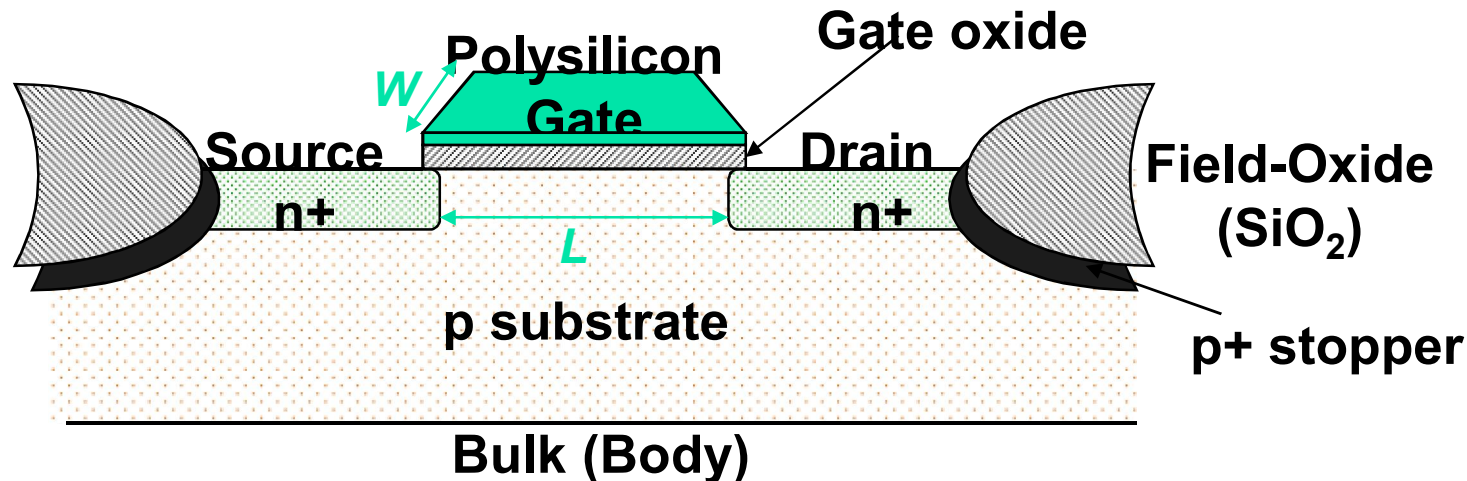
- 结构参数：沟道的长度（ L ）、宽度（ W ）和栅氧化层的厚度（ t_{ox} ）直接影响着沟道电流的大小
- 导通状态的沟道区可以看作是一个电阻
- 沟道的形成和载流子密度受到纵向电场的控制
- 栅氧化层厚度是由工艺决定的，MOS器件的主要设计参数就是沟道长度和宽度



MOS的沟道长度

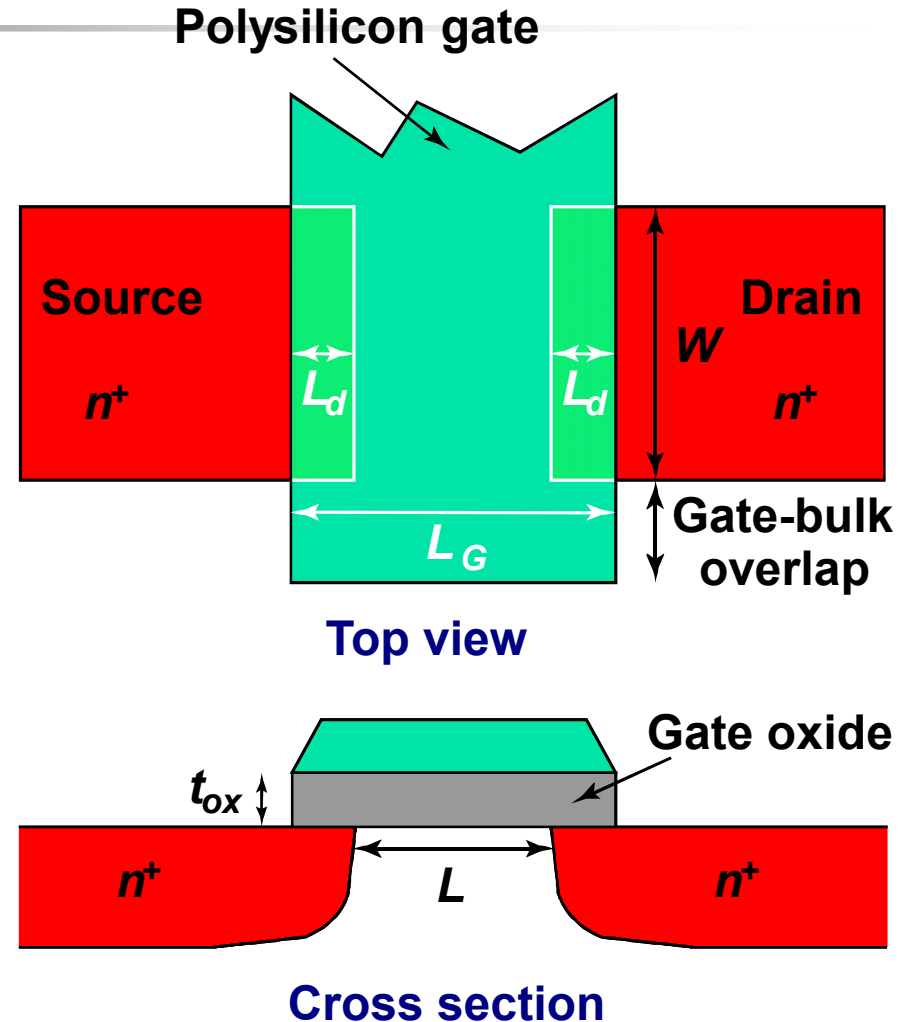


- 栅长是决定器件尺寸的关键，也是区分不同半导体加工技术换代的标志，是半导体集成度的标志，因此也称为关键尺寸（critical dimension）

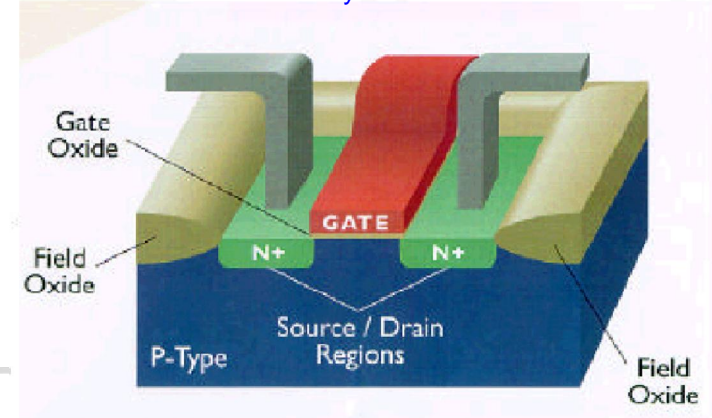


沟道长度的计算

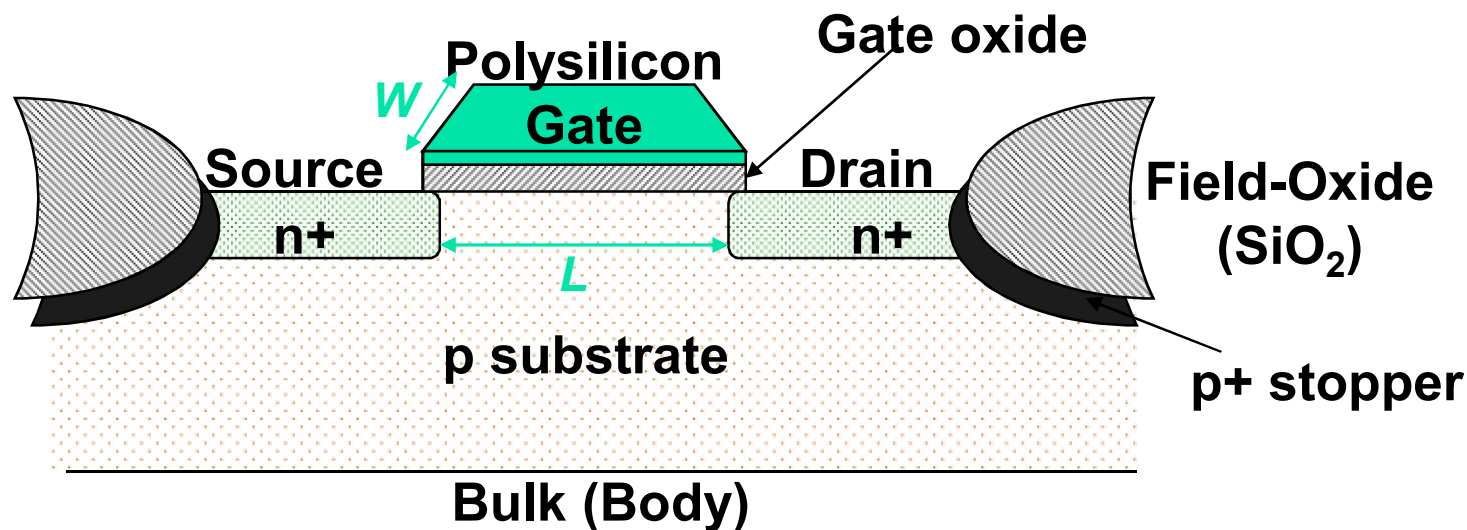
- 由于源漏区加工过程中掺杂向半导体表面横向扩散，实际的沟道长度同设计中图形宽度并不相等



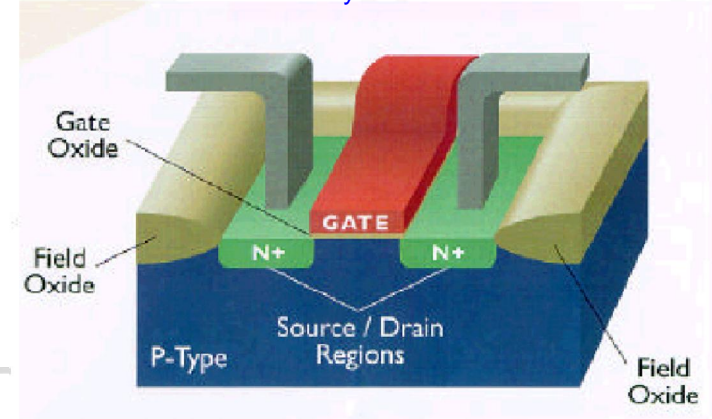
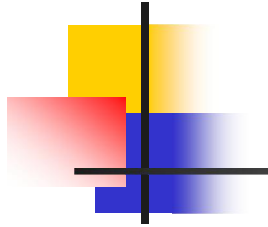
MOS的器件宽度



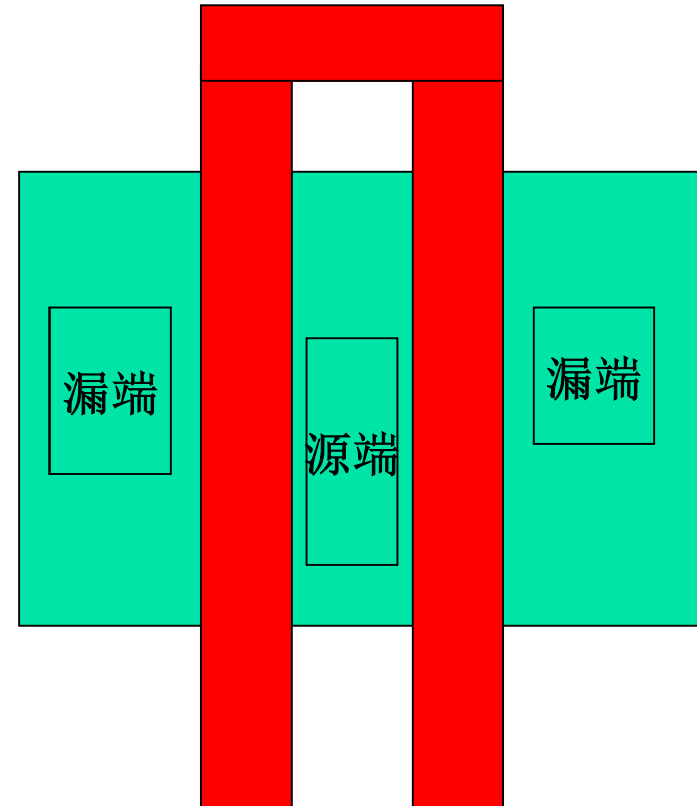
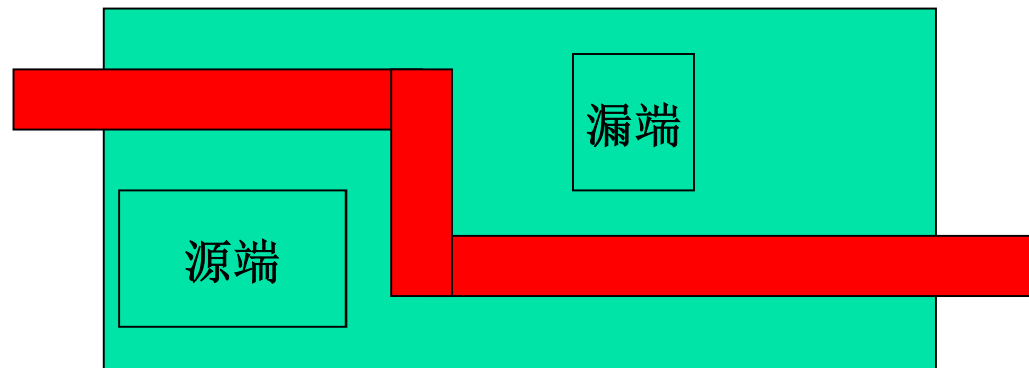
- 沟道电流在 $W \times L$ 的沟道区域内，沿着沟道长度的方向，在源漏端之间流动；沟道长度越小、宽度越大，电流也越大；
- 沟道长度受到加工工艺的限制，一般取为允许的最小尺寸，即关键尺寸；而沟道宽度是主要的设计变量



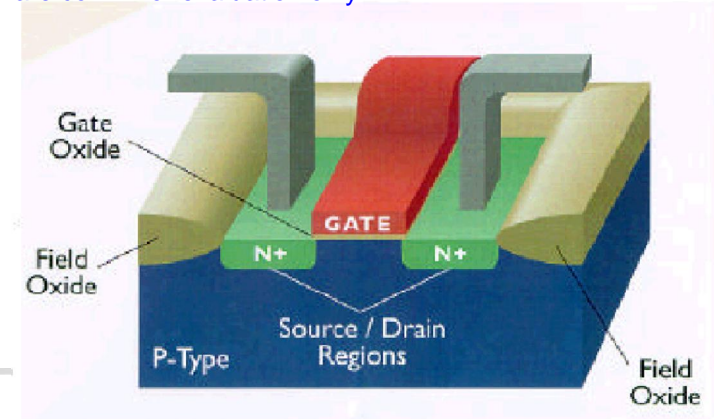
沟道宽度的计算



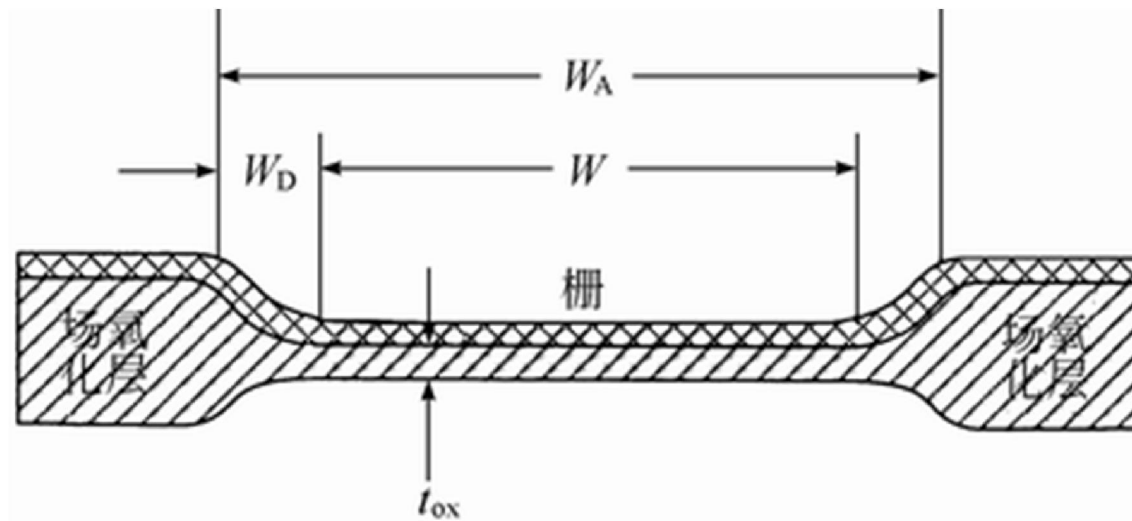
- 对于简单的矩形栅极，沟道宽度就是有源区的宽度
- 而对于复杂形状的mos器件，需要根据实际情况确定沟道宽度



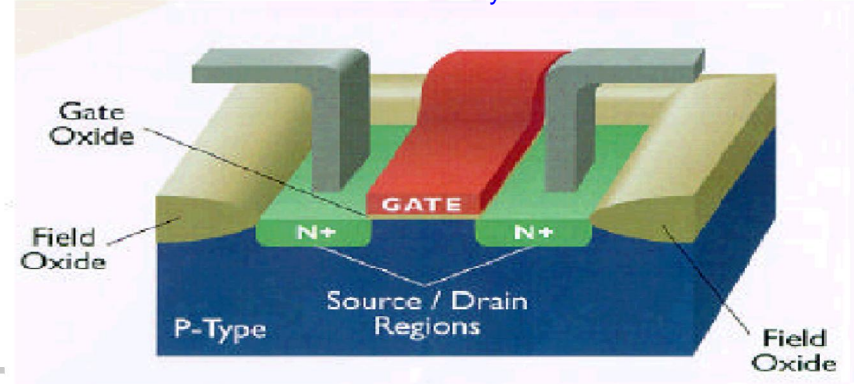
MOS器件的实际沟道宽度



- 局部氧化**LOCOS**工艺
- 场氧在有源区边缘形成鸟嘴
- 使得实际的沟道宽度有所减小

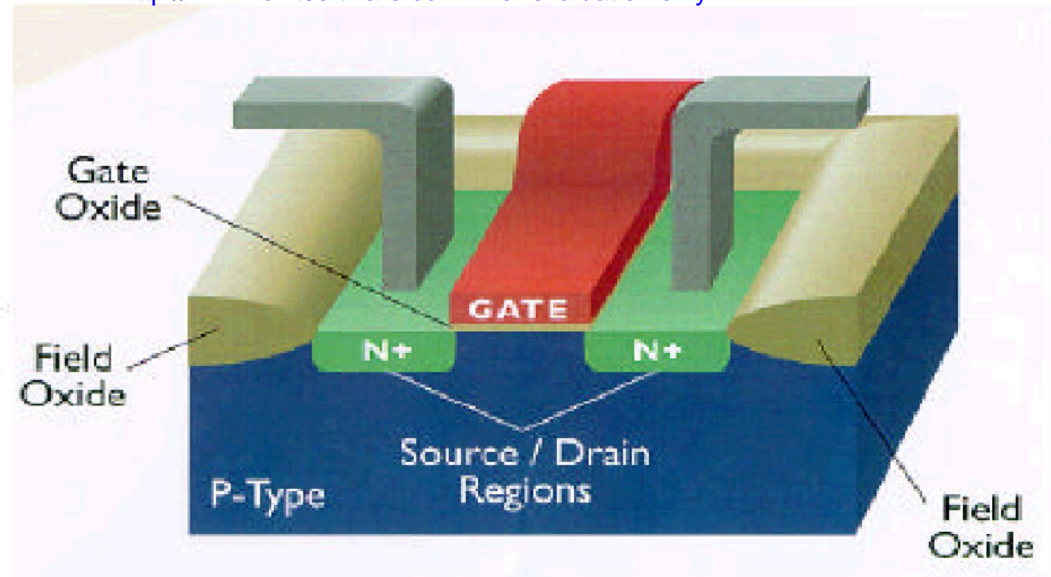


2、MOS器件的分类



- 根据参与导电的载流子的类型，MOS器件可以分为NMOS和PMOS两种
- NMOS器件中的载流子是电子，源漏区是n+区，衬底是p型
- PMOS器件中的载流子是空穴，源漏区是p+区，衬底是n型
- 为了产生导电沟道，以及源漏pn结隔离，两种器件的端电压极性相反

MOS器件的分类



- 根据工作机制**MOS**又可以分为增强型和耗尽型
- 前面我们都是以n沟道增强型**mos**举例，增强型器件在栅压小于阈值电压的时候，无法产生导电沟道
- 耗尽型**MOS**器件在没有加栅压情况下就有沟道，需要加栅压才能使得沟道消失

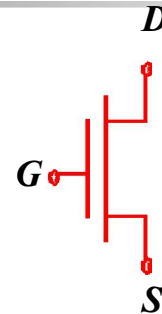
MOS Transistors - Types and Symbols

➤ 实际应用最多的是增强型的**NMOS**和**PMOS**器件

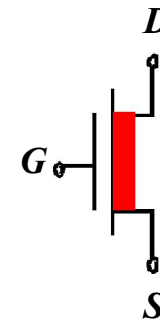
➤ **Mos**作为四端器件有**D,G,S,B**四个电极

➤ 在实际的设计中，同类型的**mos**器件的衬底一般接相同的电位，有时候为了简便，只画出**3**端，而默认衬底接电源/地

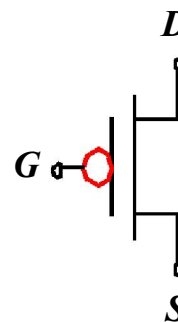
➤ 为了简便，一般以增强型**NMOS**举例



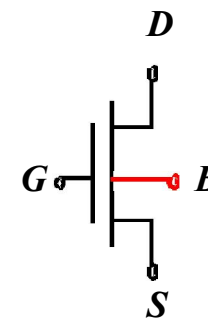
NMOS Enhancement



NMOS Depletion



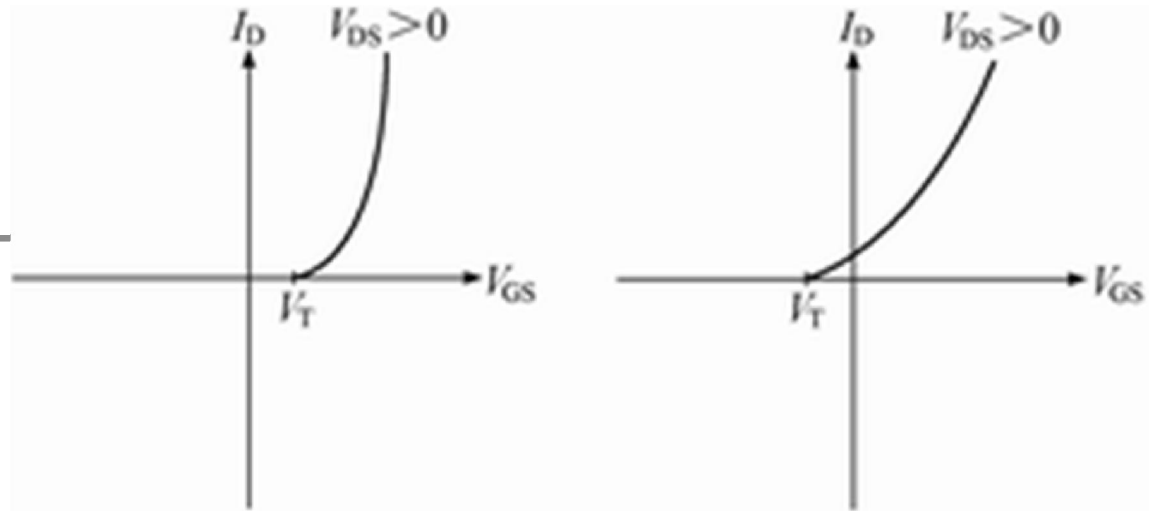
PMOS Enhancement



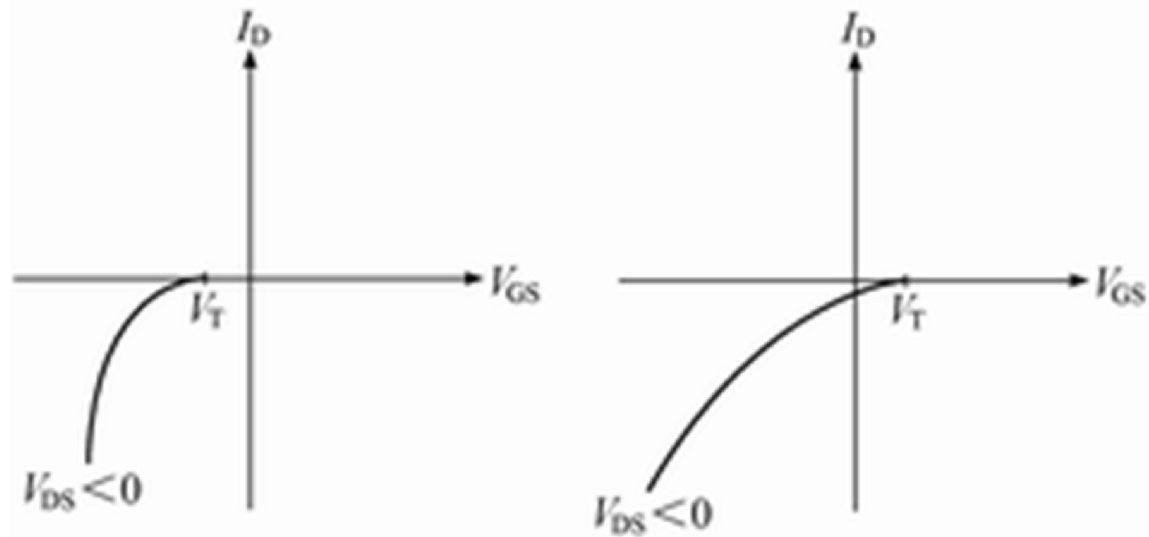
NMOS with
Bulk Contact

MOS晶体管的 输入特性

- CMOS: 增强型NMOS和PMOS
- 目前的数字集成电路中耗尽型MOS较少使用

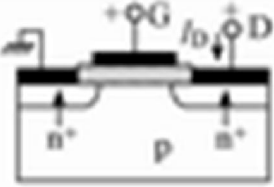
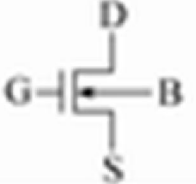
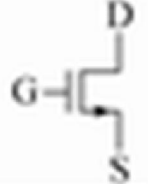


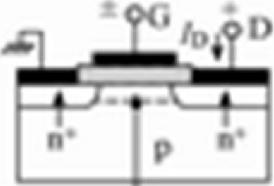
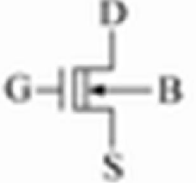
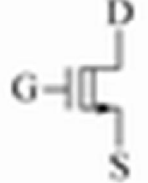


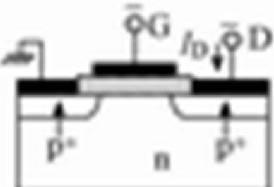

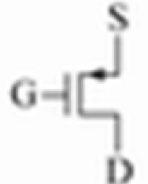
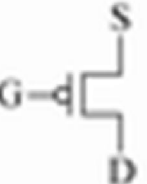

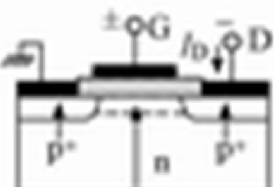
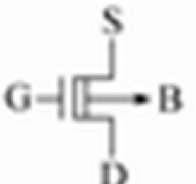
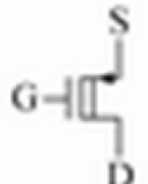
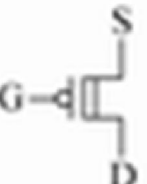



(a) 增强型NMOS和耗尽型NMOS的输入特性曲线



(a) 增强型PMOS和耗尽型PMOS的输入特性曲线

MOS晶体管的分类

类型	截面	符号			
n-沟道增强型 (常断)					
n-沟道耗尽型 (常通)					
p-沟道增强型 (常断)					
p-沟道耗尽型 (常通)					

MOS晶体管的结构特点

- 由于具有源漏同衬底的隔离，MOS器件同双极器件相比占用面积小，集成度高
- MOS是绝缘栅结构，即栅极不取电流，输入阻抗高，易于电路间的直接耦合
- 源漏对称结构使得器件具有双向导通的特性，设计灵活
- CMOS结构没有静态短路功耗
- 由于MOS器件是少子导电，需要先产生沟道电荷，然后才能导电，因此速度比双极器件慢



第二章 集成电路制作工艺

- **2.1.1 集成电路加工的基本操作**
- **2.1.2 MOS结构和分类**
- **2.2.1 N阱CMOS工艺**
- **2.2.2 深亚微米CMOS工艺**
- **2.3.1 CMOS IC中的寄生效应**
- **2.3.2 SOI工艺**
- **2.3.3 CMOS版图设计规则**



§ 2.2.1 N阱CMOS结构和工艺

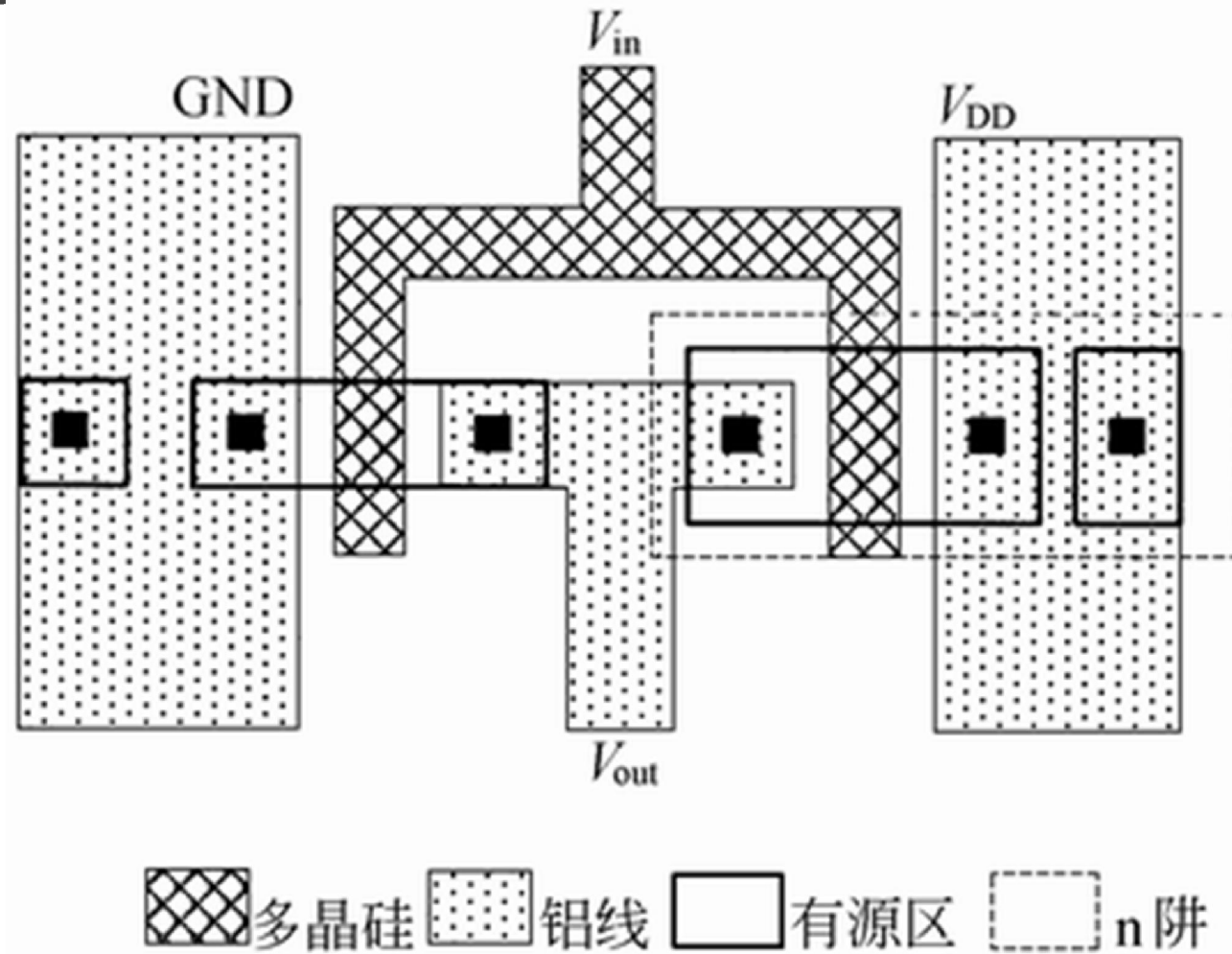
- 衬底硅片选择
- 制作阱
- 场区氧化
- 形成硅栅
- 形成源、漏区
- 制作互连线



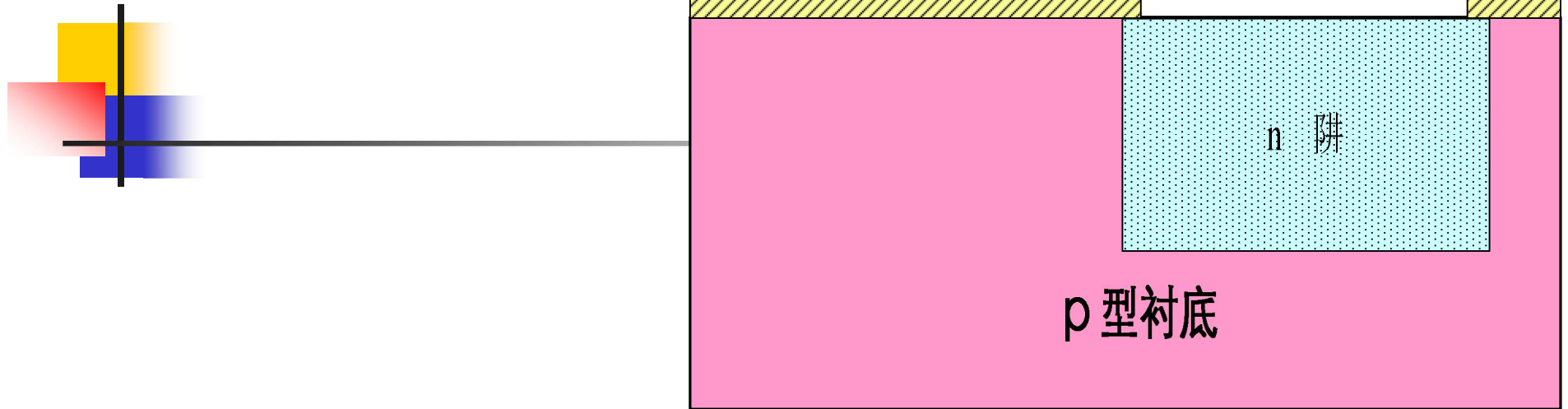
N阱CMOS工艺流程：硅片的选择

- $\langle 100 \rangle$ 晶向无缺陷的单晶硅片
- 8英寸硅片，硅片厚度约700um
- p型硅片，电阻率为10-50 $\Omega \text{ cm}$
- NMOS做在衬底上，PMOS在N阱里

CMOS反相器版图：N阱工艺



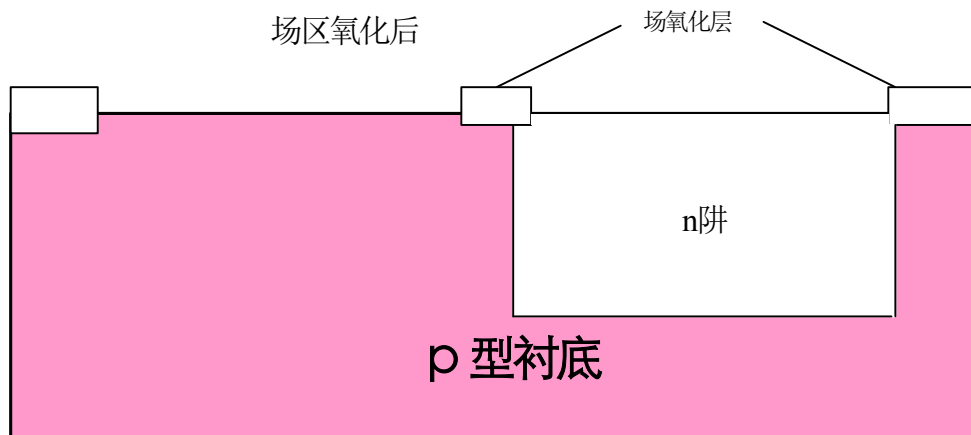
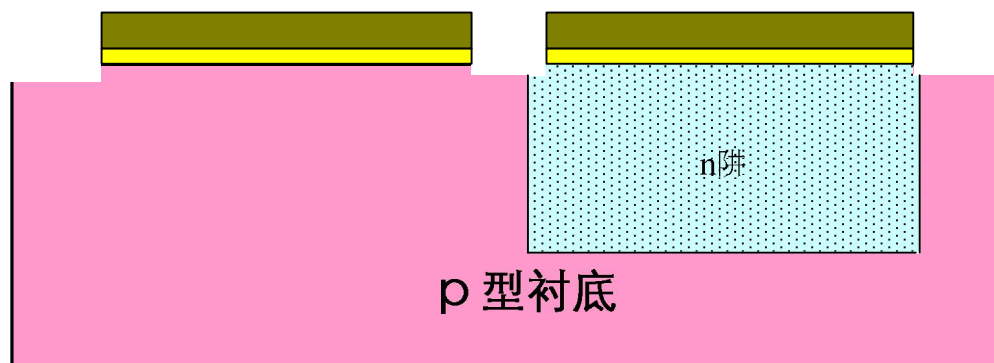
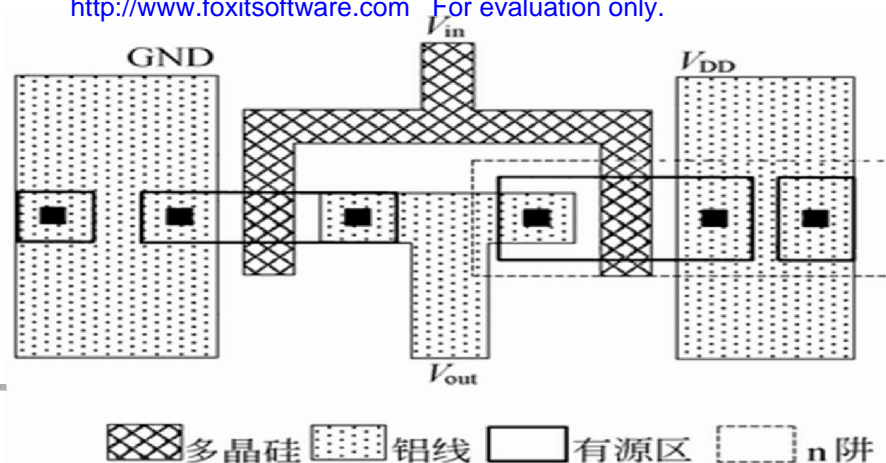
2、制作n阱



- 热氧化形成初始氧化层作为阱区注入的掩蔽层
- 在氧化层上开出n阱区窗口
- 注磷在窗口下面形成n阱
- 退火和阱区推进

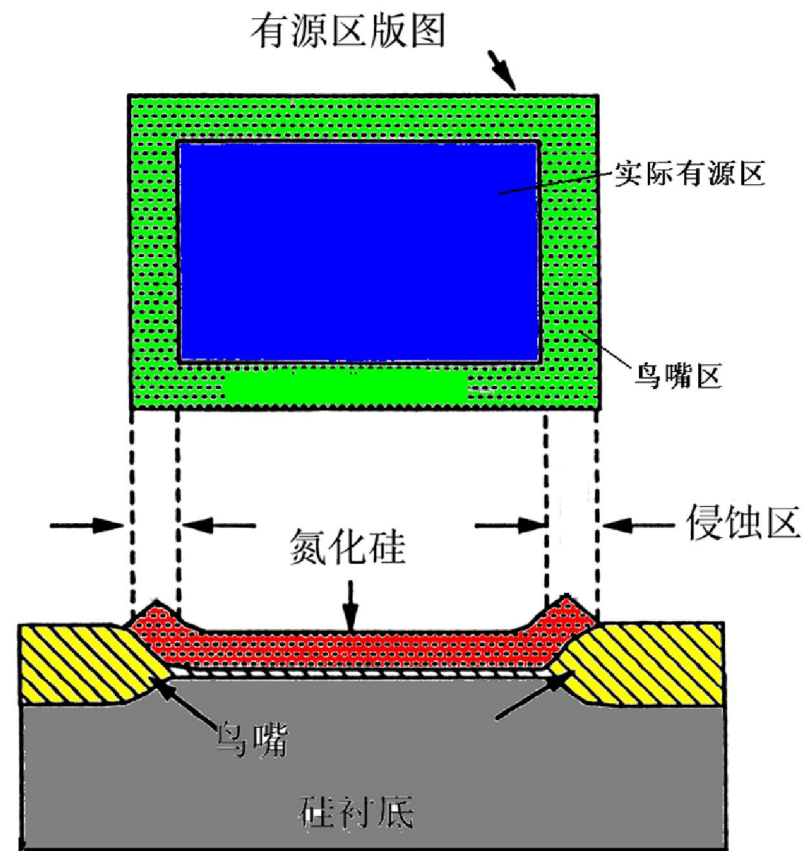
3、场区氧化

- LOCOS工艺具体步骤
 - 生长薄层SiO₂缓冲层
 - 淀积氮化硅
 - 刻掉场区的氮化硅和缓冲氧化层
 - 场区注入
 - 热氧化形成场氧化层

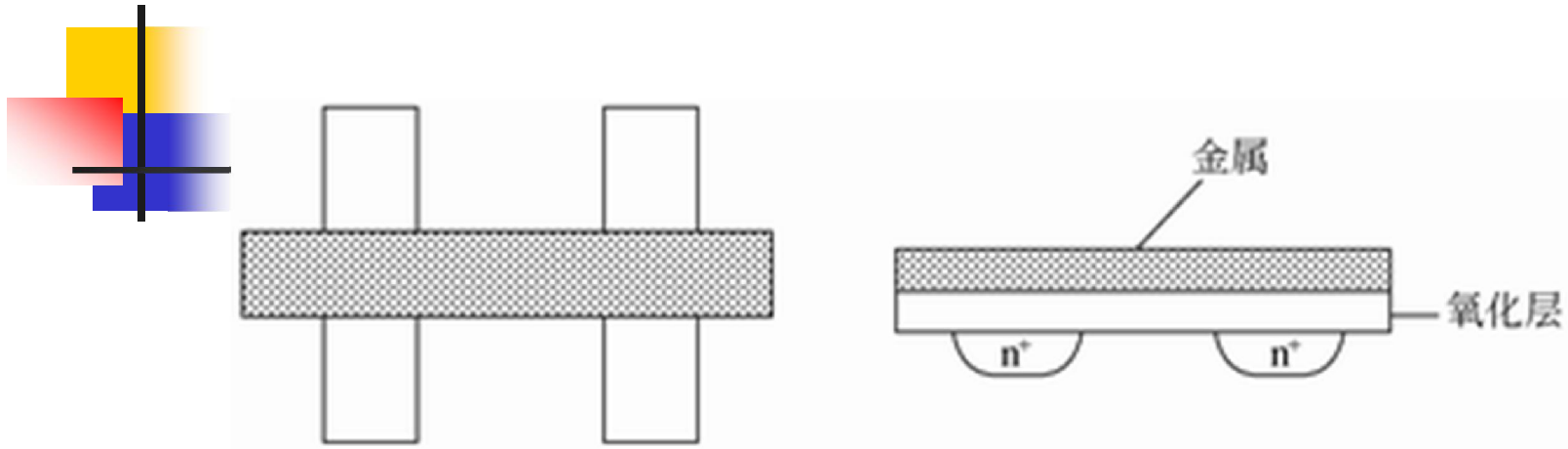


场氧向有源区侵蚀问题

- 局部氧化**LOCOS**工艺
- 场氧在有源区边缘形成鸟嘴
 - 在缓冲层二氧化硅上淀积一层多晶硅缓冲层
 - 深亚微米工艺一般采用沟槽隔离**STI**



场区寄生MOS晶体管



防止出现寄生沟道的措施:

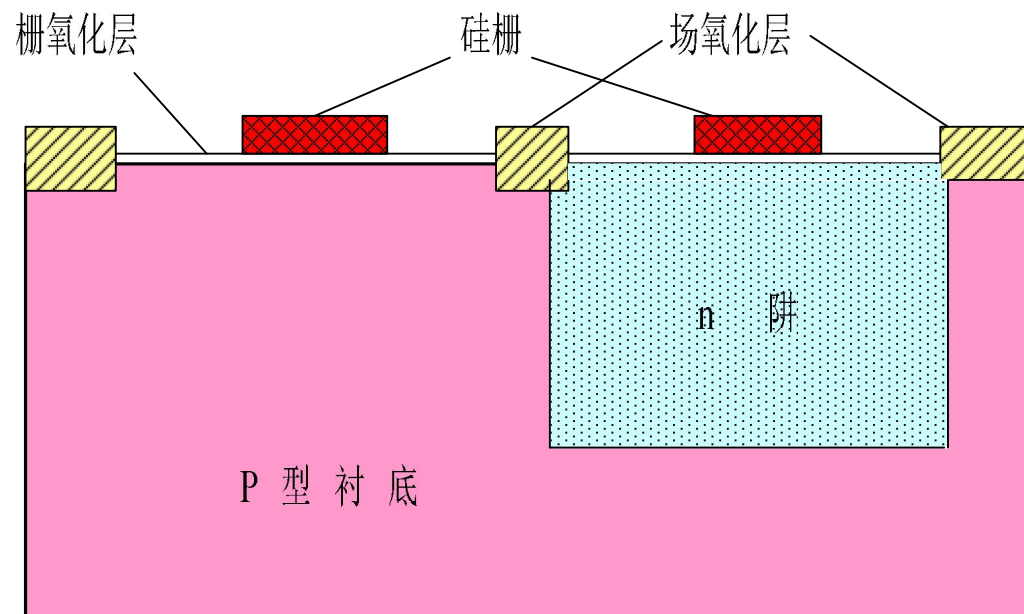
- 足够厚的场氧化层
- 场区注硼

4、制作硅栅

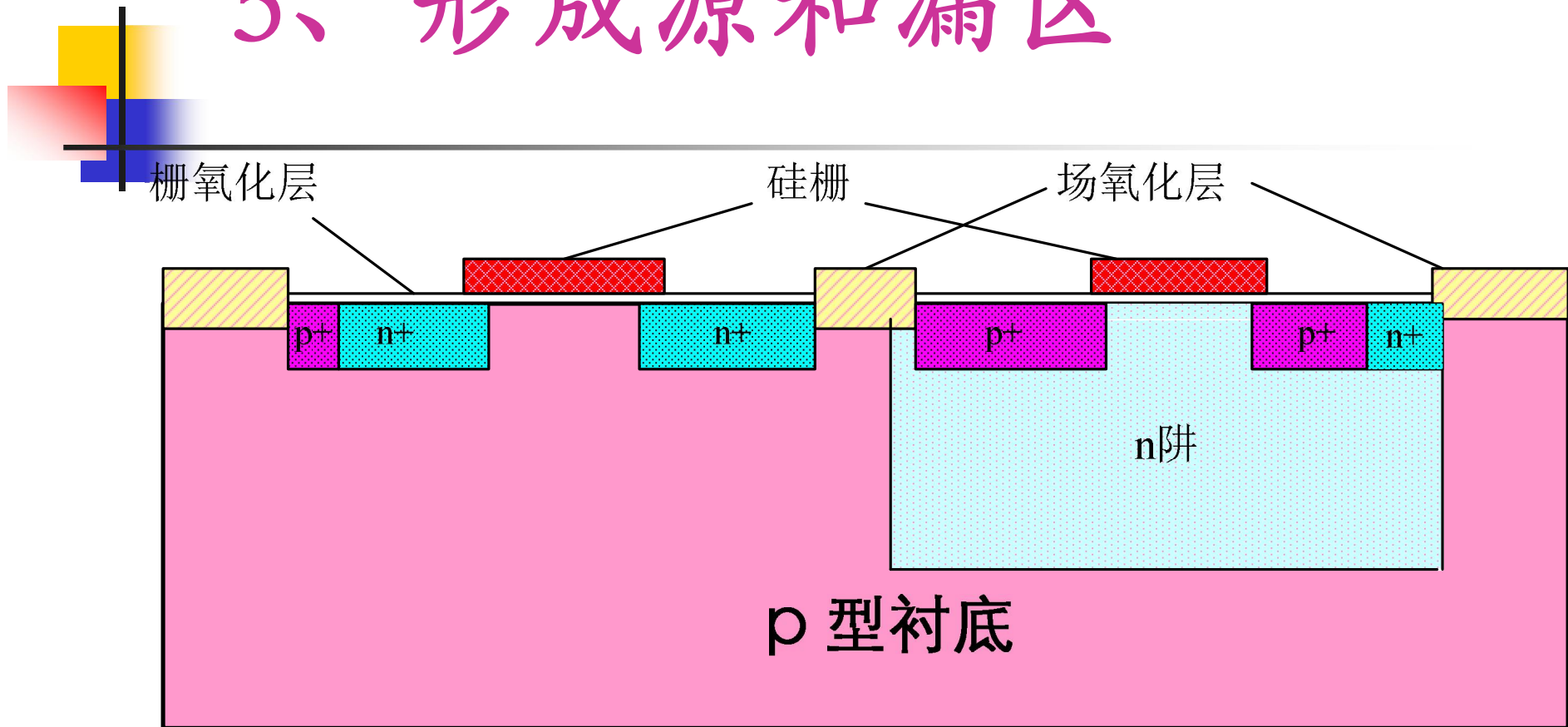
- 硅栅工艺实现了栅和源、漏区自对准

- 具体步骤:

- 生长缓冲层
- 沟道区注入
- 生长栅氧化层
- CVD工艺淀积多晶硅
- 多晶硅掺杂
- 光刻和刻蚀形成多晶硅栅的图形

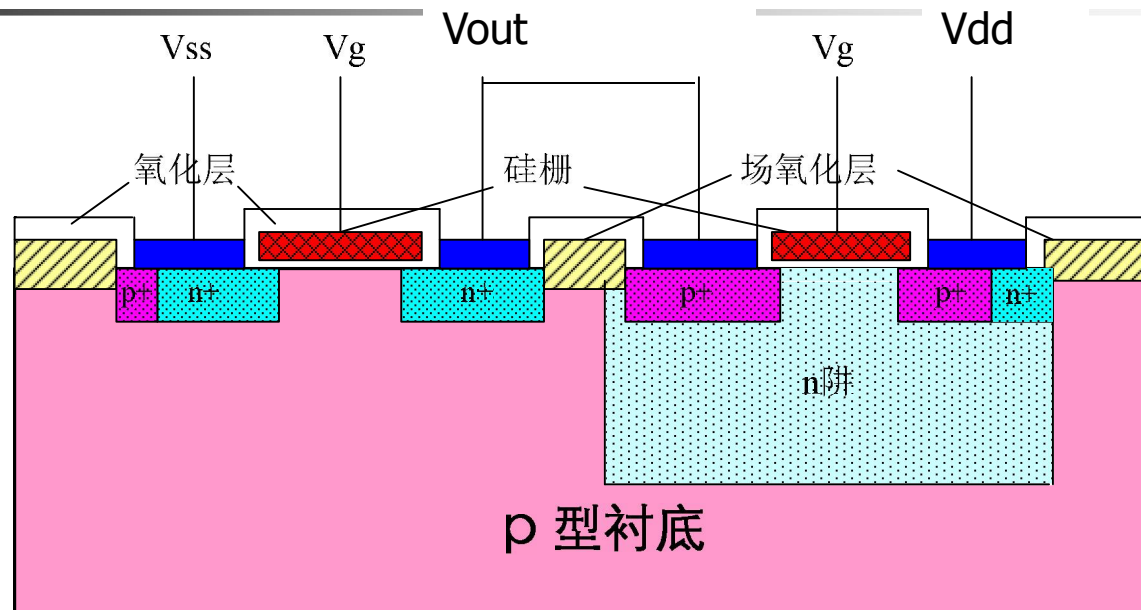


5、形成源和漏区

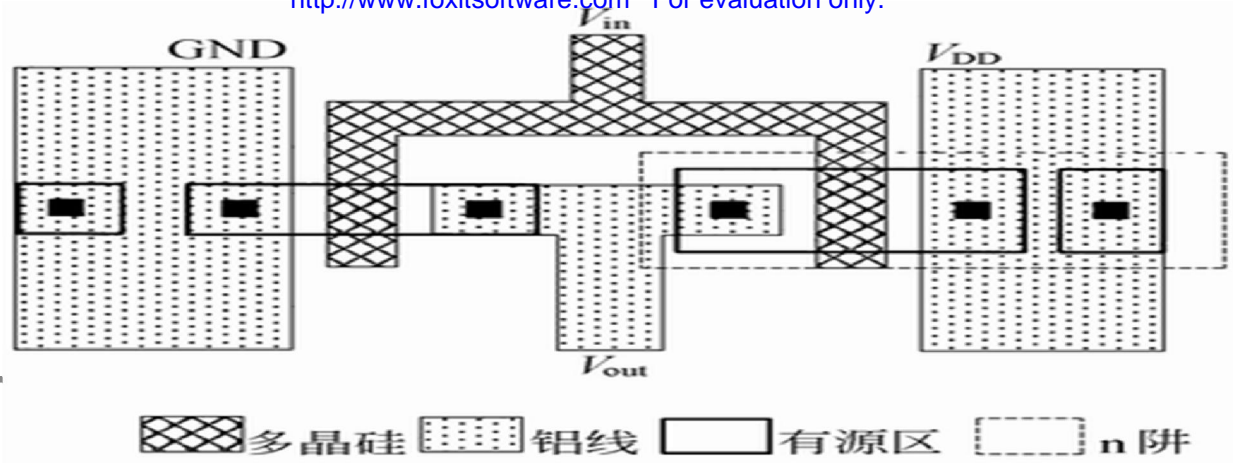
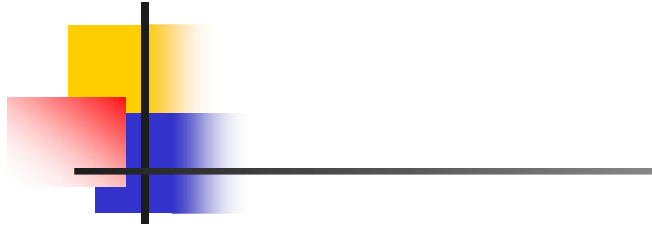


- 磷注入形成**n+**区 作为**NMOS**源、漏区和**n**阱引出区
- 硼注入，形成**PMOS**的源、漏区和**p**型衬底的欧姆接触区

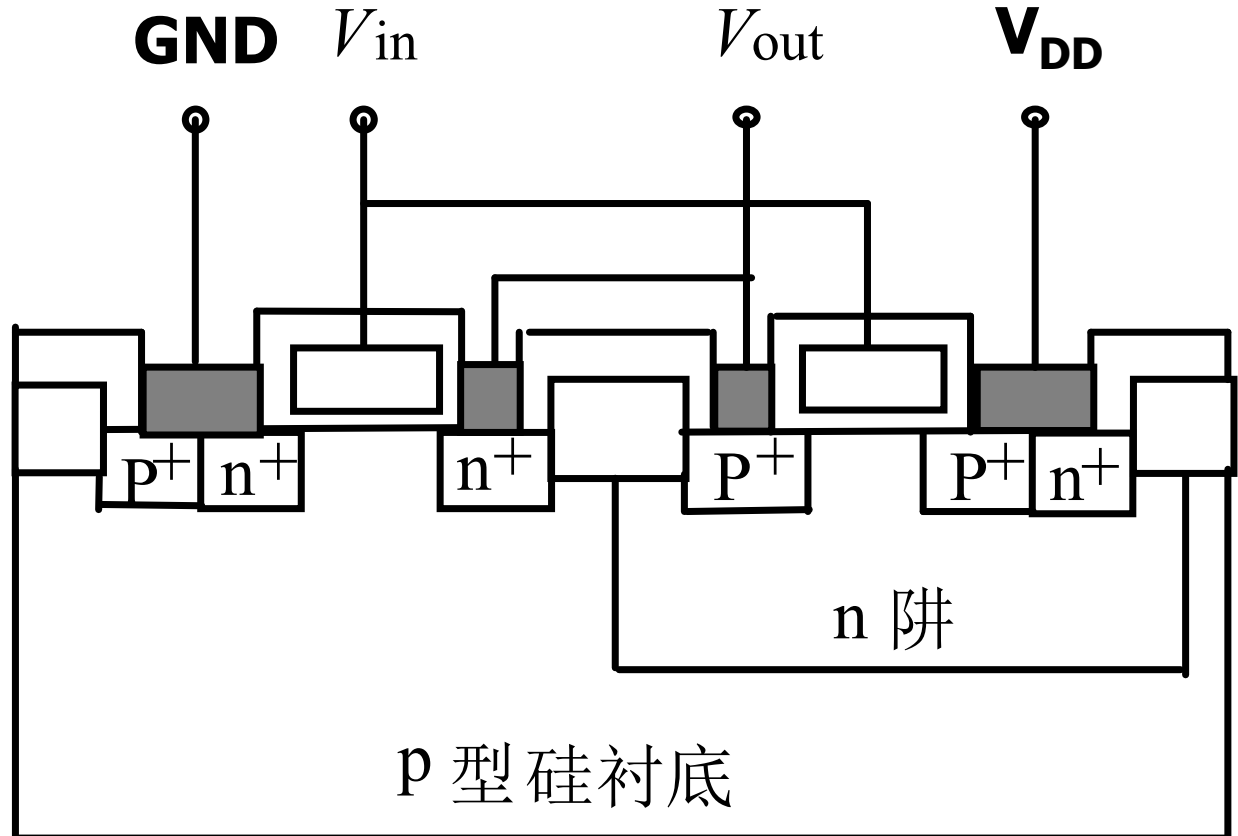
6、形成金属互连线



- 在整个硅片上淀积氧化层
- 通过光刻在氧化层上开出引线孔
- 在整个硅片上淀积金属层，如铝
- 光刻形成需要的金属互连线图形



n阱CMOS 剖面结构

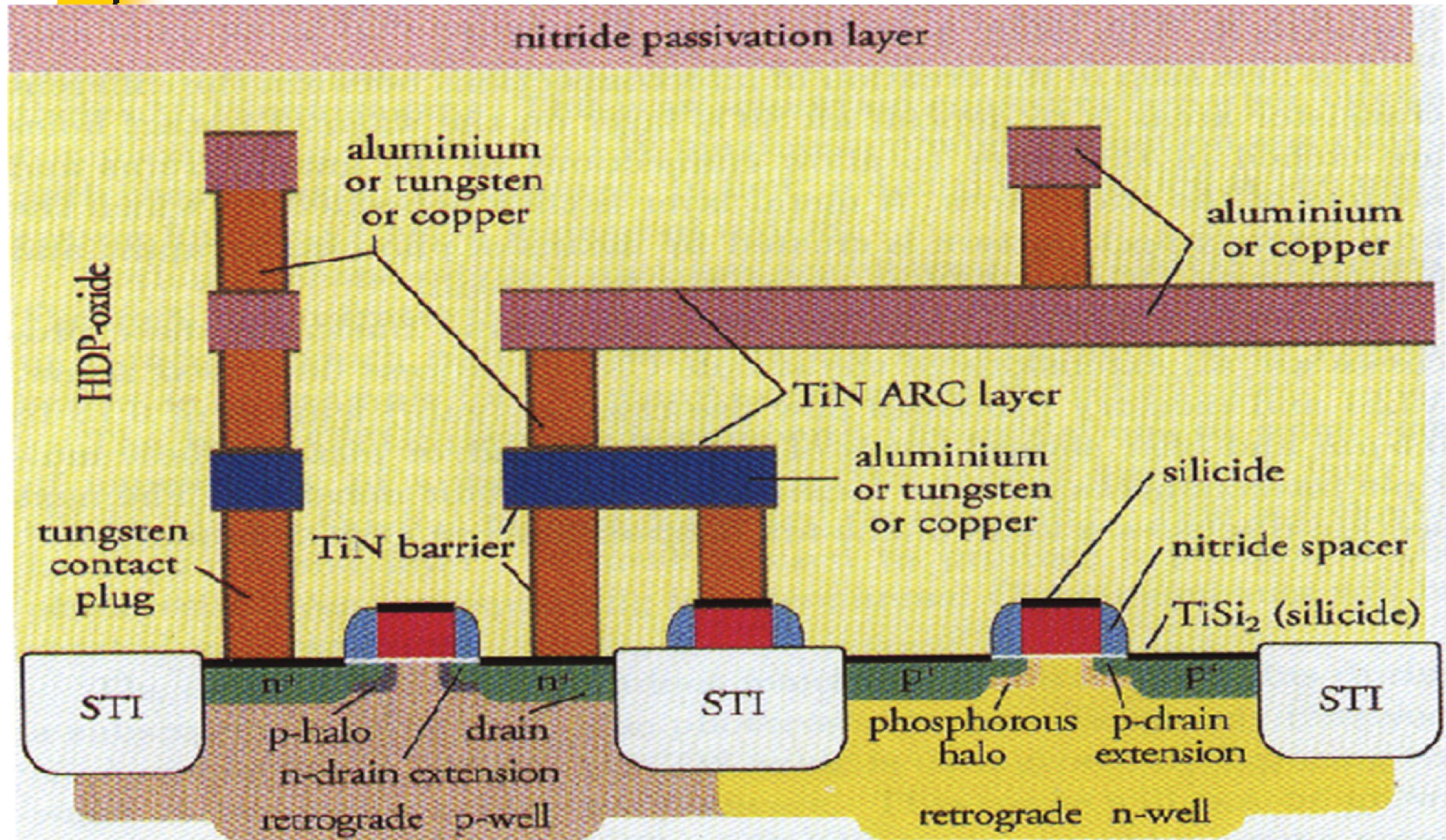




第二章 集成电路制作工艺

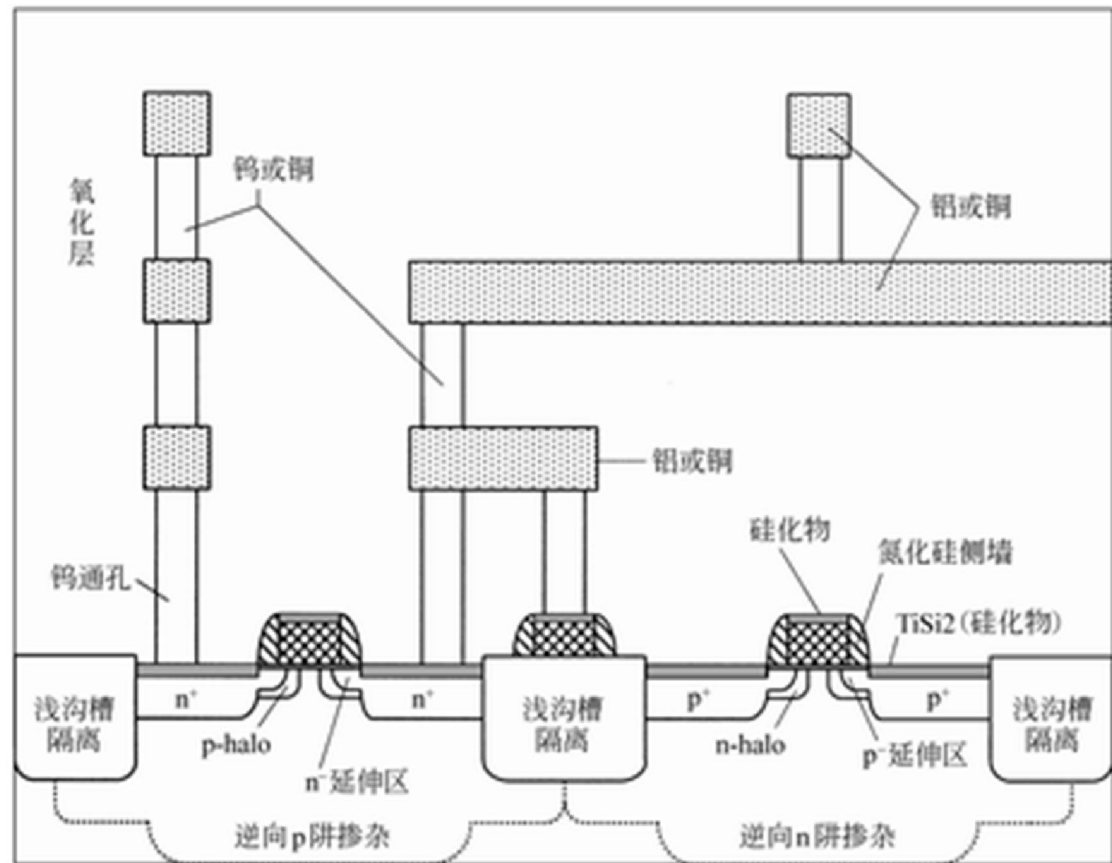
- **2.1.1 集成电路加工的基本操作**
- **2.1.2 MOS结构和分类**
- **2.2.1 N阱CMOS工艺**
- **2.2.2 深亚微米CMOS工艺**
- **2.3.1 CMOS IC中的寄生效应**
- **2.3.2 SOI工艺**
- **2.3.3 CMOS版图设计规则**

§ 2.2.2 深亚微米CMOS结构和工艺



深亚微米CMOS工艺的主要改进

- 浅沟槽隔离
- 双阱工艺
- 非均匀沟道掺杂
- n^+/p^+ 两种硅栅
- 极浅的源漏延伸区
- 硅化物自对准栅-源-漏结构
- 多层铜互连

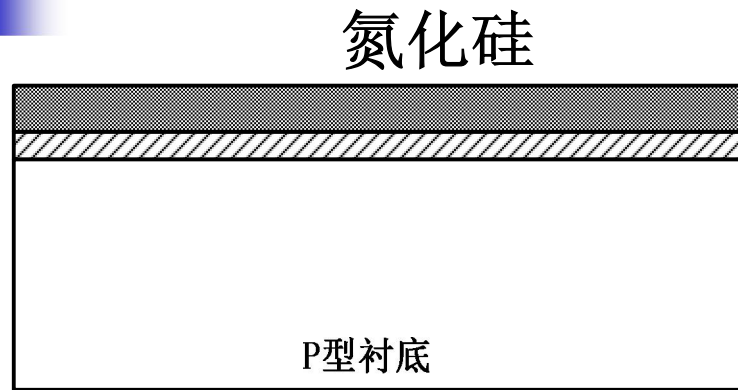




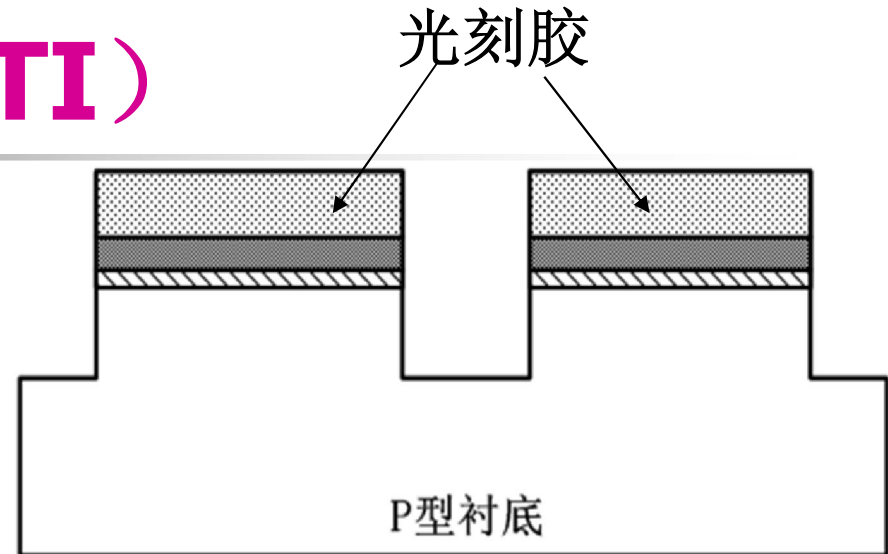
1、浅沟槽隔离

- 常规CMOS工艺中的LOCOS隔离的缺点
 - 表面有较大的不平整度
 - 鸟嘴使实际有源区面积减小
 - 高温氧化热应力也会对硅片造成损伤和变形
- 浅沟槽隔离的优势
 - 占用的面积小，有利于提高集成密度
 - 不会形成鸟嘴
 - 用CVD淀积绝缘层从而减少了高温过程

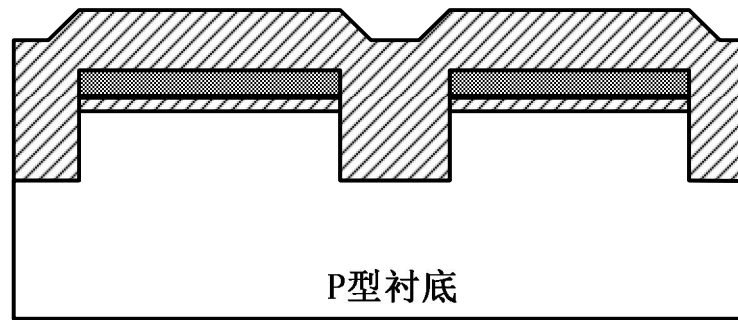
浅沟槽隔离 (STI)



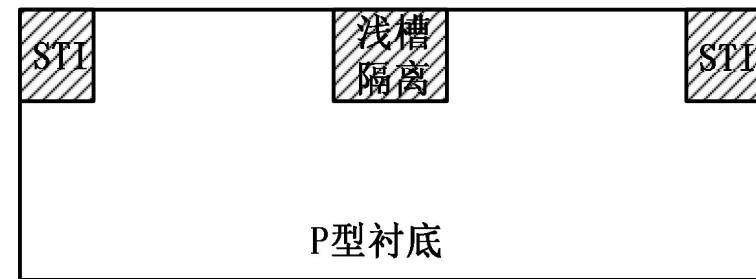
(a)



(b)

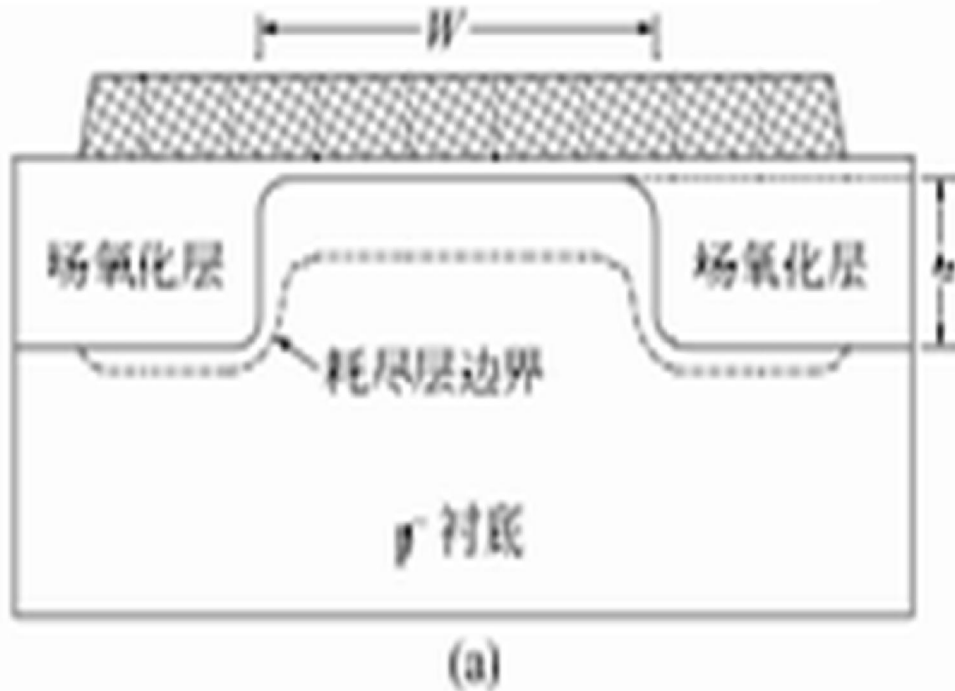
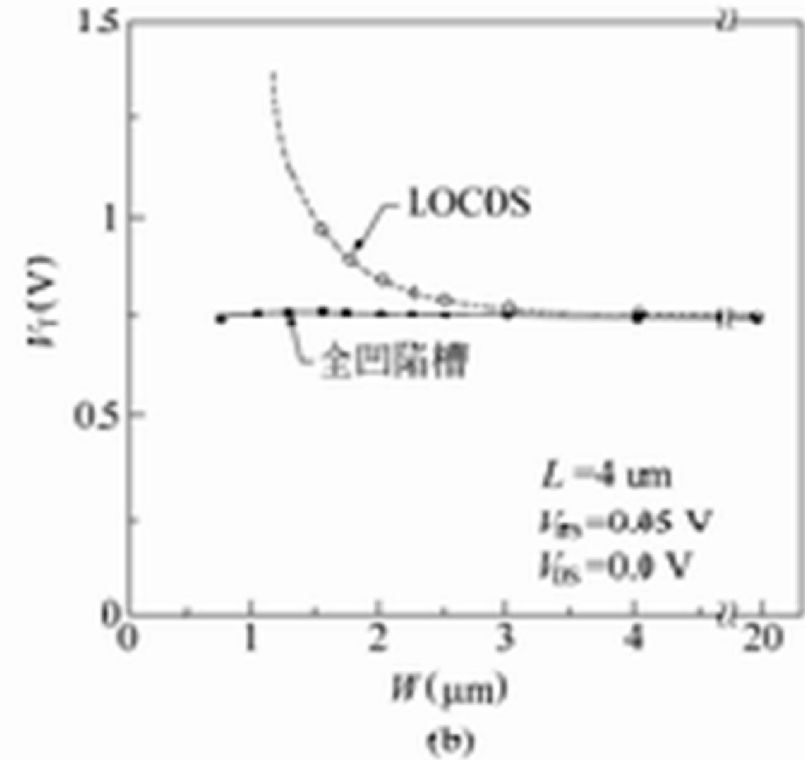


(c)



(d)

STI抑制 窄沟效应



2、外延双阱工艺

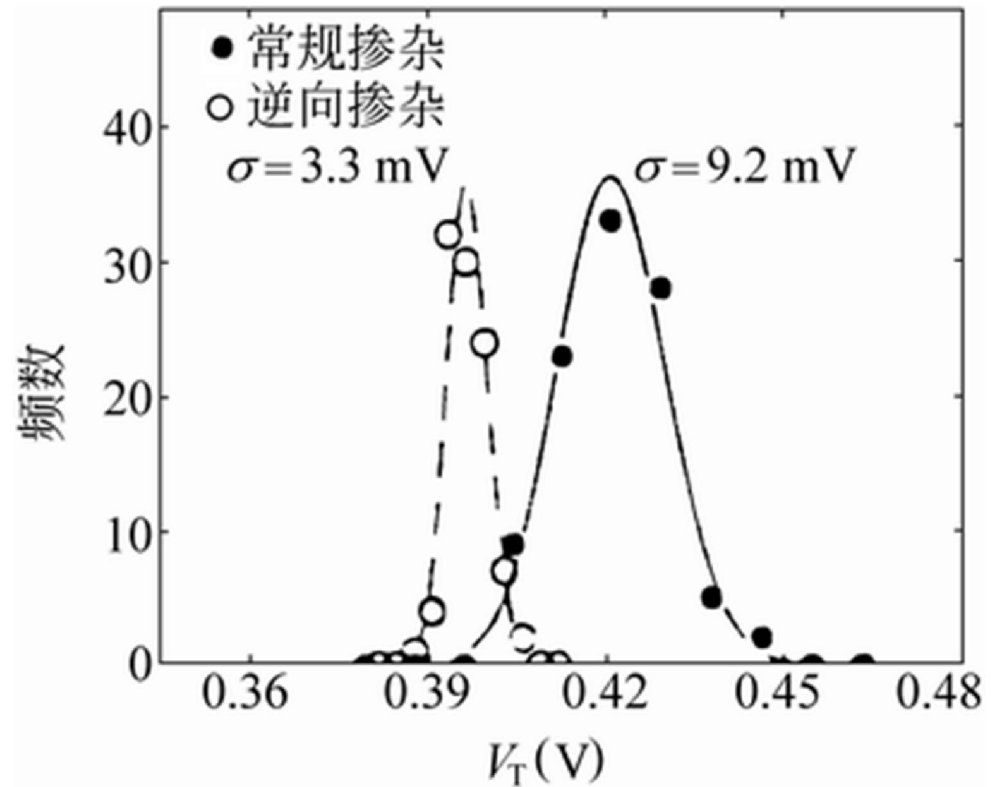
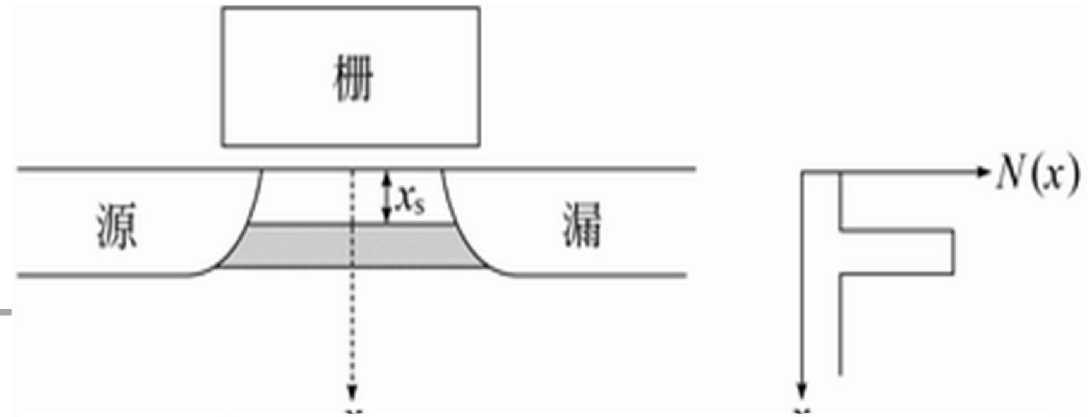
- 常规单阱**CMOS**工艺，阱区浓度较高，使阱内的器件有较大的衬偏系数和源、漏区**pn**结电容
- 采用外延双阱工艺的好处
 - 由于外延层电阻率很高，可以分别根据NMOS和PMOS性能优化要求选择适当的n阱和p阱浓度
 - 做在阱内的器件可以减少受到 α 粒子辐射的影响
 - 外延衬底有助于抑制体硅CMOS中的寄生闩锁效应

3 沟道区的逆向掺杂和环绕掺杂结构

- 沟道掺杂原子数的随机涨落引起器件阈值电压参数起伏，因此希望沟道表面低掺杂；体内需要高掺杂抑制穿通电流
- 逆向掺杂技术利用纵向非均匀衬底掺杂，抑制短沟穿通电流
- 环绕掺杂技术利用横向非均匀掺杂，在源漏区形成局部高掺杂区

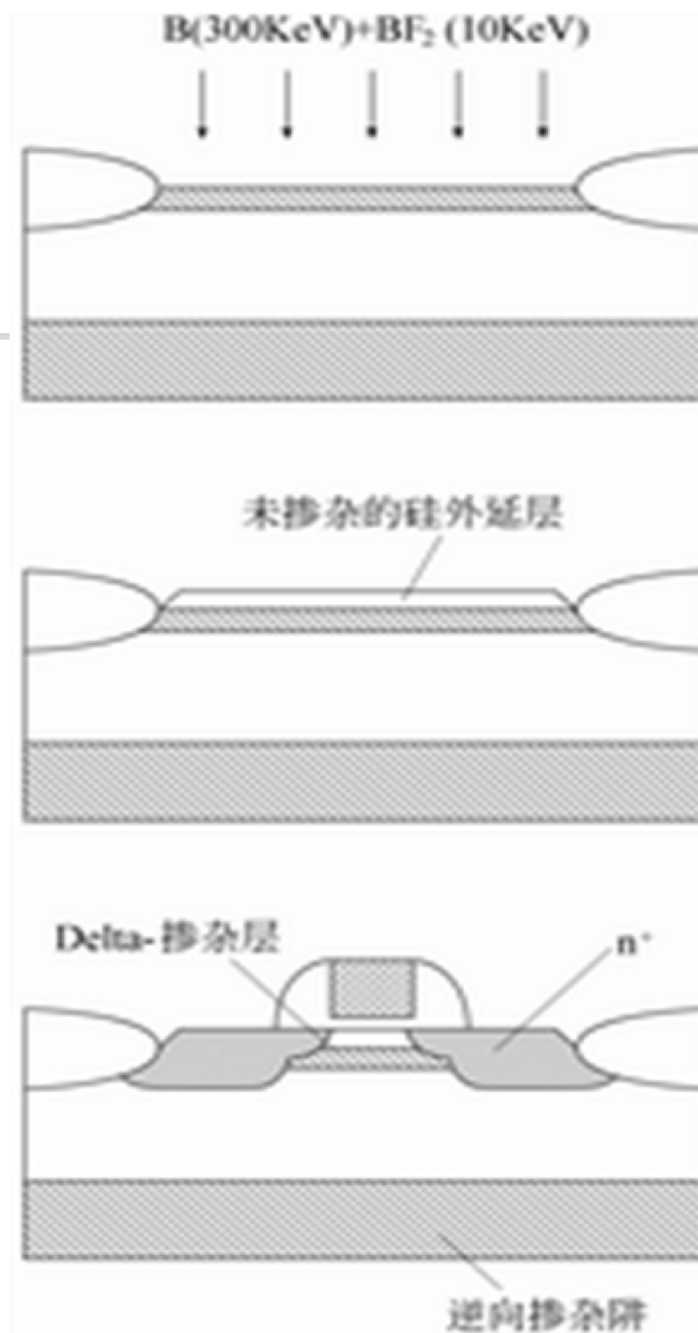
逆向掺杂

- 逆向掺杂杂质分布
- **0.25um**工艺**100**个**NMOS**器件阈值电压统计结果
- 器件阈值分布的标准差减小

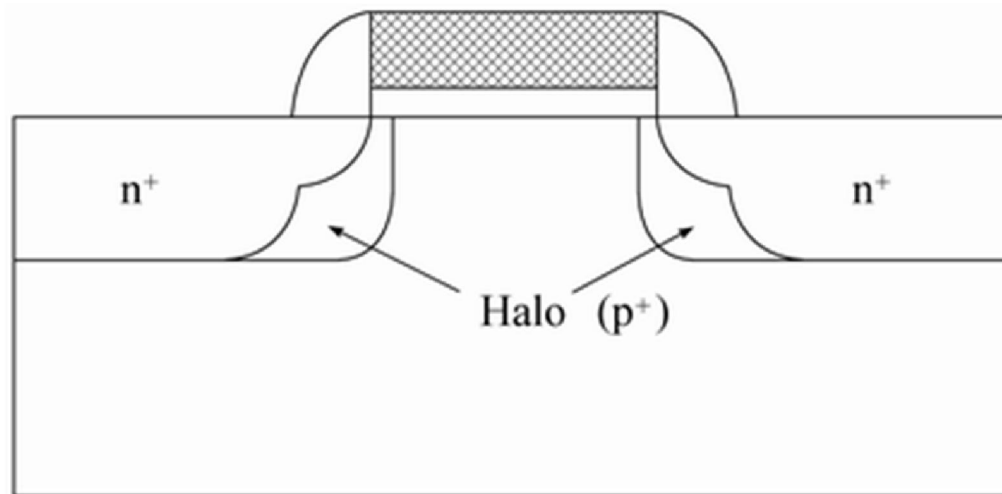


逆向掺杂：Delta沟道技术

- **PMOS**沟道区**As**离子注入
- **NMOS**注硼，硼的氧化增强扩散效应影响杂质分布
- **Delta**沟道技术可以获得较陡峭的纵向低—高掺杂分布

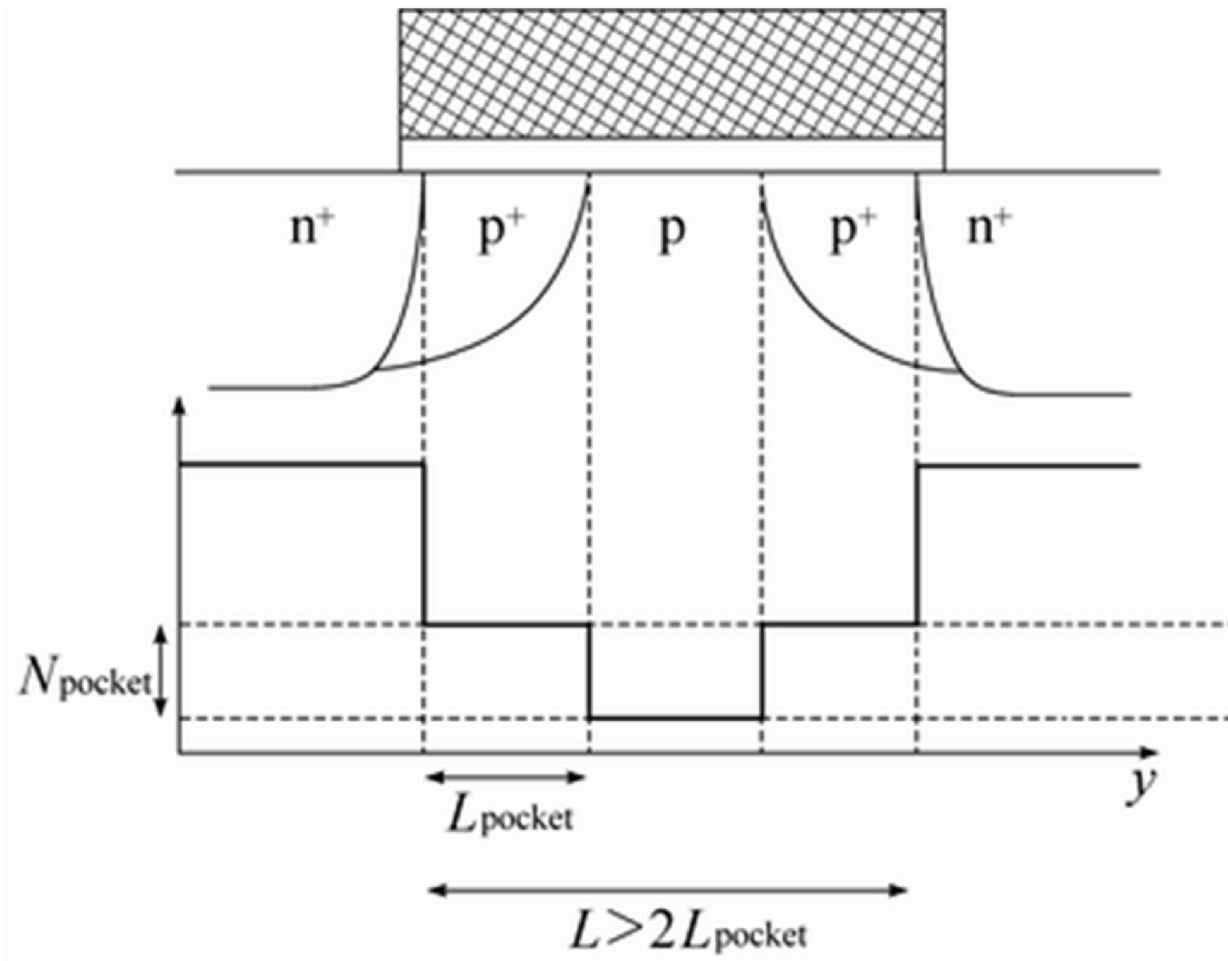


横向沟道工程：HALO掺杂结构



- 横向高掺杂区可以抑制源漏pn结耗尽区向沟道内的扩展，减小短沟效应
- Halo结构可以利用大角度注入实现

横向沟道工程: **POCKET**掺杂结构

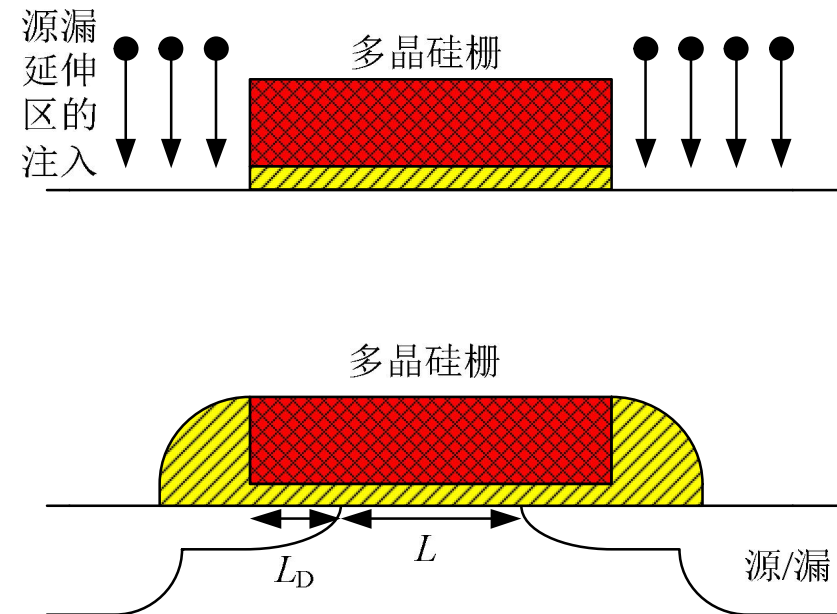


4、n+、p+两种硅栅

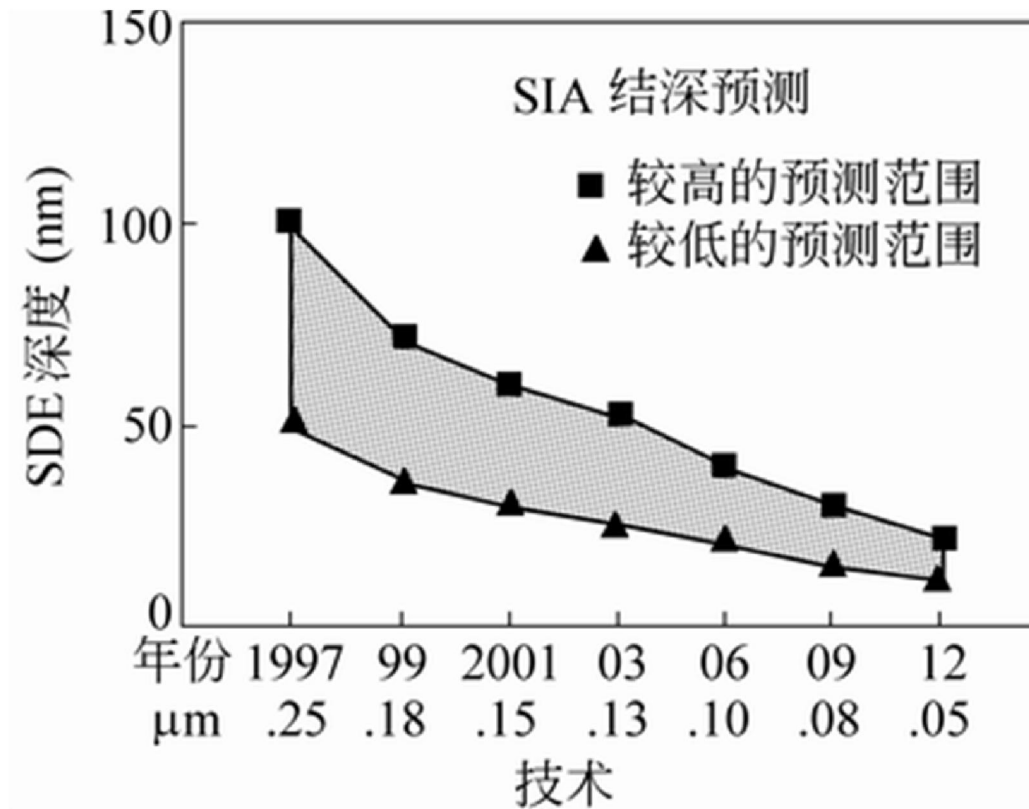
- 在**CMOS**电路中希望**NMOS**和**PMOS**的性能对称，这样有利于获得最佳电路性能
- 使**NMOS**和**PMOS**性能对称很重要的一点是使它们的**阈值电压绝对值基本相同**
- 在同样条件下，如果**NMOS**和**PMOS**都选用**n+**硅栅，则**PMOS**的负阈值电压绝对值要比**NMOS**的阈值电压大很多
- **PMOS**采用**p+**硅栅减小其阈值电压的绝对值，从而获得和**NMOS**采用**n+**硅栅对称的性能

5、SDE结构

- 减小源漏区结深有利于抑制短沟效应。
- 问题：简单地减小源、漏区结深将使源、漏区寄生电阻增大造成MOS晶体管性能退化！
- 解决办法：使用SDE结构，在沟道两端形成极浅的源、漏延伸区。

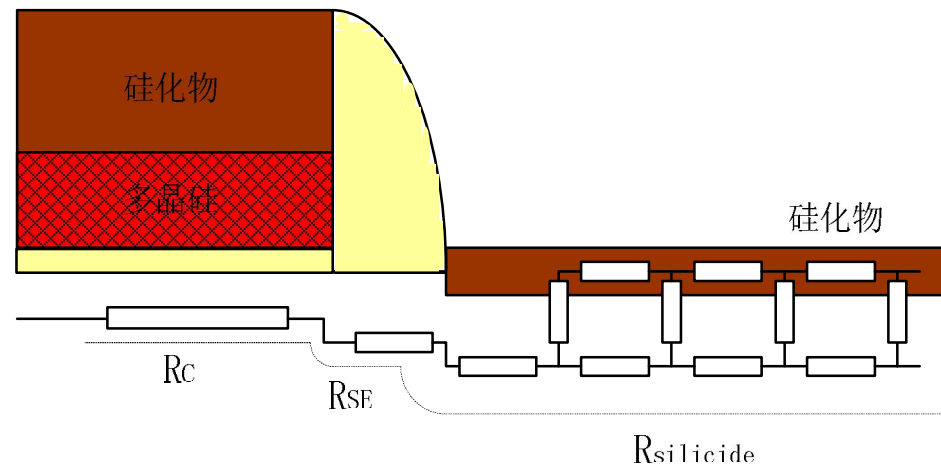


SDE结深减小趋势



6、硅化物自对准结构

- 在栅极两侧形成一定厚度的氧化硅或氮化硅侧墙，然后淀积难熔金属并和硅反应形成硅化物
- **作用：**减小多晶硅线和源、漏区的寄生电阻；减小金属连线与源、漏区引线孔的接触电阻

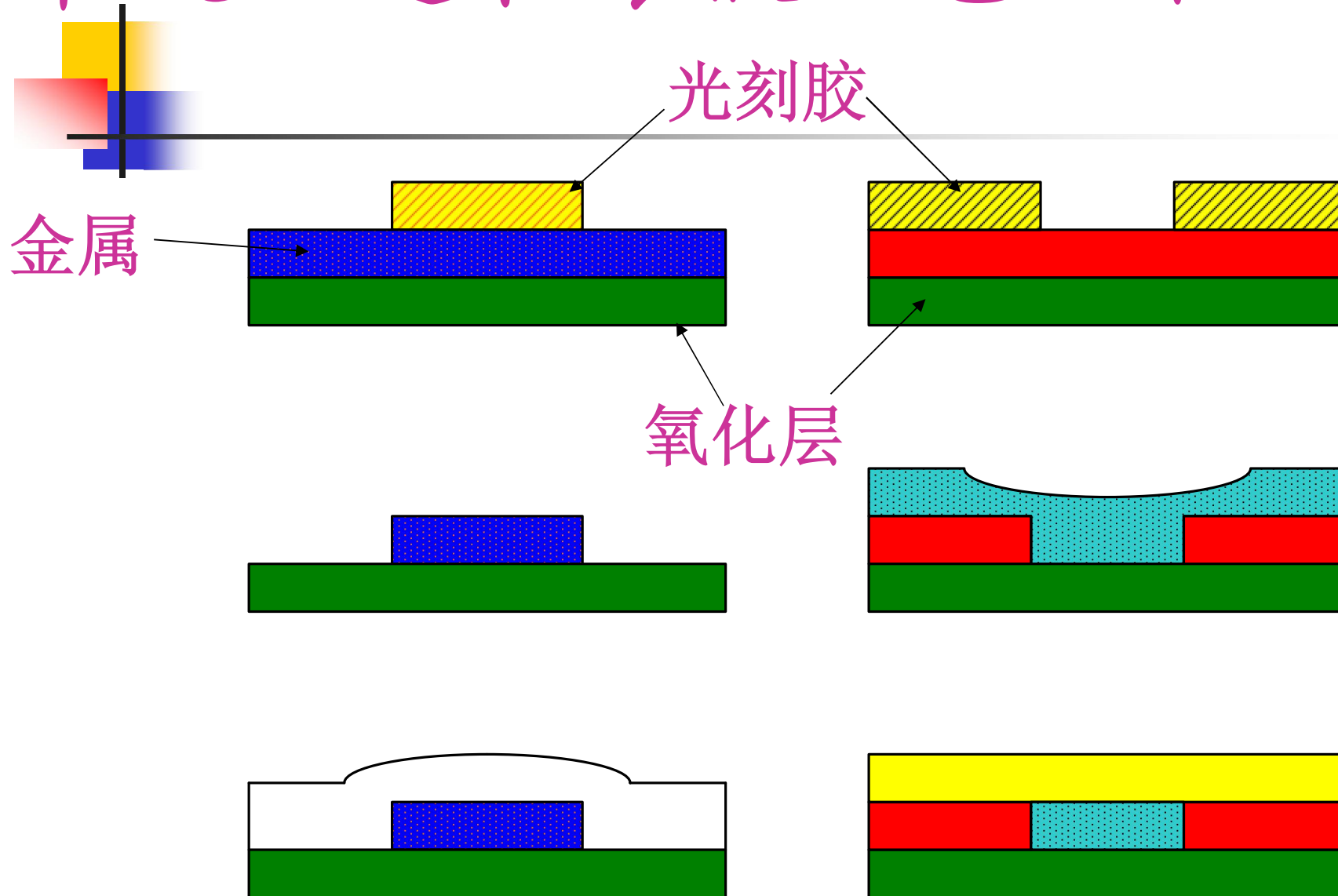


硅化物同时淀积在栅电极上和暴露的源、漏区上，因此是自对准结构

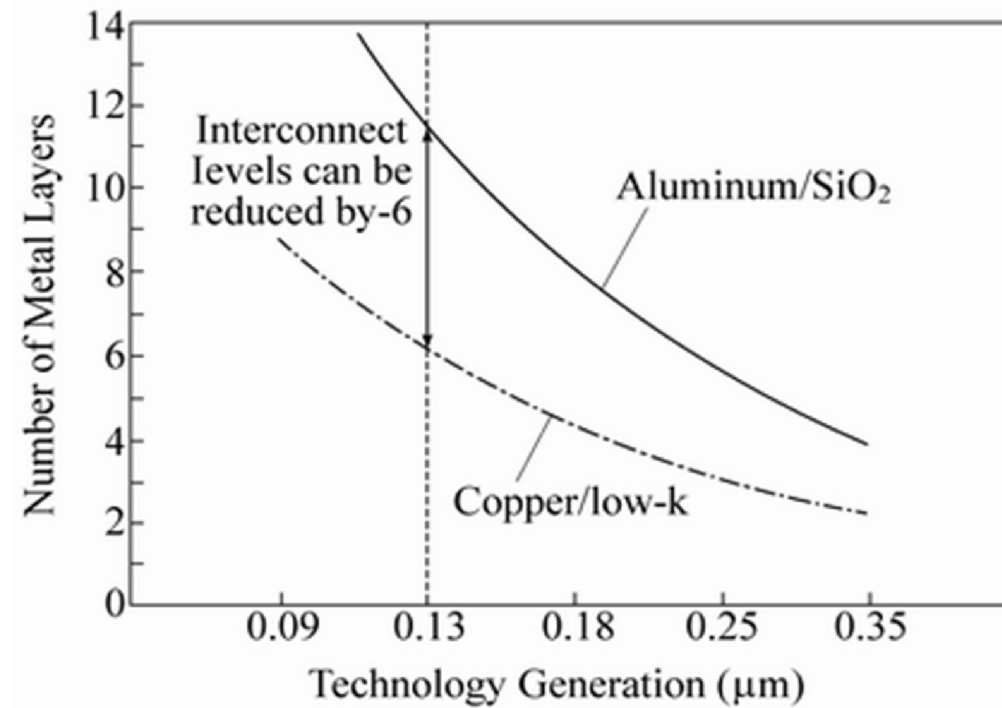
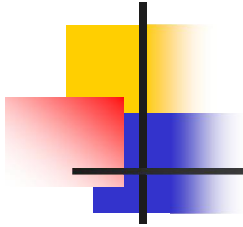
7、铜互连

- 铜比铝的电阻率低40%左右。用铜互连代替铝互连可以显著减小互连线的寄生电阻从而减小互连线的RC延迟
- 铜易于扩散到硅中，会影响器件性能；铜还会对加工设备造成污染，因此铜互连不能用常规的淀积和干法刻蚀方法形成
- **铜互连技术特点：**
 - 显著减小互连线的寄生电阻
 - 与低k介质材料结合减小寄生电容，提高电路性能
 - 需要特殊的工艺技术：“镶嵌”（大马士革）技术和化学机械抛光技术

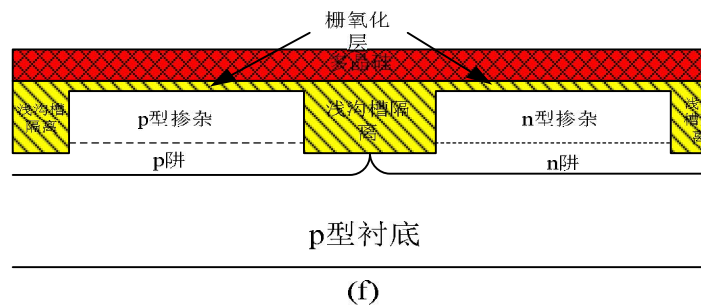
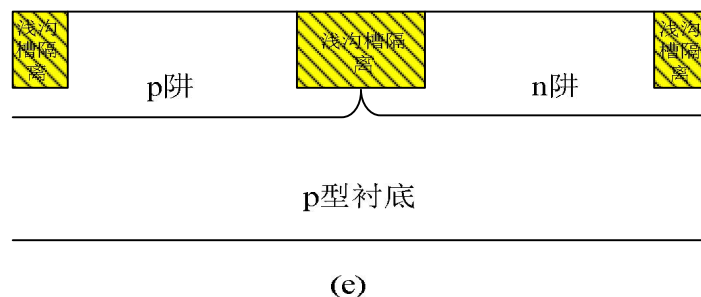
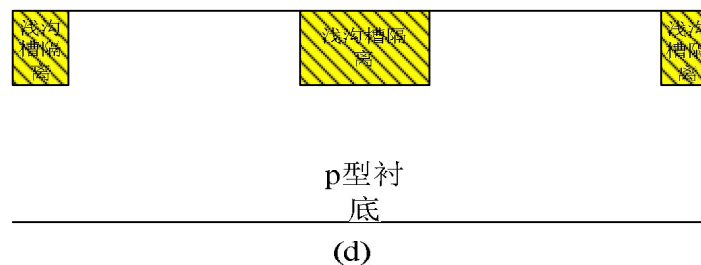
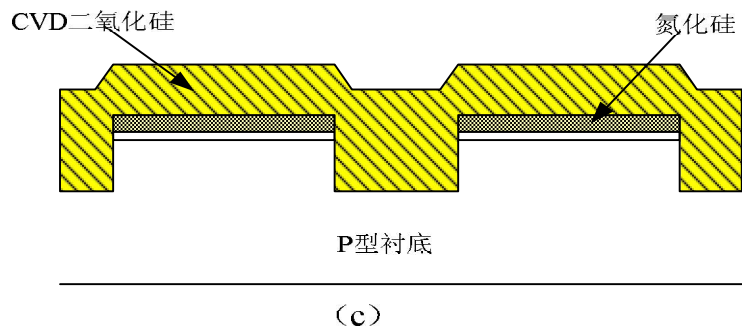
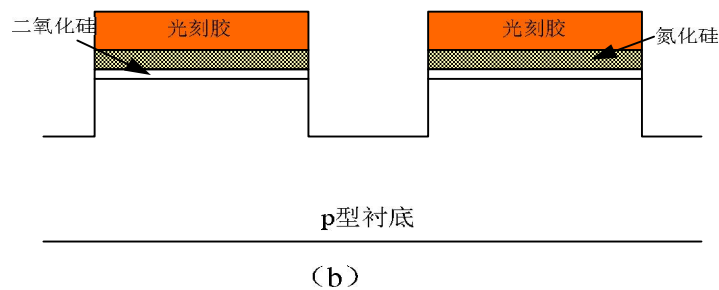
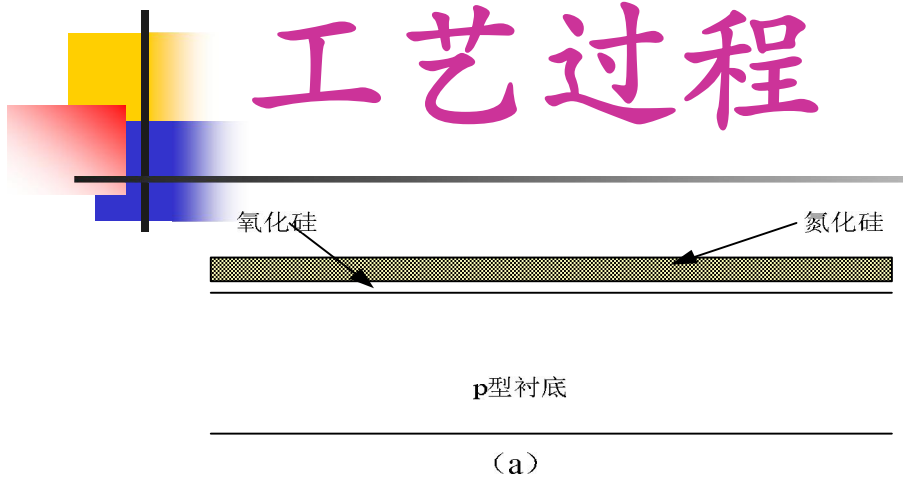
常规互连和镶嵌工艺比较



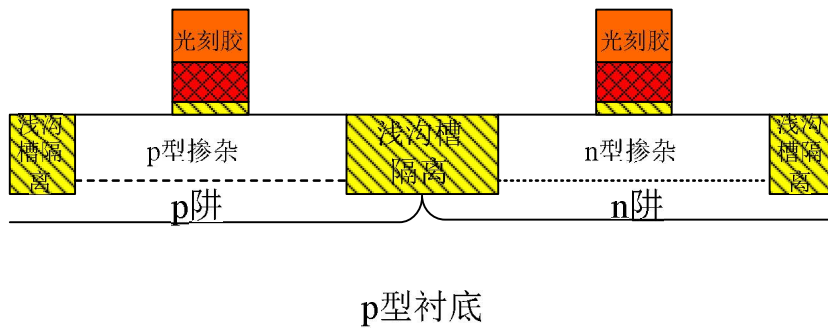
采用铜互连可以减少连线层数



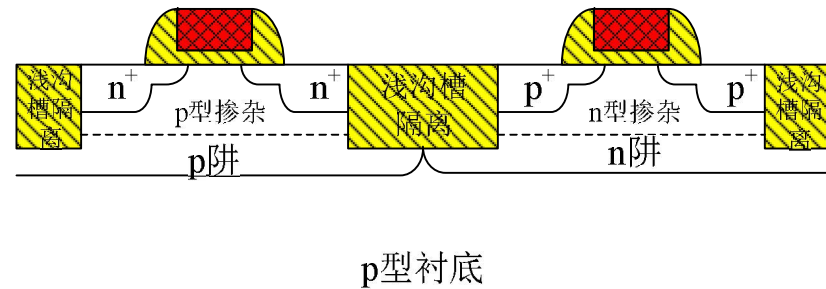
先进深亚微米CMOS 工艺过程



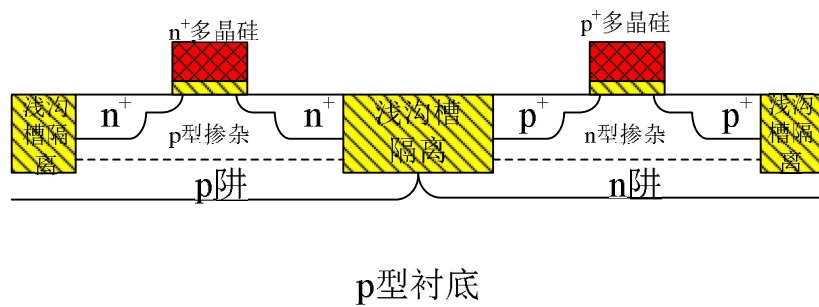
先进深亚微米CMOS工 艺过程（续）



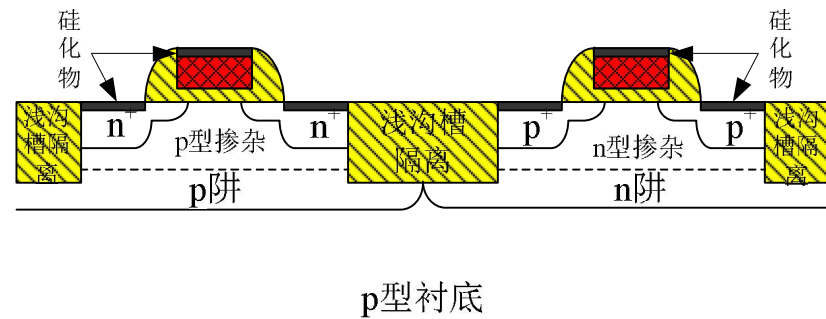
(g)



(i)



(h)



(j)

90nm CMOS技术平台的主要指标

参数	一般器件		低功耗器件	
	低阈值	常规阈值	低阈值	常规阈值
电源电压VDD (V)	1.0	1.0	1.2	1.2
L_G	≤ 70		≤ 90	
T_{ox} (nm)	1.6		2.1	
NMOS I_{on} ($\mu A/\mu m$)	640	520	540	415
NMOS I_{off} (nA/ μm)	10	1	0.4	0.01
NMOS J_G (A/cm^2)	2		0.005	
PMOS I_{on} ($\mu A/\mu m$)	280	215	250	170
PMOS I_{off} (nA/ μm)	10	1	0.4	0.01
PMOS J_G (A/cm^2)	1		0.002	