



集成电路设计实习 VLSI Design Labs

## 综合实验：模拟集成电路

两级运放的设计

## 实验目的及时间安排

---

- 掌握CMOS模拟集成电路的设计方法：
  - 原理图输入、电路分析、参数优化
- 完成对应设计的版图：
  - 对称、隔离
  - DRC、LVS
  - 后仿真
- 设计Padframe，并完成互连（选做）
  
- 设计时间：8次课＋若干机时

## 应完成的实验内容

---

- 可选做两级运放或其它电路
- 电路设计
- 版图设计与验证
- 前仿与后仿数据
- 封装与测试安排（与助教沟通）
- 实验报告
- 实验陈述ppt
  
- MPW流片申请（自愿）
- 芯片测试与分析报告（流片的同学必须完成）

# 实验分组

---

- 两级运放：
  - 必须独立完成
  
- 其它电路：
  - 鼓励独立完成，也可以2人一组完成设计
  - 若2人合作，分工必须明确
  - 期末的Presentation与实验报告中，应明确各自完成的实验内容

## 实验内容：主选项

---

- 设计内容：两级运算放大器
- 设计指标：
  - 差分输入，单端输出
  - $C_L=15\text{pF}$ ,  $R_L=100\text{K}$
  - $V_{DDA}=5\text{V}$
  - $\text{GBW}>30\text{MHz}$
  - $A_{v0}>90\text{dB}$
  - $\text{PM}>65$
  - 输入摆幅大于 $3\text{V}$ ，输出摆幅尽量大

## 两级运放

---

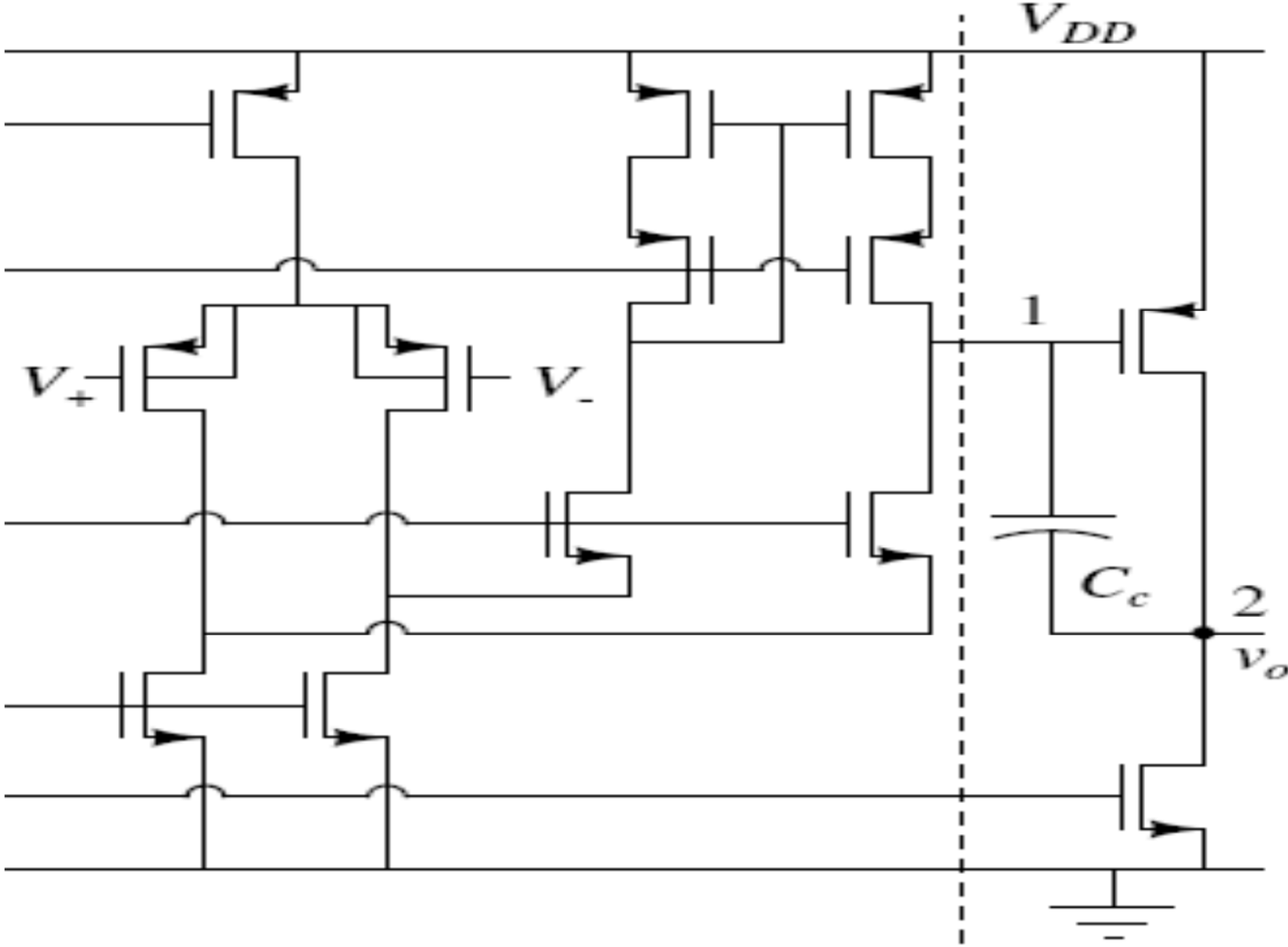
- 只要能满足设计指标，可自由选择电路结构
- 推荐结构：
  - 第一级：折叠共源共栅，PMOS差分输入
  - 第二级：PMOS共源放大
  - 补偿：Miller电容+消除零点的电阻
- 要求：
  - 功耗、面积合理
  - 版图美观
  - 流入10uA电流作为运放的参考电流，偏置电路自行设计

## 实验内容：其它选项

---

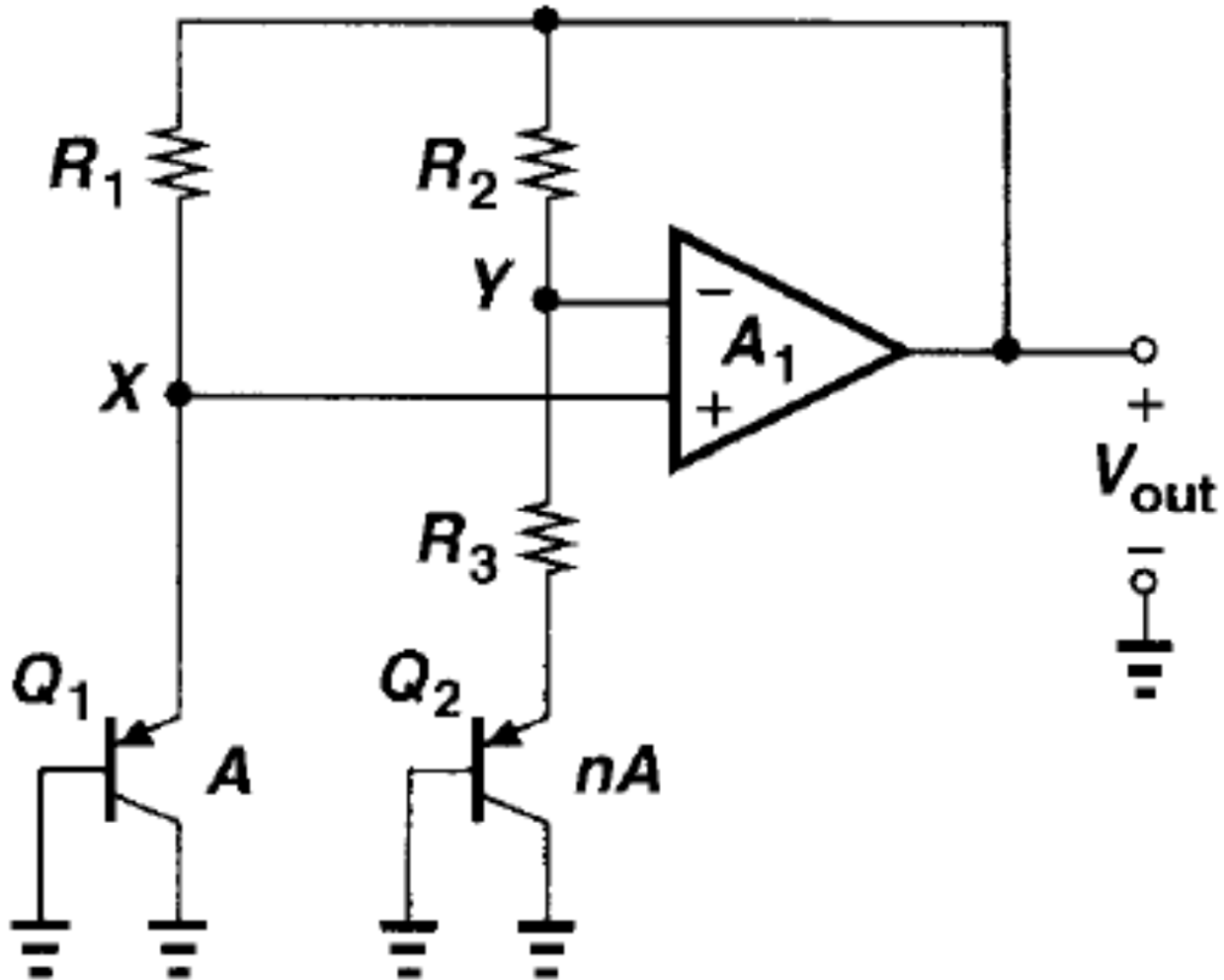
- Rail-to-rail op amp
  - Class AB
- Bandgap Reference
  - Low Power < 10uW
- Active RC Filter
  - 2-order or higher, LP
- SC circuit
  - SC amplifiers or SC integrators
  - SC  $\times 2$  circuits
- Oscillator
- AD/DA
- 欢迎选做上述电路模块，设计时请参考模拟集成电路的教材与讲义

# 两级运放

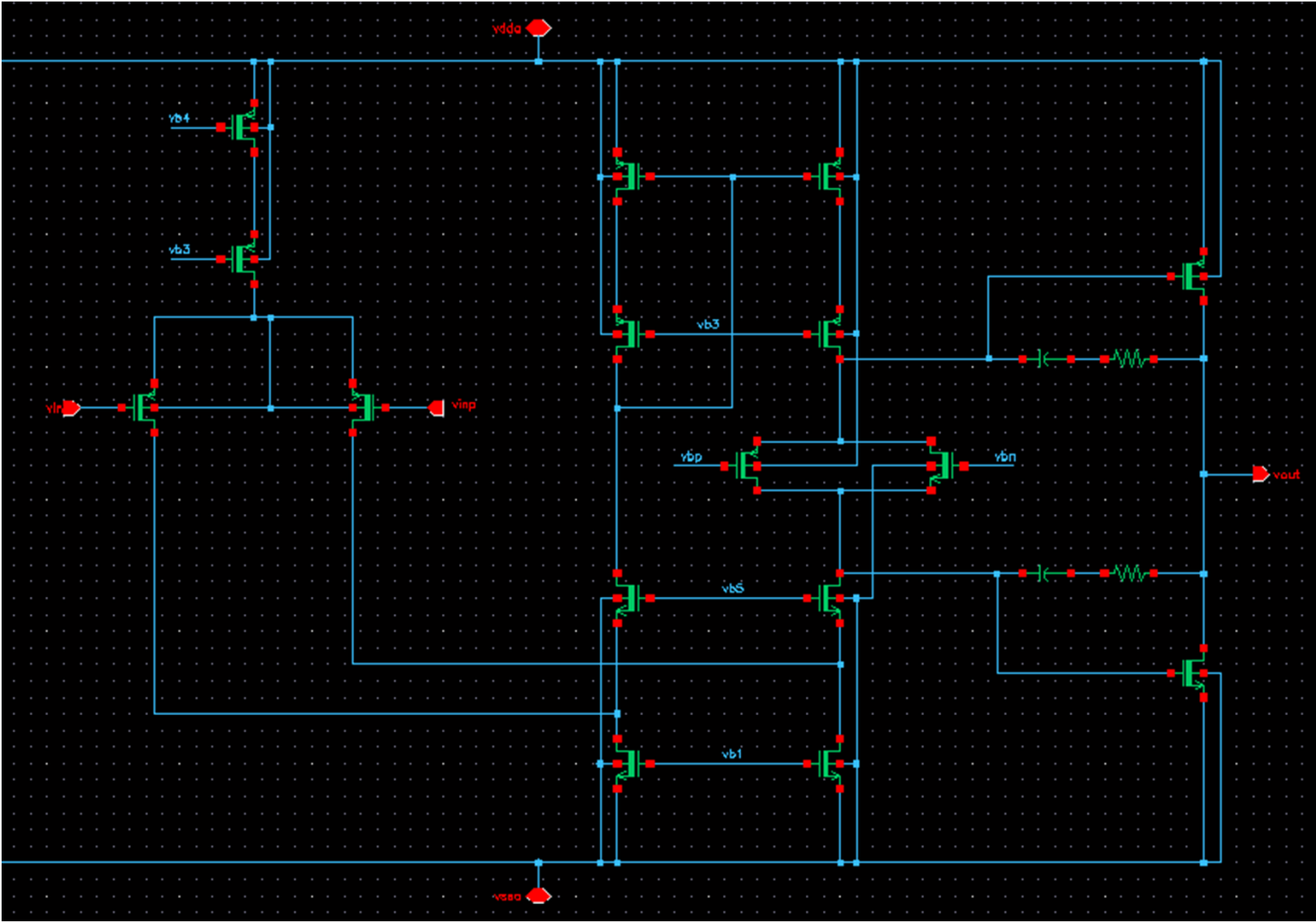




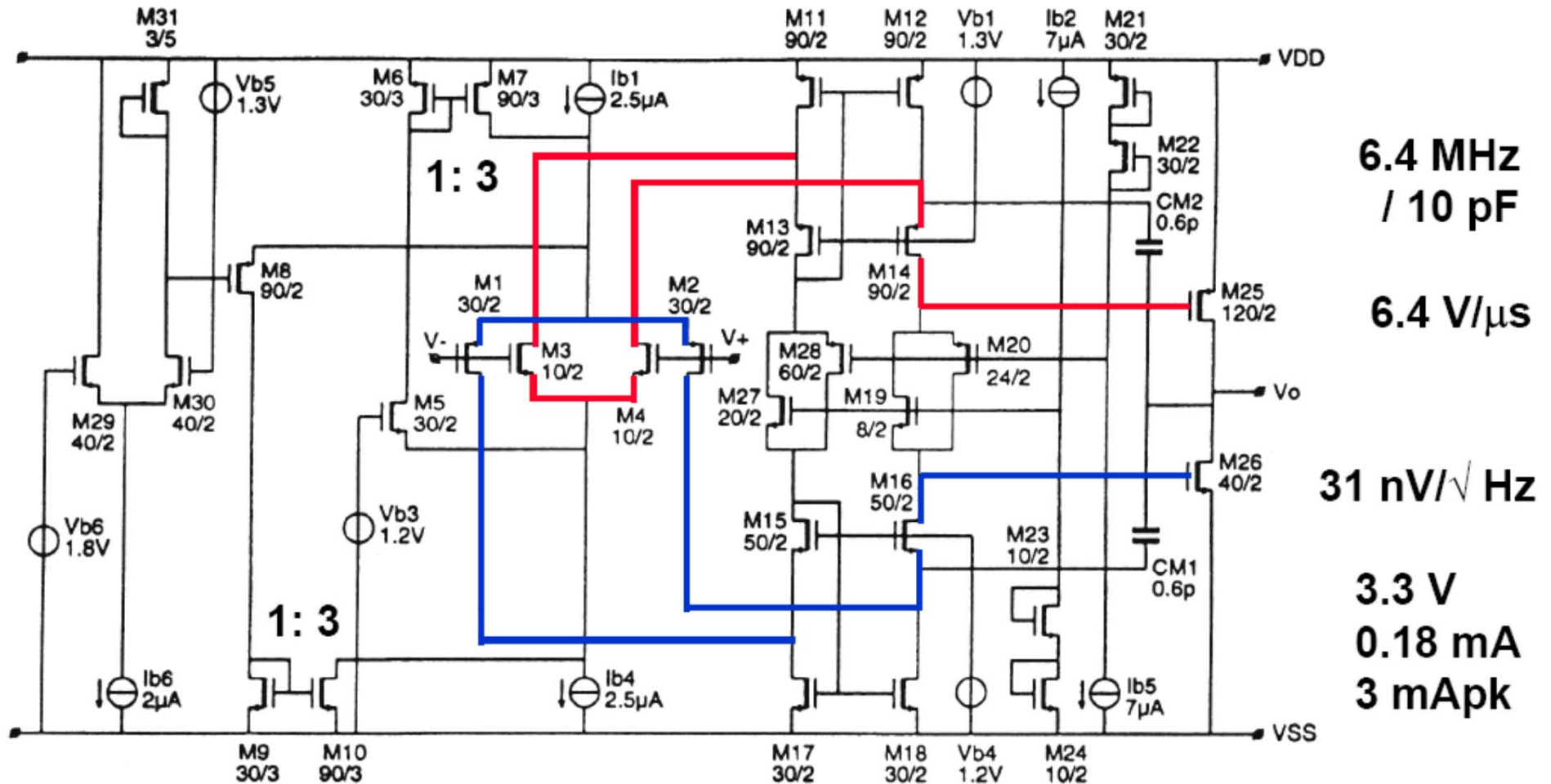
# Bandgap



# Class AB运放

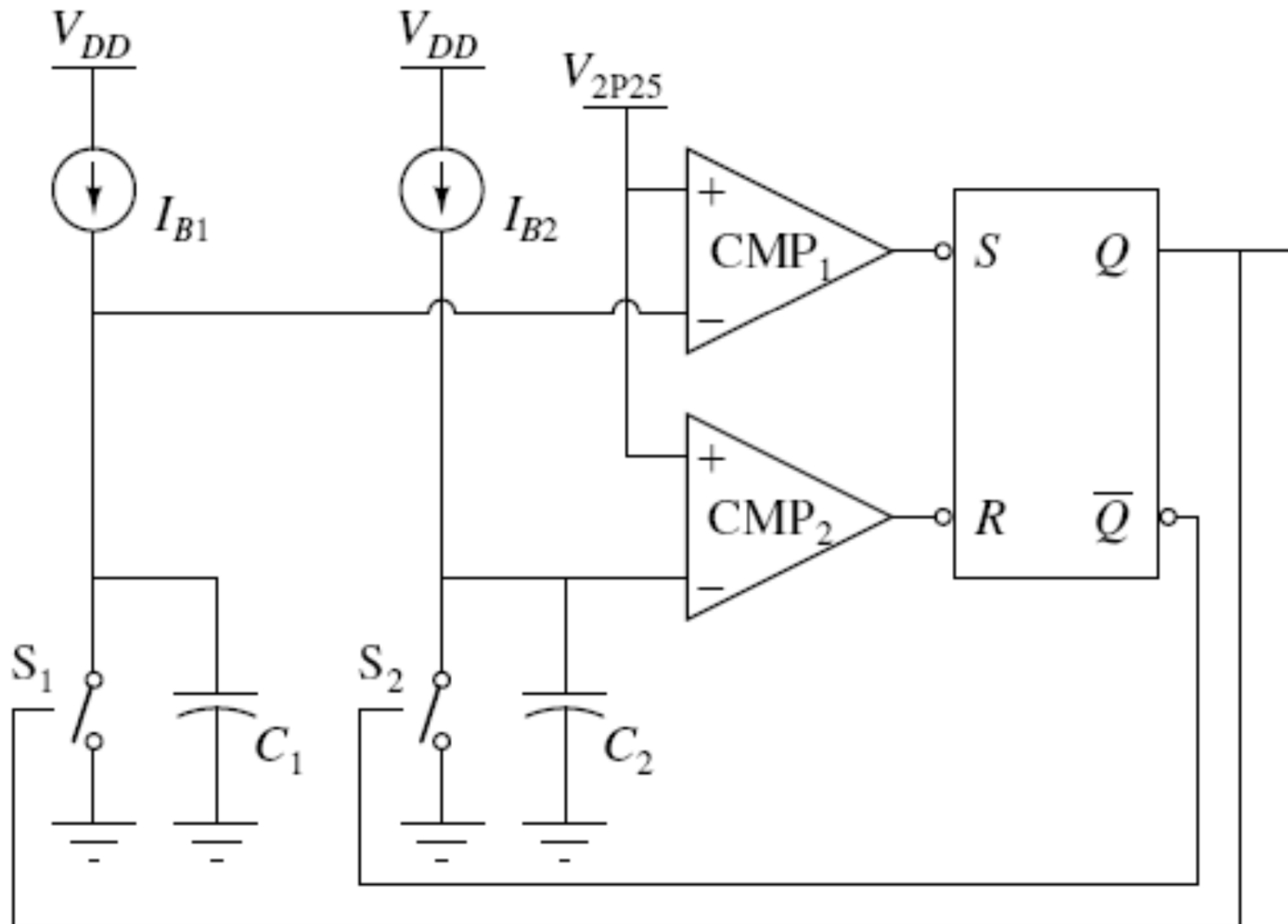


# Rail-to-Rail op

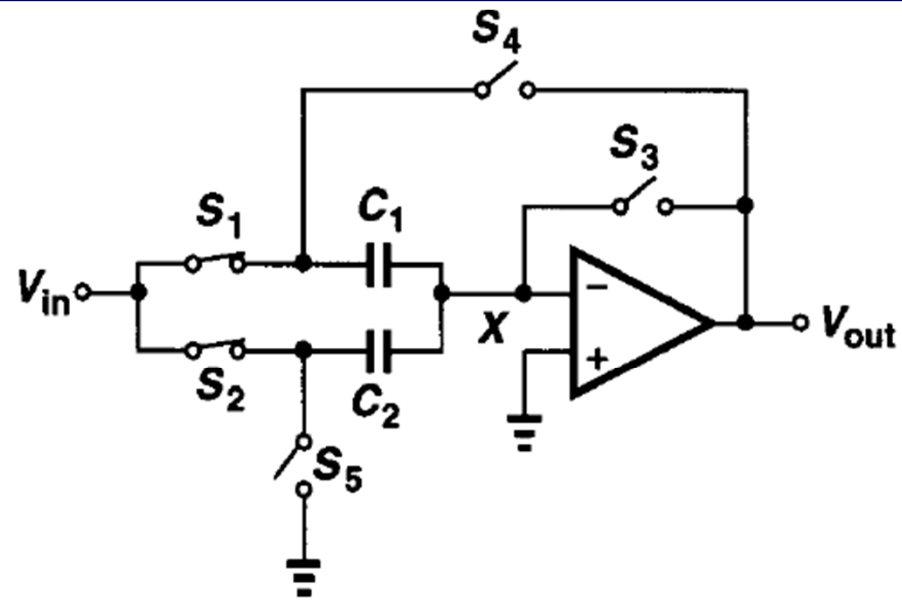


Ref.Hogervorst, JSSC Dec.1994, 1505-1512

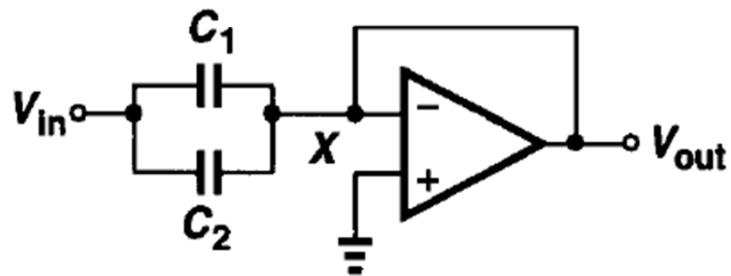
# 振荡器



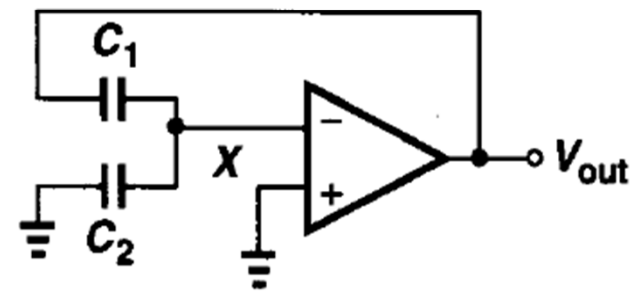
# 精确乘2电路



(a)



(b)



(c)