



集成电路设计实习 VLSI Design Labs

综合实验：数字半定制设计

定时器的设计

实验目的及规划

●目的

- 加深对理论课学习部分内容的理解
- 掌握传统的数字集成电路设计方法

●规划

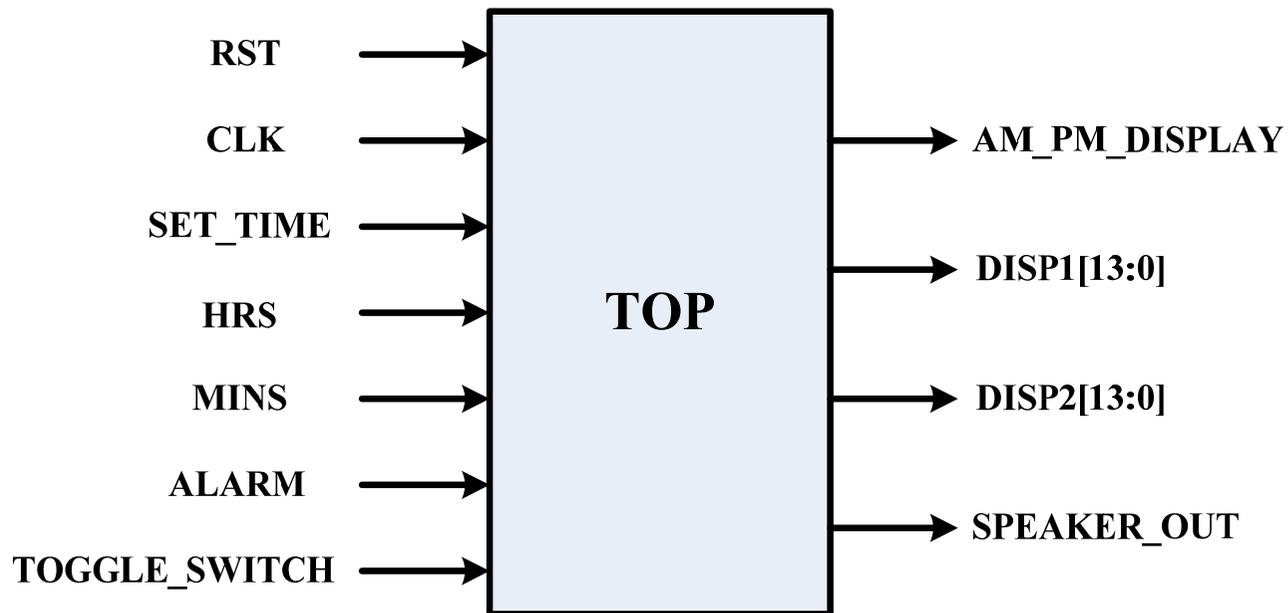
- 分上机实验、流片测试和实验报告等三个部分
- 本学期完成上机实验、流片准备和实验报告
- 流片计划待定

●分工

- 建议2人一组，一人主要负责数字前端设计，一人主要负责数字后端设计
- 二人分各自章节撰写，共同完成1份实验报告

实验内容

- 采用半定制设计的方法，设计一款简单的满足设计指标的定时器



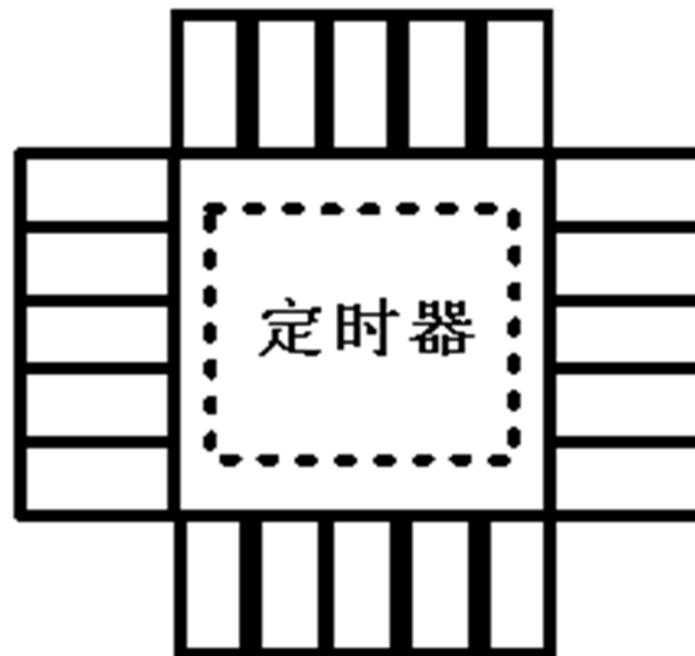
实验内容

● 端口定义

端口名	位宽： 单位bit	说明
RST	1	系统复位，低电平有效
CLK	1	系统时钟
HRS	1	设置“小时”信号，高电平有效
MINS	1	设置“分钟”信号，高电平有效
SET_TIME	1	设置时间有效信号，高电平有效
SET_ALARM	1	设置闹铃有效信号，高电平有效
TOGGLE_SWITCH	1	打开/关闭报时控制信号，高电平有效

芯片结构

- 芯片内部信号通过IO单元连接到外部信号，这些IO单元构成环形结构，成为pad frame。
- 本实验中采用SMIC35单元库中部分设计，推荐输入采用PI(PAC，VDD和VSS作为“电源”和“地的PCORNER单元和填充单元)等可以构成pad frame。



实验报告要求

- 实验报告包括实验目的、实验过程（结构设计、电路设计、版图设计）、实验结论等部分组成。
- 实验报告的格式以本文的word 文档作为模板，应该包括封面、目录、前言、章节、总结和参考资料等内容。
- 分组实验2人一组，一人主要负责数字前端设计，一人主要负责数字后端设计。二人各自负责相关章节的撰写，共同完成1份实验报告。

祝实验顺利！