



集成电路设计实习 VLSI Design Labs

# 单元实验一（第二次课）

基本门电路设计——与非门

## 实验目的及时间安排

---

- 掌握基本门电路的设计方法
- 熟悉Cadence的设计数据管理结构，以及定制设计的原理图输入、电路仿真、版图设计、版图验证工具的使用
- 电路结构和优化设计可以参考甘老师《集成电路原理与设计》
- 完成2与非门的设计
- 设计时间：一次课完成2输入与非门的设计

## 二输入与非门的设计

---

- 设计目的：基于Chart0.35um工艺，完成一个具有2输入与非门功能的电路，输入端为A和B，输出端为Y，逻辑关系 $Y = \overline{(AB)}$
- 设计要求：
  - 1、按照噪声容限最大的要求选择器件尺寸的比例
  - 2、版图高度限制为24微米，电源和地线宽度各为2微米
  - 3、版图宽度限制为mos器件不折栅
  - 4、版图满足设计规则要求，并通过LVS检查
  - 5、为了给顶层设计留出更多的布线资源，版图中只能使用金属1和多晶硅作为互连线，输入，输出和电源、地线等pin脚必须使用金属1
  - 6、为了满足以后复杂门电路设计的需要，要求版图满足上、下、左、右并置排列的时候不违反设计规则

# 实验安排

---

- 利用上次课学习的工具和方法，进行一个2输入与非门的电路和版图设计
- 设计仍然在lab1目录中，在你的设计库中进行nand2单元的设计
- 实验过程包括
  - 电路设计
  - 电路仿真
  - 版图设计
  - 版图检查
- 这部分实验的过程同反相器相同，目的是让大家进一步掌握晶体管级的定制电路设计方法，详细的实验步骤可以参考lab1a中的讲义

## 实验过程

---

- 例化mos器件，设置器件尺寸和模型，搭建2输入与非门电路原理图，并生成2输入与非门的symbol
- 建立仿真电路图，例化2输入与非门，增加激励源（激励信号跳变时间100ps）和负载电容（100ff），进行电路仿真，并按照噪声容限最大原则调整器件尺寸
- 启动VirtuosoXL，由2输入与非门的原理图生成版图布局，修改版图布局，按照设计要求进行版图设计，如果版图无法满足设计要求，修改原理图中的器件尺寸，并进行仿真验证
- 完成版图的规则检查和LVS检查
- 给出实现的2输入与非门电路的延迟时间，功耗（100Mhz下）和面积等参数