

上一讲

□ 反馈技术在电路设计中有重要应用

- ❖ 正反馈构成振荡器，负反馈提高信号处理精度等

□ 负反馈电路有什么特性？

- ❖ 增益灵敏度、终端阻抗、带宽、非线性

□ 负反馈系统的构成？

- ❖ 前馈网络、反馈网络、反馈误差的产生、输出信号的检测

□ 放大器的种类？

- ❖ 四类

□ 负反馈系统中信号检测方法？

- ❖ 检测电压——并联反馈
- ❖ 检测电流——串联反馈

上一讲

□ 负反馈系统信号相加方法？

- ❖ 电压信号——串联相加
- ❖ 电流信号——并联相加

□ 常见四类反馈结构？

- ❖ 电压—电压反馈
- ❖ 电流—电压反馈
- ❖ 电压—电流反馈
- ❖ 电流—电流反馈

□ 先假定反馈网络是理想的（无负载效应），对每种反馈结构

- ❖ 阐明了其结构特点
- ❖ 分析了其闭环增益、输入阻抗、输出阻抗，并举了若干实例

上一讲

□ 当反馈网络不理想的（有负载效应）

❖ 讨论了每种反馈结构适合的反馈网络模型

- 电压—电压反馈——**G**模型
- 电压—电流反馈——**Y**模型
- 电流—电压反馈——**Z**模型
- 电流—电流反馈——**H**模型

❖ 对每种反馈结构

- **S1**——反馈网络用适合的模型替代
- **S2**——计算闭环增益表达式
- **S3**——定义包含负载的开环增益的表达式
- **S4**——包含负载的开环增益的推导方法
- **S5**——反馈网络的正向增益推导方法
- 通过比例因子 $(1 + \beta A_{OL})$ ，可计算输入/输出阻抗

上一讲

□ 环路增益的两种计算方法

- ❖ 我们采用方法二：确定开环增益 A_{OL} 和反馈系数 β 后，得到环路增益 βA_{OL}

□ 反馈对噪声的影响

- ❖ 噪声特性无改善

模拟集成电路原理与设计

第9章 运算放大器

陈中建

chenzj@pku.edu.cn

62759051, 理科2号楼2619

微电子学系

授课内容

绪论, 2学时	重要性、一般概念
器件物理基础, 2学时	MOSFET结构、IV特性、二级效应、器件模型
单级放大器, 5学时	共源、共漏、共栅、共源共栅
EDA系统使用常识 和设计实习实例演示, 2学时	做设计实习所需软硬件系统的使用
差动放大器, 3学时	定性分析、定量分析、共模响应、吉尔伯特单元
无源/有源电流镜, 2学时	基本/共源共栅/有源电流镜
放大器的频率特性, 4学时	米勒效应、极点与节点关系、单级放大器频率特性分析
噪声, 4学时	统计特性、类型、电路表示、单级放大器噪声分析、噪声带宽
期中考试 2学时, 评卷 1学时。习题课若干学时	
反馈, 6学时	特性、四种反馈结构、负载影响、对噪声的影响
运算放大器, 6学时	性能参数、一级运放、两级运放、各指标分析
稳定性和频率补偿, 6学时	多极点系统、相位裕度、频率补偿
版图, 3学时	叉指、对称、ESD等

说明

□旧版译著中这一章有多个地方翻译不当

- ❖有几个地方翻译错了，或含糊不清，失掉原文原意
- ❖如P243“噪声与失调”节中
 - 书上：“在常用的运放电路中，许多器件由于必须用大的尺寸或大的偏置电流都会引起噪声和失调”
 - 应改为：“在常用的运放电路中，有几个器件对噪声和失调的影响较大，需要采用大尺寸或大偏置电流”
- ❖遇到难以理解的地方时，对照一下英文原文
 - 英文版反而比中文版更易看懂，语意的连贯性强

第9章 运算放大器

□9.1 概述

❖9.1.1 性能指标

□9.2 一级运放

□9.3 两级运放

□9.4 增益的提高

□9.5 性能比较

□9.6 共模反馈

□9.7 输入范围限制

□9.8 转换速率

□9.9 电源抑制

□9.10 运放的噪声

本章重点

□9.1 概述

- ❖ 掌握各性能指标的定义

□9.2 一级运放

- ❖ 理解原理，会分析，会设计

□9.3 两级运放

- ❖ 理解原理，会分析，会设计

□9.4 增益的提高

- ❖ 理解原理，会分析

□9.5 性能比较

- ❖ 了解

本章重点

□9.6 共模反馈

❖理解原理，会分析

□9.7 输入范围限制

❖理解原理，会分析

□9.8 转换速率

❖理解原理，会分析

□9.9 电源抑制

❖理解原理，会分析

□9.10 运放的噪声

❖理解原理，会分析

名称由来

□ Operational amplifiers, 简称为Op amps

- ❖ 运算放大器, 简称“运放”

□ 名称由来

- ❖ “用运算放大器及简单的电阻网络可以组成简单的加减运算。用组合运放及电阻网络可以组成乘除甚至平方、开方运算。运算放大器当初出世的目的之一就是为了解决电子数学运算”
- ❖ “Op amps are high (open loop) gain devices whose close loop behavior depends on its outside parameters: resistors, etc. As such, they have the advantage of being extremely consistent(一致), as long as the outside components are consistent. Because of that, op amps were invented to carry out analog calculations: the first op amp, built with tubes, was used in WW2 to calculate shell trajectory (炮弹轨迹), in an analog computer.”

运放在AIC中的地位

□是构成模拟和混合信号处理电路的基本/基础模块

❖用来产生直流偏置、交流信号放大、滤波等

□一直在研究中

❖工艺一直在进步，工艺进步给运放设计不断提出新挑战

❖一直有论文在ISSCC、CICC、IEEE SSC上发表

□本章

❖要分析和设计AIC中的各类常用运放

第9章 运算放大器

□9.1 概述

❖9.1.1 性能指标

□9.2 一级运放

□9.3 两级运放

□9.4 增益的提高

□9.5 性能比较

□9.6 共模反馈

□9.7 输入范围限制

□9.8 转换速率

□9.9 电源抑制

□9.10 运放的噪声

9.1 概述

□可粗略定义“运放”为高增益差分放大器

❖“高”

- 开环增益已满足具体应用对精度的要求

❖增益通常为10~10000

□20年前

❖试图设计出接近“理想运放”性能的“通用运放”，以适应各种不同应用要求

❖增益高 (>100000)，输入阻抗极高，输出阻抗极低

❖必然会牺牲其他性能指标，如速度、摆幅、功耗等

□现在

❖根据各具体应用要求，设计“定制运放”

❖按各性能指标的优先级，进行折衷

第9章 运算放大器

□9.1 概述

❖9.1.1 性能指标

□9.2 一级运放

□9.3 两级运放

□9.4 增益的提高

□9.5 性能比较

□9.6 共模反馈

□9.7 输入范围限制

□9.8 转换速率

□9.9 电源抑制

□9.10 运放的噪声

9.1.1 性能参数

□ 以共源共栅差分放大器为例

❖ 它本身就是一个单级运放

□ 分析如下指标

❖ 9.1.1.1 增益

❖ 9.1.1.2 小信号带宽

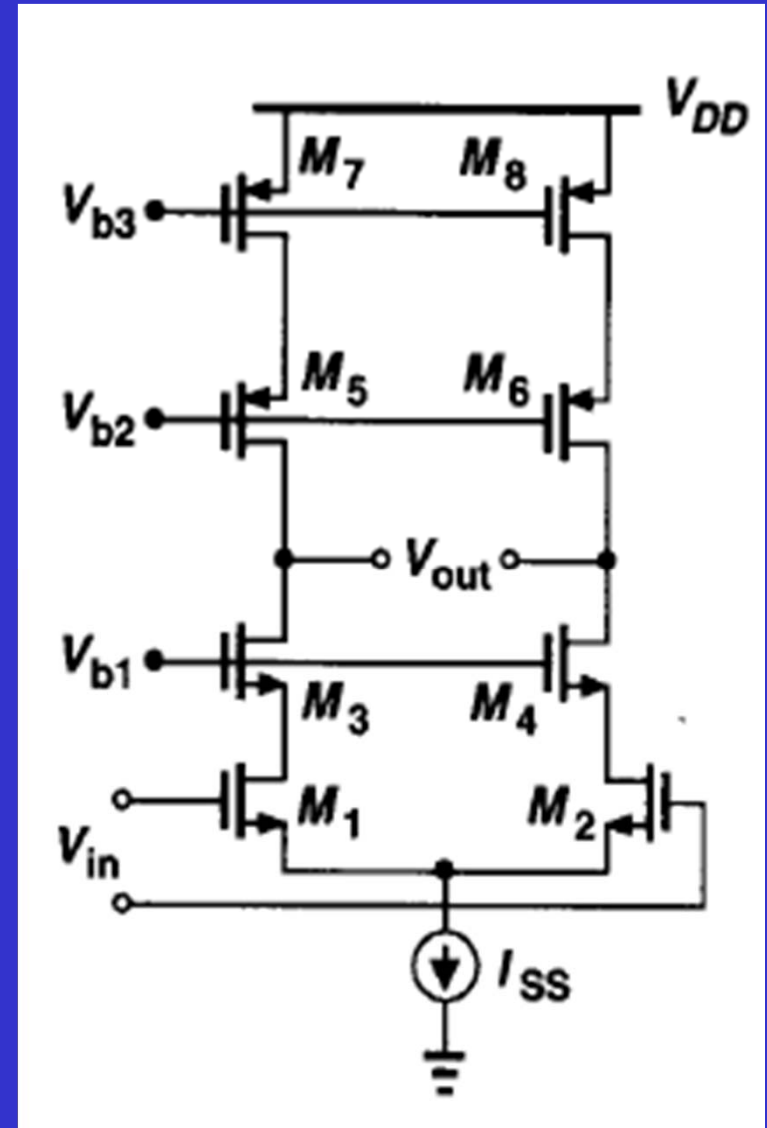
❖ 9.1.1.3 大信号带宽

❖ 9.1.1.4 输出摆幅

❖ 9.1.1.5 线性度

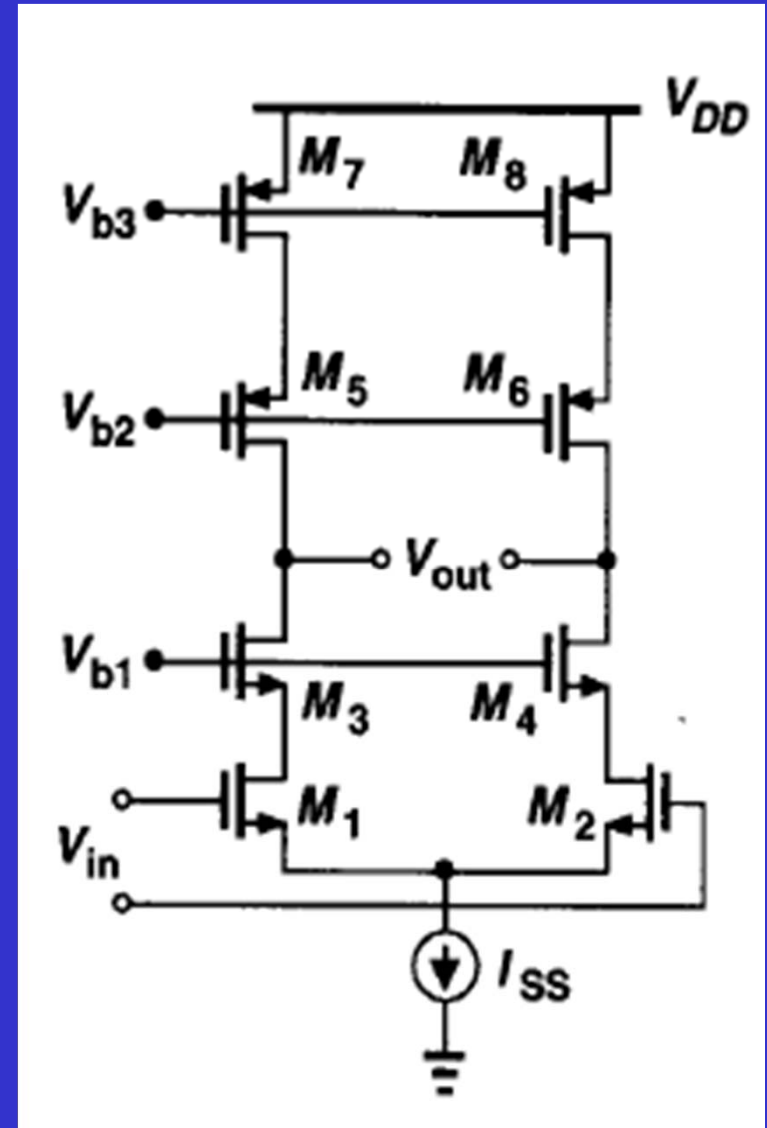
❖ 9.1.1.6 噪声和失调

❖ 9.1.1.7 电源抑制



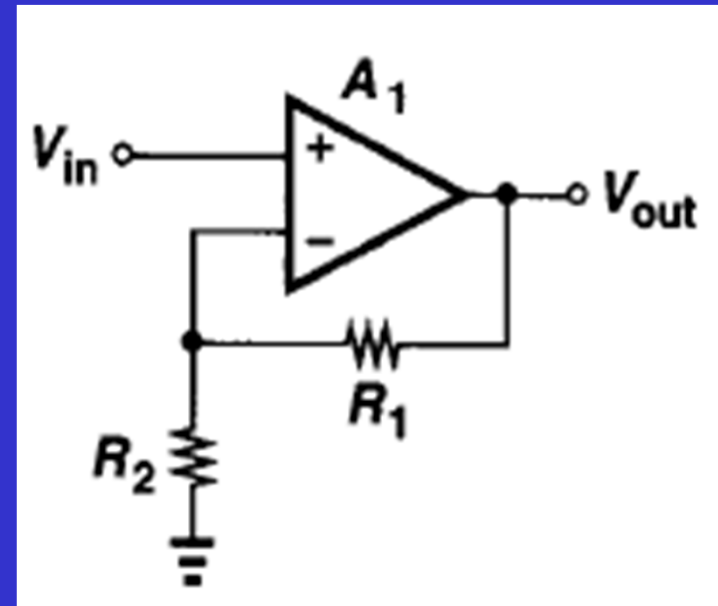
9.1.1.1 增益

- 开环增益的大小决定了由运放构成的反馈系统的精度（增益误差）
 - ❖ 不用应用有不同要求
- 在设计运放前，必须综合其他性能指标（精度、速度、输出摆幅等），确定出最小必须达到的开环增益值
- 高增益有利于抑制非线性



例9.1 确定满足增益误差的最小 A_v

□希望右图电路的额定增益为10，要求增益误差小于1%。计算满足此误差要求的 A_1 的最小值



解：

由第8章知识，得该电路闭环增益为：

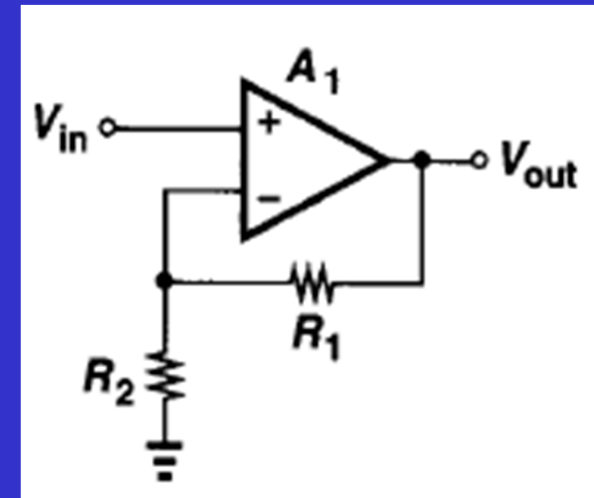
$$\frac{V_{out}}{V_{in}} = \frac{A_1}{1 + \frac{R_2}{R_1 + R_2} A_1} = \frac{R_1 + R_2}{R_2} \cdot \frac{A_1}{\frac{R_1 + R_2}{R_2} + A_1}$$

额定增益：当 A 足够大时仅由反馈网络确定的闭环增益。

$$A_{\text{额定}} = \frac{R_1 + R_2}{R_2} = 10$$

例9.1 确定满足增益误差的最小 A_v

□ 希望右图电路的额定增益为10，要求增益误差小于1%。计算满足此误差要求的 A_1 的最小值



$$\begin{aligned} \frac{V_{out}}{V_{in}} &= \frac{A_1}{1 + \frac{R_2}{R_1 + R_2} A_1} = \frac{R_1 + R_2}{R_2} \cdot \frac{A_1}{\frac{R_1 + R_2}{R_2} + A_1} \\ &= A_{\text{额定}} \cdot \frac{A_1 + A_{\text{额定}} - A_{\text{额定}}}{A_{\text{额定}} + A_1} \quad (\because A_{\text{额定}} = \frac{R_1 + R_2}{R_2}) \\ &= A_{\text{额定}} \cdot \left(1 - \frac{A_{\text{额定}}}{A_{\text{额定}} + A_1}\right) = A_{\text{额定}} \cdot \left(1 - \frac{1}{A_1} \cdot \frac{A_{\text{额定}}}{A_{\text{额定}} / A_1 + 1}\right) \\ &\approx A_{\text{额定}} \cdot \left(1 - \frac{A_{\text{额定}}}{A_1}\right) \quad (\text{通常 } A_{\text{额定}} / A_1 \ll 1) \end{aligned}$$

$\frac{A_{\text{额定}}}{A_1}$ 为增益误差项，
要 $< 1\%$ ，则：
 $A_1 > 1000$

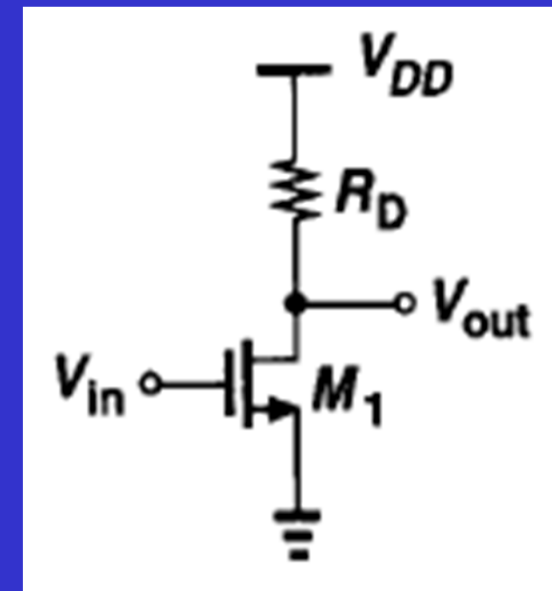
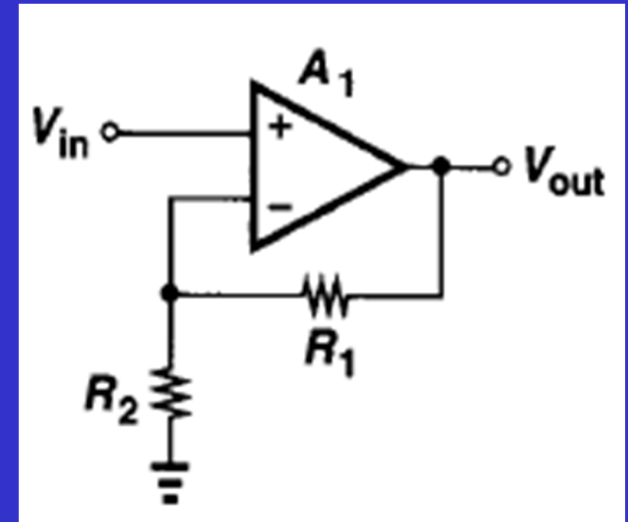
例9.1 确定满足增益误差的最小 A_v

□ 基于大开环增益的运放，采用反馈，可实现低增益误差的信号放大电路

❖ 本例开环增益大于1000，即可增益误差小于1%

□ 基于开环放大电路，也可以实现相应额定增益，增益误差大

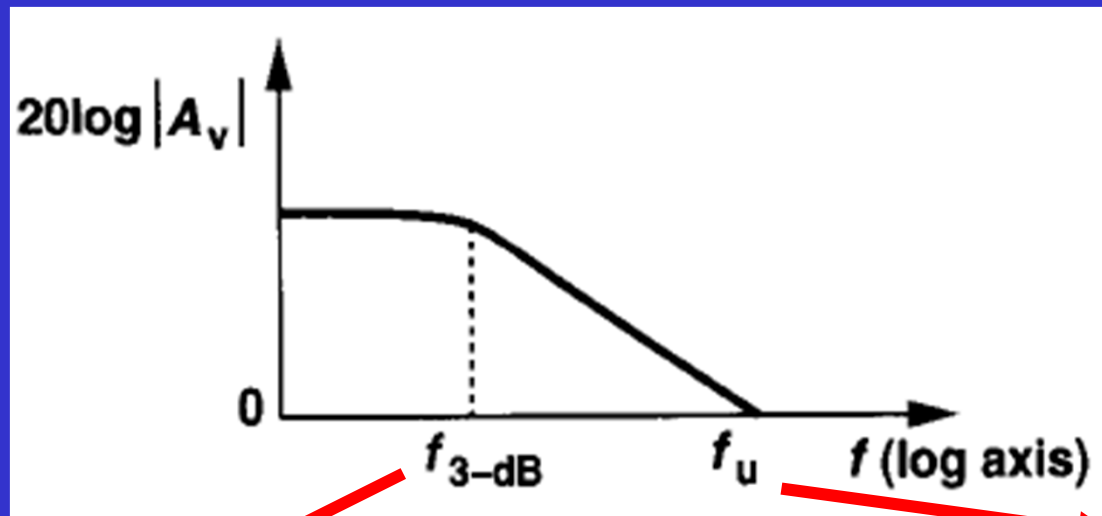
❖ 大于20%



9.1.1.2 小信号带宽

□意义

- ❖ 随小信号频率的增大，开环增益会下降，导致反馈系统的误差增大



小信号带宽通常被定义为 f_u ，
对单极点系统，
等于**GBW**

3dB频率 f_{3dB}

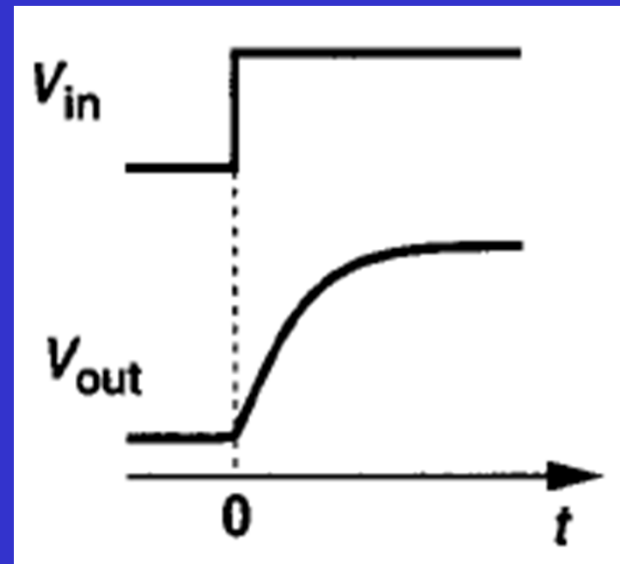
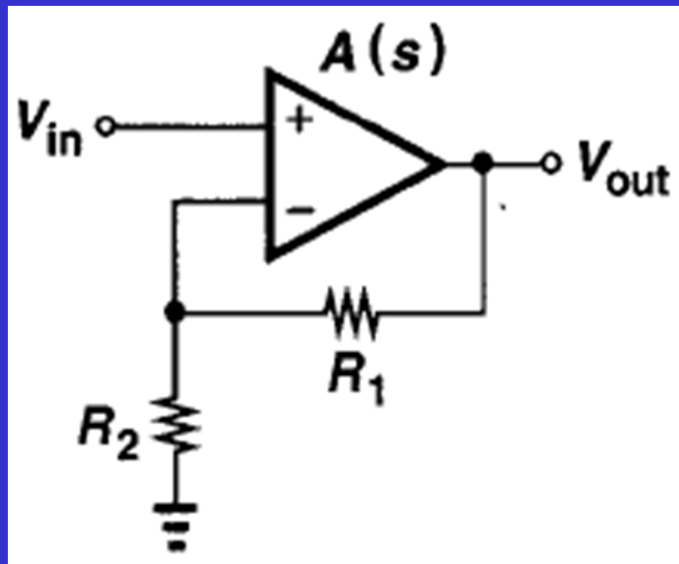
增益下降3dB时的频率

单位增益频率 f_u

用现代工艺设计的CMOS运放的 f_u 可大于1GHz

例9.2 带宽、稳定精度和闭环增益的关系

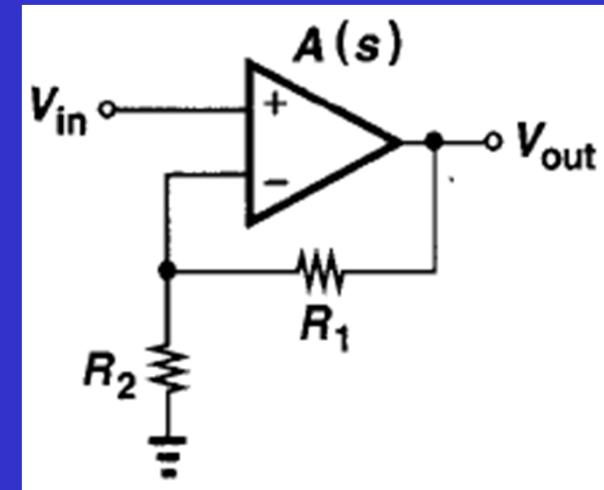
- 假定下图运放是单极点电压放大器，且其低频增益 A_0 远大于1。（a）如果 V_{in} 是小的阶跃电压，计算输出电压处于其最终值的1%范围内时所需时间。（b）如果 $1+R_1/R_2 \approx 10$ ，而且1%误差稳定时间小于5ns，该运放必须提供的单位增益带宽是多少？



例9.2 带宽、稳定精度和闭环增益的关系

□ 假定下图运放是单极点电压放大器。假定其低频增益远大于1。

(a) 如果 V_{in} 是小的阶跃电压，计算输出电压处于其最终值的1%范围内时所需时间。



思路： 根据 $A(s)$ ，求出闭环 $A_c(s)$ ，得出时间常数 τ ，再根据时域阶跃响应，得出稳定所需时间 $t_{1\%}$

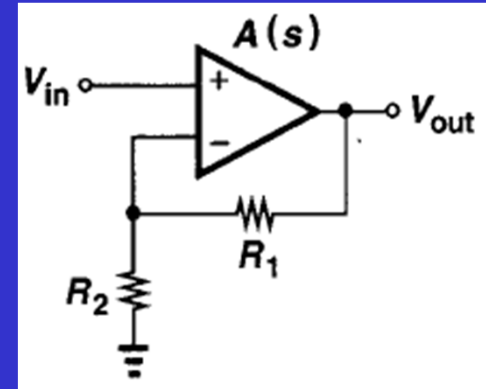
解：

由运放是单极点电压放大器，知：

$$A(s) = A_0 / (1 + s / \omega_0),$$

ω_0 为3dB带宽， $A_0\omega_0$ 为单位增益带宽

例9.2 带宽、稳定精度和闭环增益的关系



$$\because (V_{in} - V_{out} \frac{R_2}{R_1 + R_2}) A(s) = V_{out}, \quad A(s) = A_0 / (1 + s / \omega_0)$$

$$\therefore \frac{V_{out}}{V_{in}}(s) = \frac{A(s)}{1 + \frac{R_2}{R_1 + R_2} A(s)} = \frac{A_0}{1 + \frac{R_2}{R_1 + R_2} A_0 + \frac{s}{\omega_0}} = \frac{\frac{A_0}{1 + \frac{R_2}{R_1 + R_2} A_0}}{1 + \frac{s}{(1 + \frac{R_2}{R_1 + R_2} A_0) \omega_0}}$$

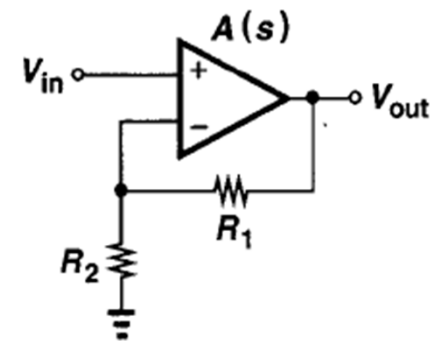
$$\therefore \text{闭环放大器是单极点系统, 时间常数为: } \tau = \frac{1}{(1 + \frac{R_2}{R_1 + R_2} A_0) \omega_0}$$

例9.2 带宽、稳定精度和闭环增益的关系

$$\frac{V_{out}}{V_{in}}(s) = \frac{\frac{A_0}{1 + \frac{R_2}{R_1 + R_2} A_0}}{1 + \frac{s}{(1 + \frac{R_2}{R_1 + R_2} A_0)\omega_0}}, \quad \tau = \frac{1}{(1 + \frac{R_2}{R_1 + R_2} A_0)\omega_0}$$

式中, $\frac{R_2}{R_1 + R_2} A_0$ 为低频环路增益, 通常 远大于1。

$$\therefore \tau \approx \frac{1}{\frac{R_2}{R_1 + R_2} A_0 \omega_0} = (1 + \frac{R_1}{R_2}) \frac{1}{A_0 \omega_0}$$



例9.2 带宽、稳定精度和闭环增益的关系

输入为阶跃信号：

$$V_{in}(t) = a u(t)$$

单极点系统的输出阶跃响应为：

$$V_{out}(t) \approx a \left(1 + \frac{R_1}{R_2}\right) (1 - e^{-\frac{t}{\tau}}) u(t)$$

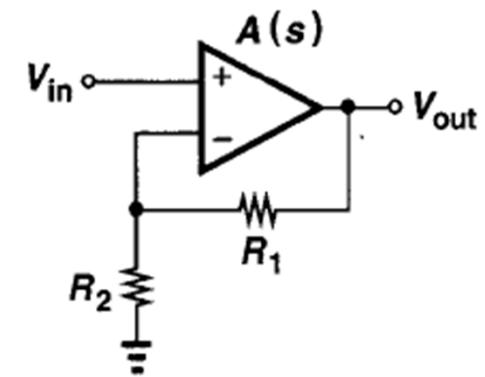
终值为：

$$V_{out, final} \approx a \left(1 + \frac{R_1}{R_2}\right)$$

对1%的稳定精度， $V_{out}(t) / V_{out, final} = 99\%$

$$\therefore 1 - e^{-\frac{t_{1\%}}{\tau}} = 0.99, \quad 0.01 = e^{-\frac{t_{1\%}}{\tau}}, \quad \frac{-t_{1\%}}{\tau} = \ln 0.01$$

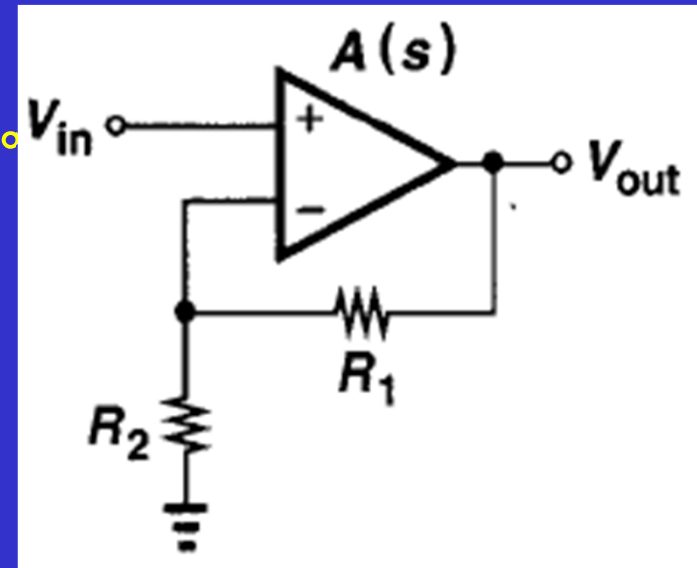
$$\text{解得：} \quad t_{1\%} = \tau \ln 100 \approx 4.6 \tau$$



例9.2 带宽、稳定精度和闭环增益的关系

□ 假定下图运放是单极点电压放大器，且其低频增益 A_0 远大于1。

(b) 如果 $1+R_1/R_2 \approx 10$ ，而且1%误差稳定时间小于5ns，该运放必须提供的单位增益带宽是多少？



$$t_{1\%} = \tau \ln 100 \approx 4.6 \tau$$

$$\tau \approx \left(1 + \frac{R_1}{R_2}\right) \frac{1}{A_0 \omega_0}$$

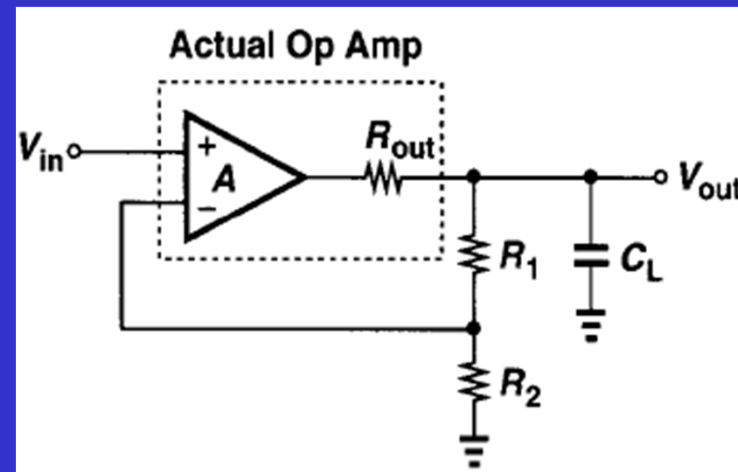
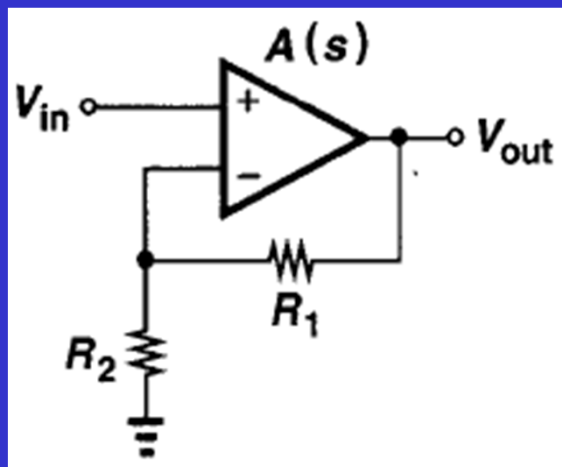
结论：对开环运放单位增益带宽的要求由闭环系统的稳定精度、稳定时间和闭环增益三个指标共同决定

$$\therefore A_0 \omega_0 \approx \left(1 + \frac{R_1}{R_2}\right) \frac{1}{\tau} = 10 \cdot \frac{4.6}{5\text{ns}} = 9.2\text{GHz}$$

例9.2 带宽、稳定精度和闭环增益的关系

- 假定下图运放是单极点电压放大器，且其低频增益 A_0 远大于1。（a）如果 V_{in} 是小的阶跃电压，计算输出电压处于其最终值的1%范围内时所需时间。（b）如果 $1+R_1/R_2 \approx 10$ ，而且1%误差稳定时间小于5ns，该运放必须提供的单位增益带宽是多少？

如果A是一个实际运放（其输出阻抗不为零）、该电路驱动一个大负载电容、 V_{in} 不是小的阶跃，阶跃电压为1V，输出信号会怎样建立？



9.1.1.3 大信号带宽

□ 运放输出端电压不能瞬间跟随输入信号改变

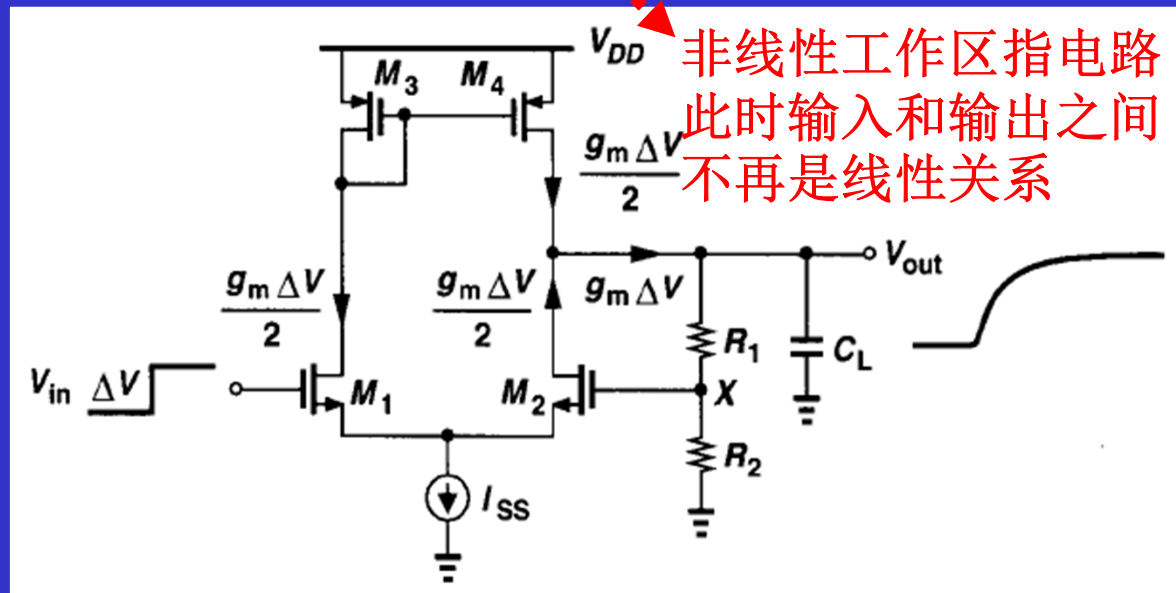
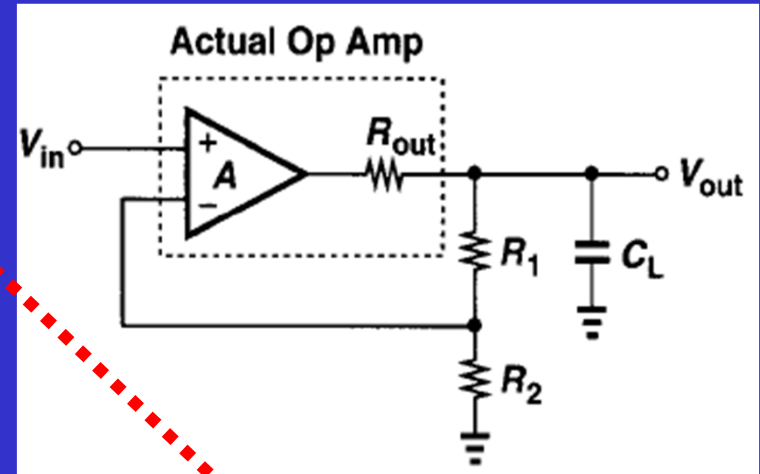
❖ 通常导致运放进入非线性工作区

□ 瞬态大信号激励下，运放的速度如何表征？

不能仅通过小信号特性（如开环响应）来表征，因为开始一段时间运放工作在非线性区

大信号特性通常比较复杂，需要仔细仿真

9.8节会详细分析



非线性工作区指电路此时输入和输出之间不再是线性关系

9.1.1.4 输出摆幅

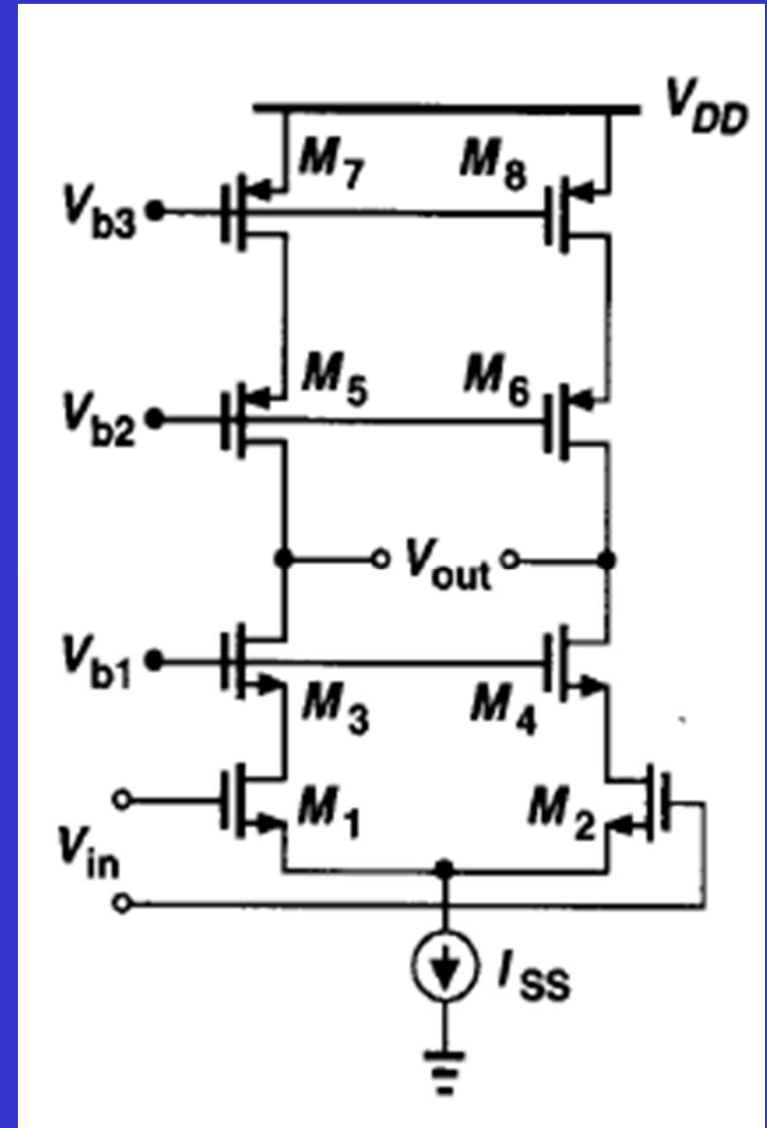
□ 当今运放设计的主要挑战是高输出摆幅设计

- ❖ 因为 V_{DD} 随工艺进步在减小
- ❖ 很多应用要求输出摆幅足够大

□ 管弦乐队的音乐

- ❖ 麦克风输出的电信号的幅度变化很大，最小信号和最大信号的幅值可相差4个数量级
- ❖ 要求电路有足够大的信号摆幅或足够低的噪声，以处理这种幅度变化很大的输入信号

□ 高摆幅要求使得全差分放大器的应用越来越普遍



9.1.1.5 线性度

□ 线性度的定义

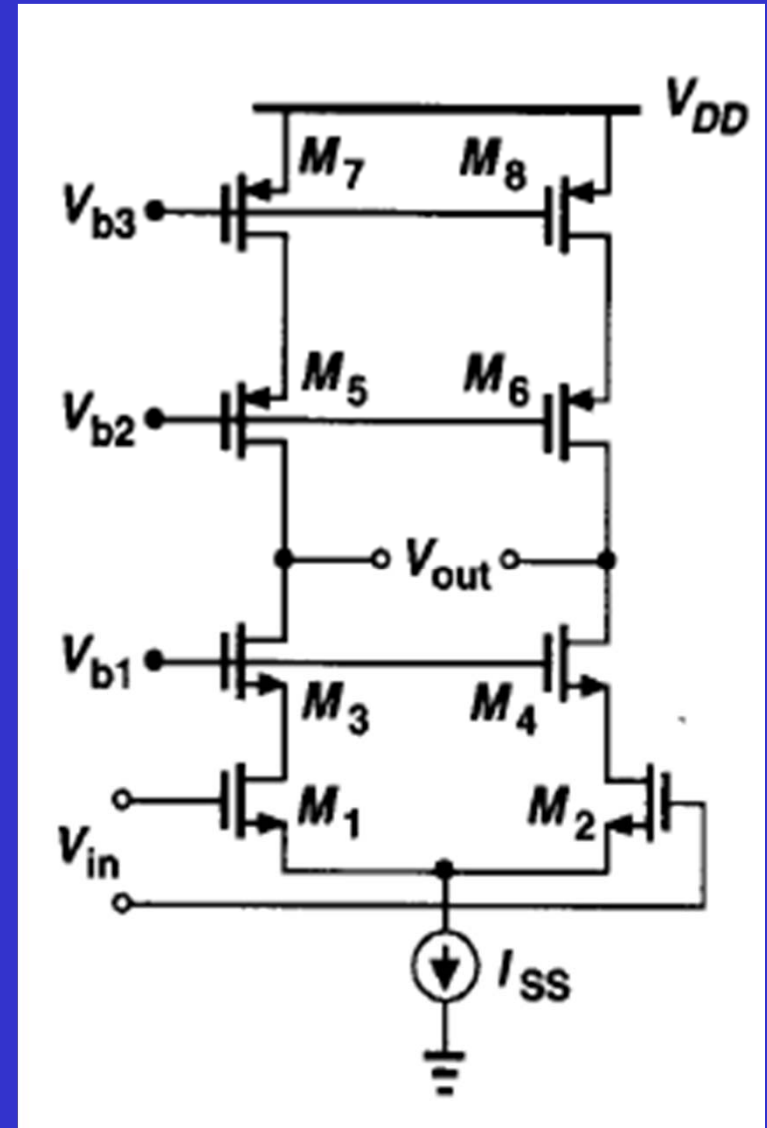
❖ 见《信号与系统》

□ 开环运放的非线性通常比较大

□ 提高线性度的常用方法

- ❖ 采用全差分实现方式，以抑制偶次谐波（第13章）
- ❖ 开环增益足够大，使闭环系统线性度达到要求

□ 许多反馈系统中，决定开环增益大小的不是增益误差要求，而是线性度要求



9.1.1.6 噪声和失调

□ 输入噪声和失调决定了运放能正确处理的最小信号

□ M1、M2、M7、M8对噪声贡献最大

❖ 要求高跨导，因此要大尺寸以降低 V_{ov} 或大偏置电流

□ P243中间，译文错，改为

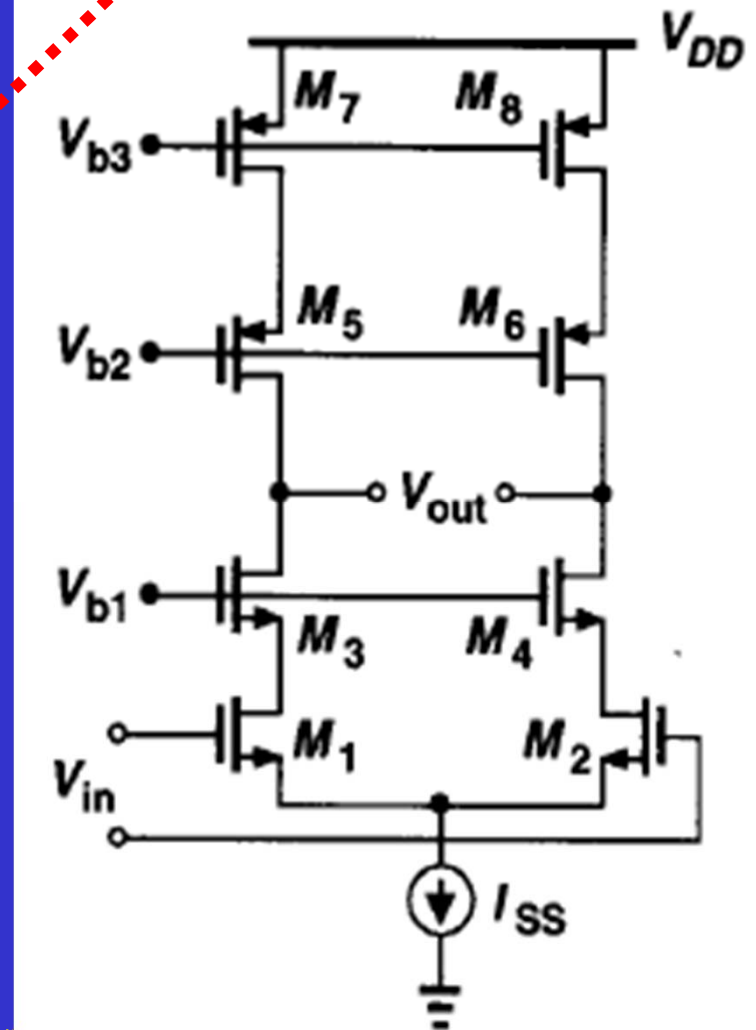
❖ “在常用的运放电路中，有几个器件对噪声和失调的影响较大，需要采用大尺寸或大偏置电流”

□ 噪声和输出摆幅指标常折衷

❖ I_{bias} 一定时，要摆幅大，则M7-M8的过电压小，跨导大，漏噪声电流大

$$\overline{V_{in,n}^2} = 4kT \frac{2}{3g_m}$$

$$g_m = 2I_D / V_{OV}$$



9.1.1.7 电源抑制

□ 对电源上的噪声的抑制能力

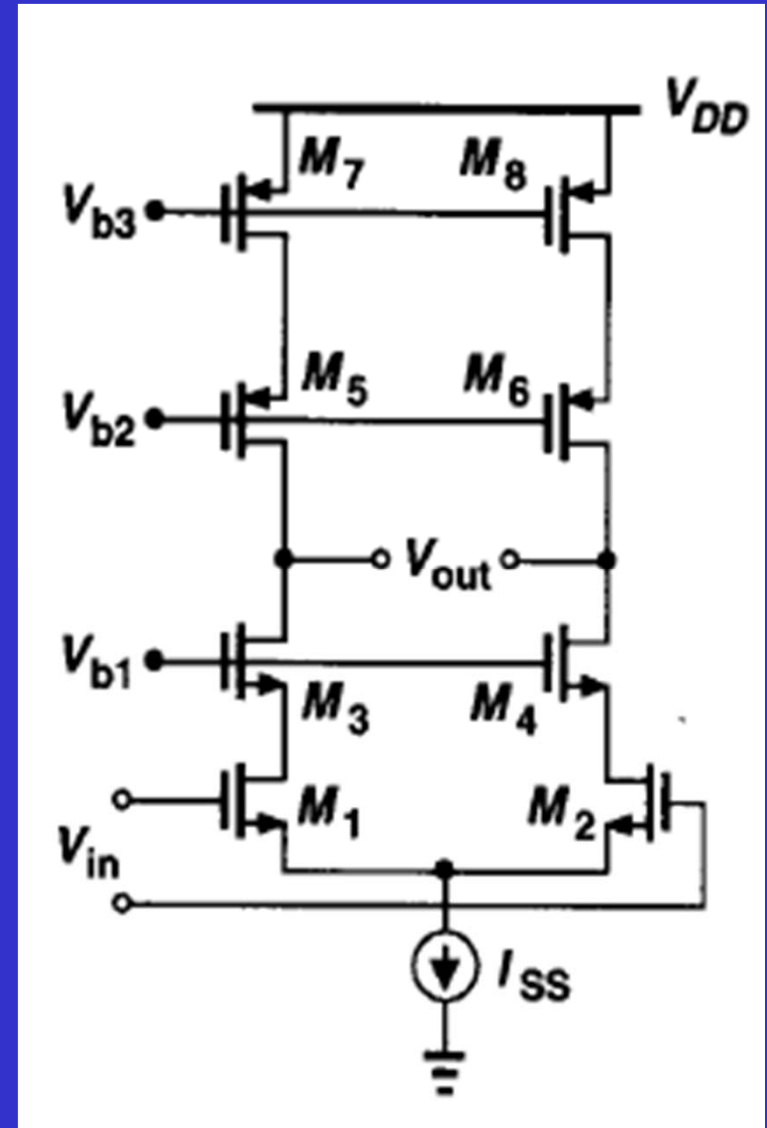
□ 电源线上总有噪声，会影响运放性能（特别是高频时）

❖ 封装好的芯片，内引线和外引线有自感，导致电源电压上有噪声（第18章-P547）

❖ 数模混合电路中，若单一电源供电，则电源噪声更严重

□ 解决方法之一

❖ 采用全差分结构



第9章 运算放大器

□ 9.1 概述

- ❖ 9.1.1 性能指标

□ 9.2 一级运放

- ❖ 9.2.1 基本差分运放

- ❖ 9.2.2 套筒式共源共栅运放

- ❖ 9.2.3 折叠式共源共栅运放

□ 9.3 两级运放

□ 9.4 增益的提高

□ 9.5 性能比较

□ 9.6 共模反馈

□ 9.7 输入范围限制

□ 9.8 转换速率

□ 9.9 电源抑制

□ 9.10 运放的噪声

9.2 一级运放

□定义

- ❖ 输入对管产生的小信号电流直接流过输出阻抗

□增益

- ❖ 输入对管跨导 \times 输出阻抗

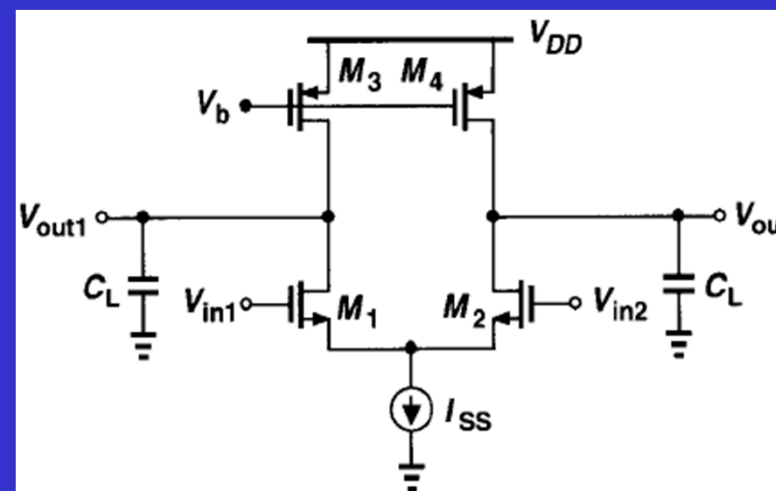
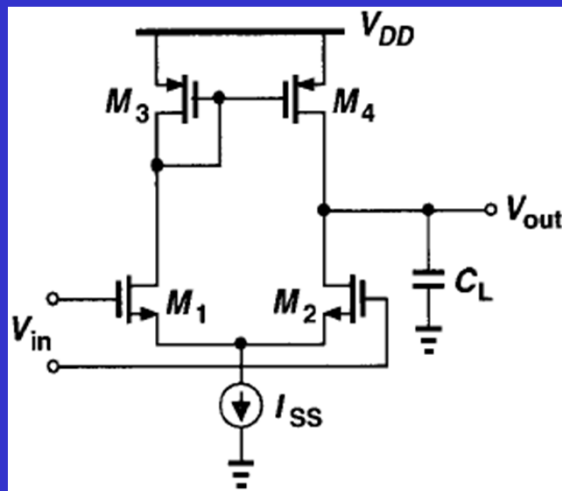
□常见一级运放

- ❖ 9.2.1 基本差分运放
- ❖ 9.2.2 套筒式共源共栅运放
- ❖ 9.2.3 折叠式共源共栅运放

9.2.1 基本差分运放

□单端输出和差分输出的基本运放

- ❖ 低频增益: $g_{mN}(r_{ON} \parallel r_{OP})$
 - 深亚微米工艺下, 几十量级
- ❖ 带宽: 通常由负载电容 C_L 决定
 - 单端输出的有镜像极点, 构成反馈系统时会影响稳定性
- ❖ 噪声: M1-M4均对噪声有重大影响



例9.3 单位增益缓冲器

□ 计算右图单位增益缓冲器的输入共模电压范围和闭环输出阻抗

解：求输入共模电平范围。

令 V_{CSS} 表示尾电流源上的压降，则：

$$V_{in,CM,min} = V_{CSS} + V_{GS1}$$

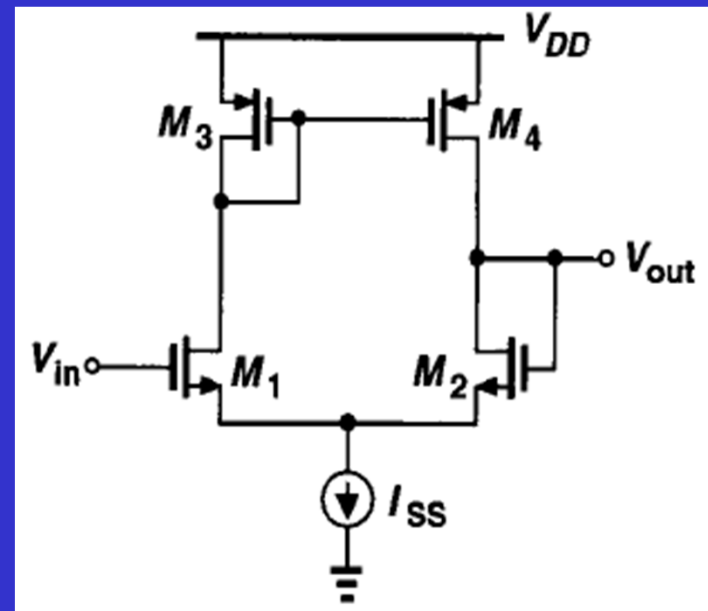
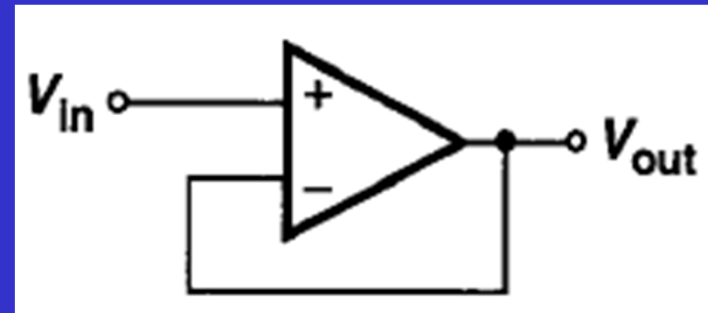
$$V_{in,CM,max} = V_{DD} - |V_{GS3}| + V_{TH1}$$

当 $V_{DD} = 3V$ 、 $V_{TH} = 0.7V$ 、 $V_{OV} = 0.3V$ 时：

$$V_{in,CM,min} = V_{CSS} + V_{GS1} = 1.3V$$

$$V_{in,CM,max} = V_{DD} - |V_{GS3}| + V_{TH1} = 2.7V$$

$$V_{in,CM} = V_{in,CM,max} - V_{in,CM,min} = 1.4V$$



例9.3 单位增益缓冲器 $V_{IN,CM}$ 和 $R_{out,c}$

- 计算右图单位增益缓冲器的输入共模电压范围和闭环输出阻抗

求闭环输出阻抗:

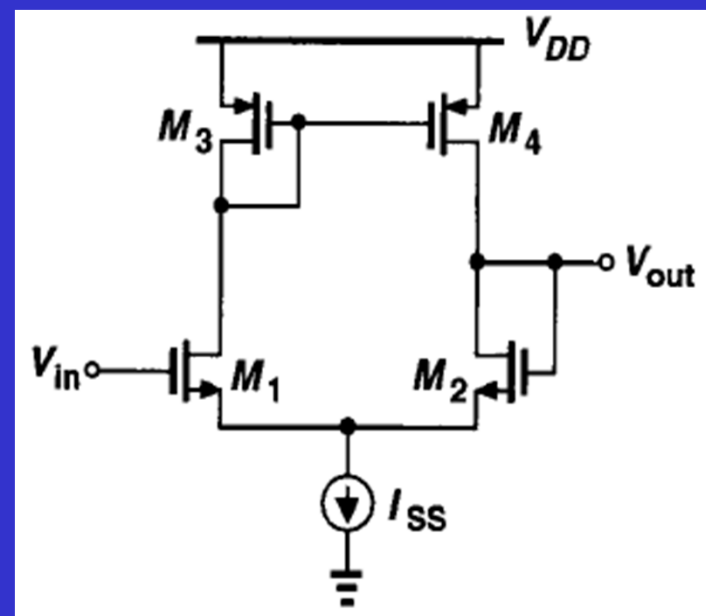
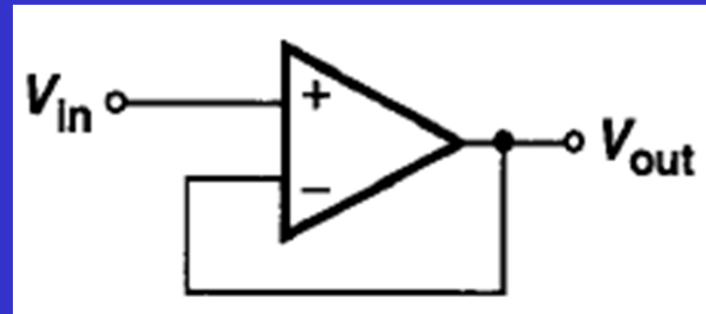
该电路为电压-电压反馈。

$$\therefore R_{out,c} = R_{out,o} / (1 + \text{环路增益})$$

$$= \frac{r_{ON} \parallel r_{OP}}{1 + g_{m,N} (r_{ON} \parallel r_{OP})}$$

$$\approx \frac{1}{g_{m,N}} \quad (\text{当开环增益远大于1时})$$

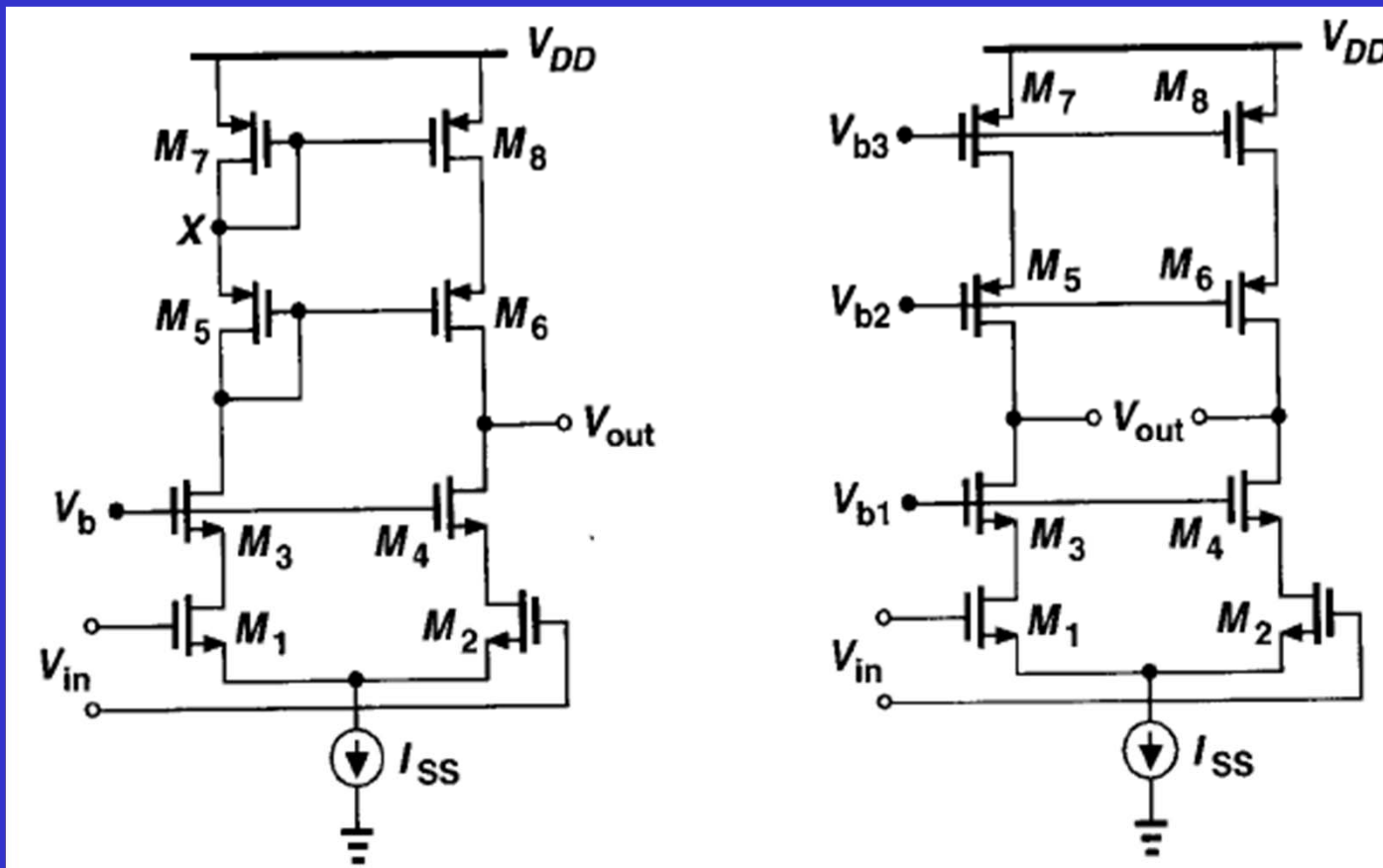
结论: $R_{out,c}$ 相对独立于 $R_{out,o}$, 因此, 可以通过增大 $R_{out,o}$ 来实现高增益, 同时保持低 $R_{out,c}$



9.2.2 套筒式共源共栅运放

□ Telescopic cascode op amps

❖ 区别于Folded cascode op amps（折叠式）



9.2.2 套筒式共源共栅运放

□ 低频增益: $g_{mN} [(g_{mN} r_{ON}^2) \parallel (g_{mP} r_{OP}^2)]$

❖ 深亚微米工艺下, 可达几千

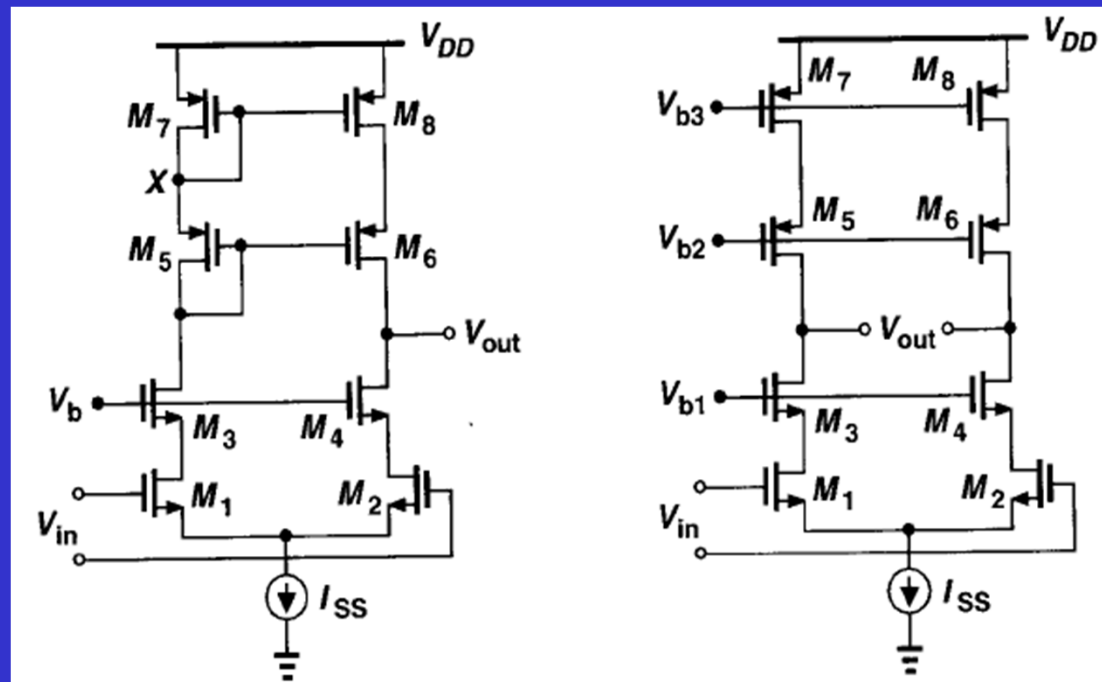
□ 带宽: 增加了极点

❖ 单端输出的有镜像极点, 构成反馈系统时会影响稳定性

□ 输出摆幅

❖ 有牺牲

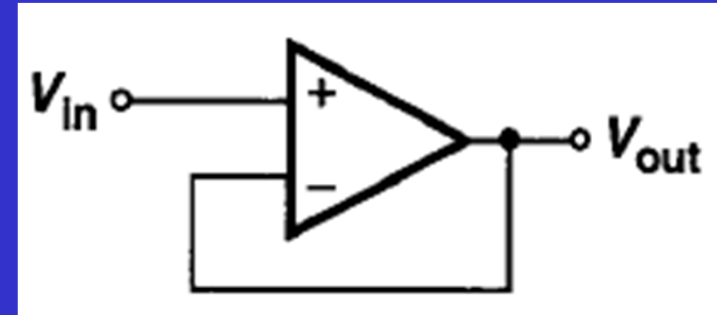
❖ 左图牺牲更大



9.2.2 套筒式共源共栅运放

□ 很难以输入和输出短接方式实现单位增益缓冲器

❖ 原因：若这样连接，则输出摆幅很小



保障M4和M2都工作在饱和区，要求：

$$V_{out} \geq V_b - V_{TH4}$$

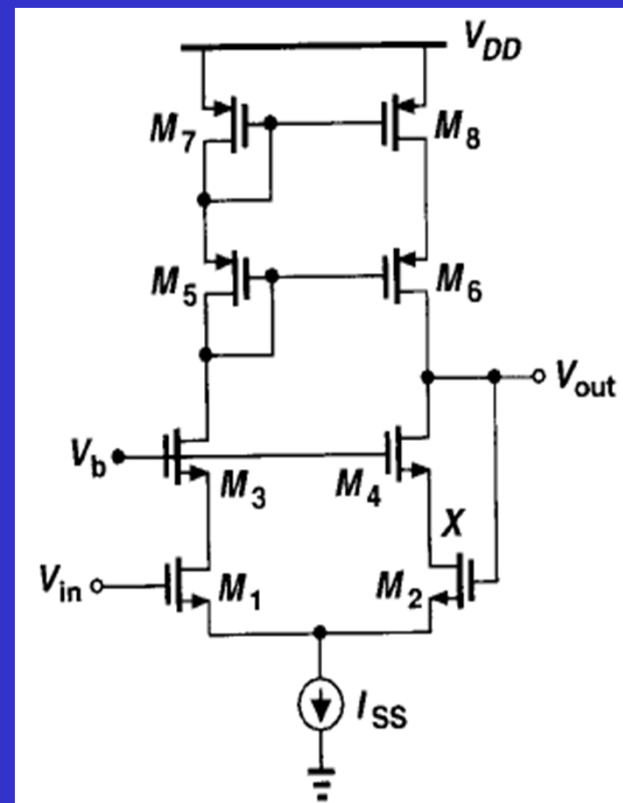
$$V_{out} \leq V_X + V_{TH2}$$

$$V_X = V_b - V_{GS4}$$

$$\therefore V_b - V_{TH4} \leq V_{out} \leq V_b - V_{GS4} + V_{TH2}$$

$$\therefore V_{out, swing} = -V_{GS4} + V_{TH2} + V_{TH4} = V_{TH2} - V_{OV4}$$

总小于 V_{TH2}



9.2.2 套筒式共源共栅运放

□ 很难以输入和输出短接方式实现单位增益缓冲器

❖ 直流转移特性

保障M4和M2都工作在饱和区，要求：

$$V_b - V_{TH4} \leq V_{out} \leq V_b - V_{GS4} + V_{TH2}$$

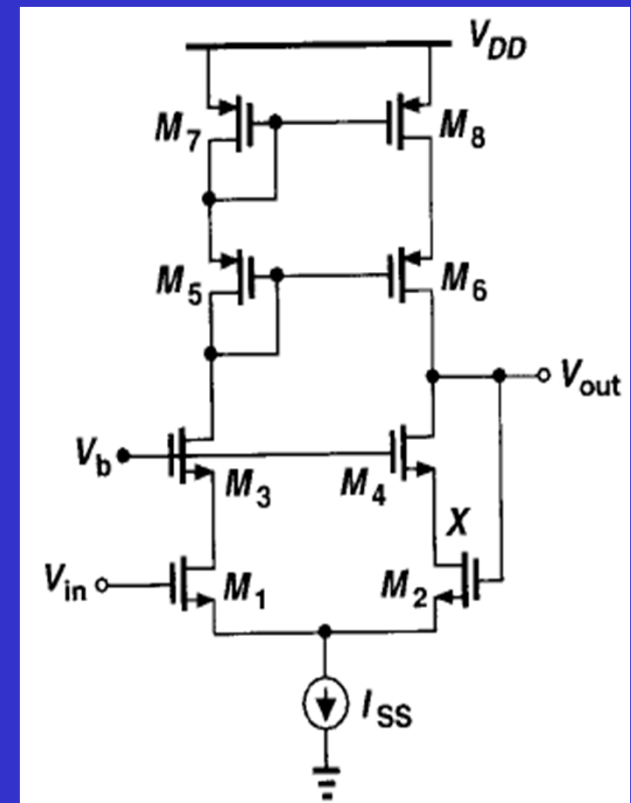
当 V_{in} 开始小于 $(V_b - V_{TH4})$ 时，

M_4 先由饱和区进入线性区， A_{v0} 开始下降。

当 V_{in} 开始大于 $(V_b - V_{GS4} + V_{TH2})$ 时，

M_1 和 M_2 先由饱和区进入线性区，

A_{v0} 开始下降

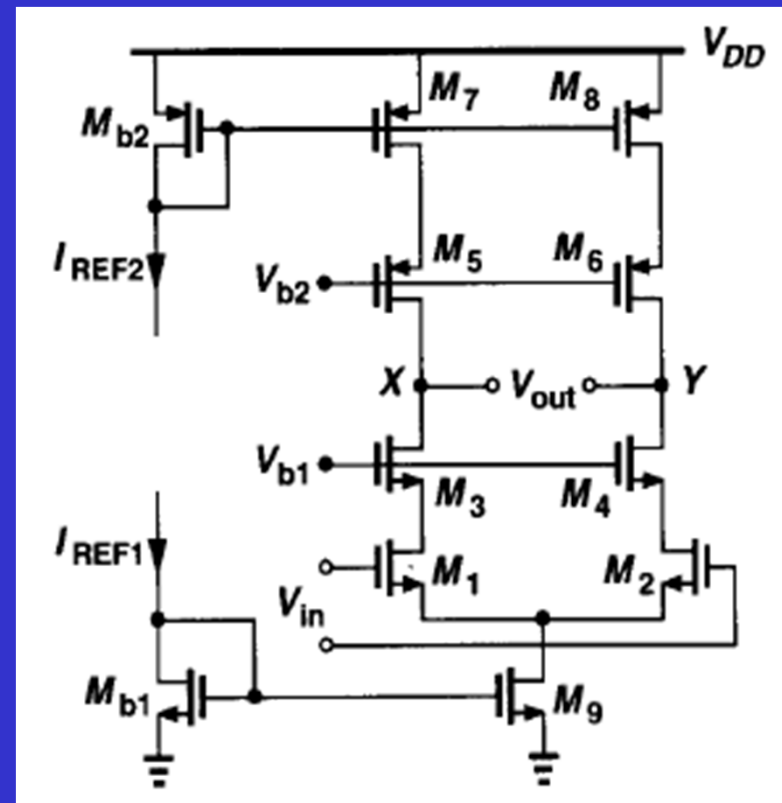


例9.4 套筒式cascode运放设计

□ 设计如下指标的套筒式cascode全差分放大器： $V_{DD}=3V$ ，差动输出摆幅 $3V$ ，功耗 $10mW$ ，电压增益 2000 。假定 $\mu_n C_{OX}=60\mu A/V^2$ ， $\mu_p C_{OX}=30\mu A/V^2$ ， $\lambda_p=0.1V^{-1}$ （ $L_{eff}=0.5\mu m$ 时）， $\lambda_n=0.2V^{-1}$ （ $L_{eff}=0.5\mu m$ 时）， $\gamma=0$ ， $V_{THN}=|V_{THP}|=0.7V$ 。

思路：

- 1、由功耗，确定支路偏置电流
- 2、由输出摆幅要求，确定各MOS管的 V_{ov}
- 3、由直流偏置电流和 V_{ov} ，确定各MOS管的 W/L
- 4、计算电压增益是否满足要求。不满足时，增大 g_m 或 r_o



例9.4 套筒式cascode运放设计

□设计如下指标的套筒式cascode全差分放大器:

$V_{DD}=3V$, 差动输出摆幅 $3V$, 功耗 $10mW$, 电

压增益 2000 。假定 $\mu_n C_{OX}=60\mu A/V^2$,

$\mu_p C_{OX}=30\mu A/V^2$, $\lambda_p=0.1V^{-1}$ ($L_{eff}=0.5\mu m$ 时),

$\lambda_n=0.2V^{-1}$ ($L_{eff}=0.5\mu m$ 时), $\gamma=0$,

$V_{THN}=|V_{THP}|=0.7V$ 。

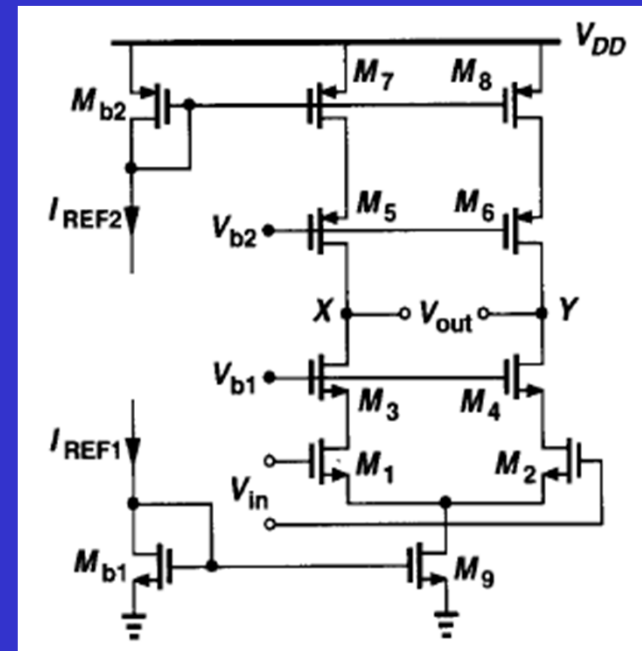
思路:

1、由功耗, 确定支路偏置电流

总电流为 $3.33mA$,

分 $3mA$ 给 M_9 ,

余 $330\mu A$ 给 M_{b1} 和 M_{b2} 。

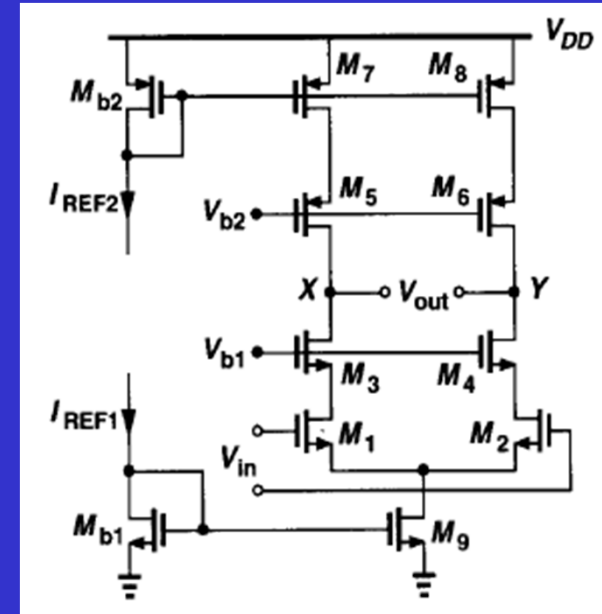


例9.4 套筒式cascode运放设计

- 设计如下指标的套筒式cascode全差分放大器： $V_{DD}=3V$ ，差动输出摆幅 $3V$ ，功耗 $10mW$ ，电压增益 2000 。假定
 $\mu_n C_{OX}=60\mu A/V^2$ ， $\mu_p C_{OX}=30\mu A/V^2$ ，
 $\lambda_p=0.1V^{-1}$ ($L_{eff}=0.5\mu m$ 时)， $\lambda_n=0.2V^{-1}$ ($L_{eff}=0.5\mu m$ 时)， $\gamma=0$ ，
 $V_{THN}=|V_{THP}|=0.7V$ 。

思路：

2、由输出摆幅要求，确定各MOS管的 V_{ov}



$$V_{ov9} + V_{ov1} + V_{ov3} + |V_{ov5}| + |V_{ov7}| \quad \text{经验：放大管} 0.2V；\text{负载管} 0.2 \sim 0.5V；$$

$$= V_{DD} - V_{outswing} = 3 - 1.5 = 1.5V \quad \text{尾电流管} 0.3 \sim 0.5V$$

M9电流大：为避免其尺寸过大，取 $V_{ov9} = 0.5V$

M7、M5：PMOS管，迁移率低，为避免其尺寸过大，取 $V_{ov7,5} = 0.3V$

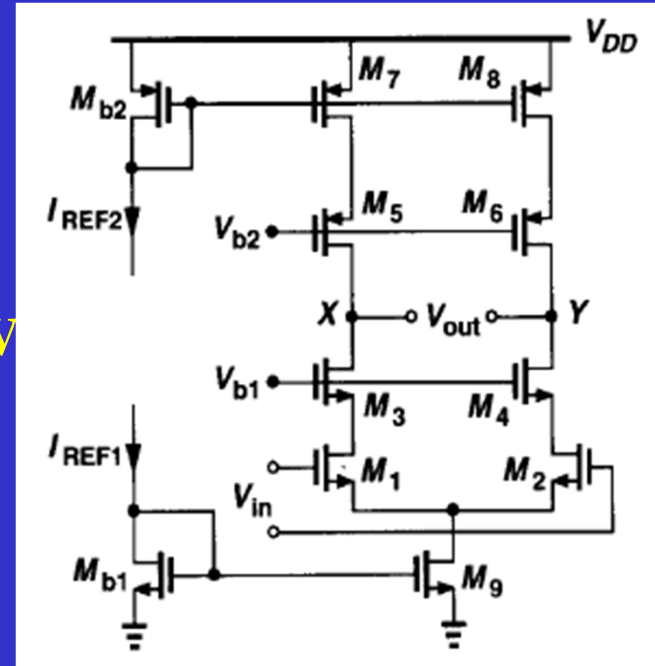
M3、M1：取 $V_{ov3,1} = 0.2V$

例9.4 套筒式cascode运放设计

- 设计如下指标的套筒式cascode全差分放大器： $V_{DD}=3V$ ，差动输出摆幅 $3V$ ，功耗 $10mW$ ，电压增益 2000 。假定
 $\mu_n C_{OX}=60\mu A/V^2$ ， $\mu_p C_{OX}=30\mu A/V^2$ ，
 $\lambda_p=0.1V^{-1}$ ($L_{eff}=0.5\mu m$ 时)， $\lambda_n=0.2V^{-1}$
 ($L_{eff}=0.5\mu m$ 时)， $\gamma=0$ ， $V_{THN}=|V_{THP}|=0.7V$

思路：

3、由直流偏置电流和 V_{ov} ，确定各MOS管的 W/L



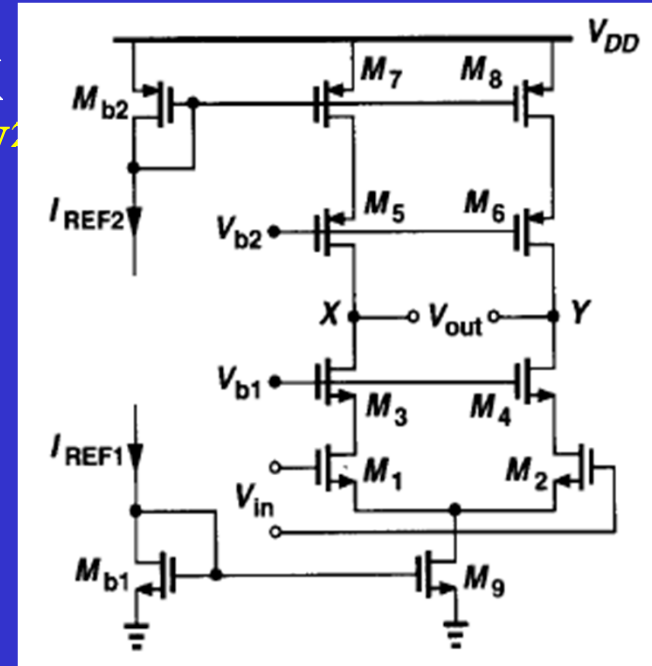
$$\text{由 } I_D = \frac{1}{2} \mu_{n,p} C_{OX} \frac{W}{L} V_{ov}^2 \text{ 求得。}$$

$$\text{得: } \left(\frac{W}{L}\right)_{1-4} = 1250, \left(\frac{W}{L}\right)_{5-8} = 1111, \left(\frac{W}{L}\right)_9 = 400$$

先取最小沟道长度 $0.5\mu m$ ，以使寄生电容最小。

例9.4 套筒式cascode运放设计

- 设计如下指标的套筒式cascode全差分放大器：
 $V_{DD}=3V$ ，差动输出摆幅 $3V$ ，功耗 $10mW$ ，电压增益 2000 。假定 $\mu_n C_{OX}=60\mu A/V^2$ ， $\mu_p C_{OX}=30\mu A/V^2$ ， $\lambda_p=0.1V^{-1}$ ($L_{eff}=0.5\mu m$ 时)， $\lambda_p=0.2V^{-1}$ ($L_{eff}=0.5\mu m$ 时)， $\gamma=0$ ， $V_{THN}=|V_{THP}|=0.7V$ 。



思路：4、计算电压增益是否满足要求。
 不满足时，增大 g_m 或 r_o

$$A_v \approx g_{m1} [(g_{m3} r_{O3} r_{O1}) \parallel (g_{m5} r_{O5} r_{O7})] = 1416$$

不满足2000的要求。需要增大。

如何增大？

保持 W/L 不变、 I_D 不变，增大 L ，以增大 r_o 。

$$r_o = \frac{1}{\lambda I_D} \propto L$$

$$V_{OV} = \sqrt{2I_D / (\mu C_{OX} \frac{W}{L})}$$

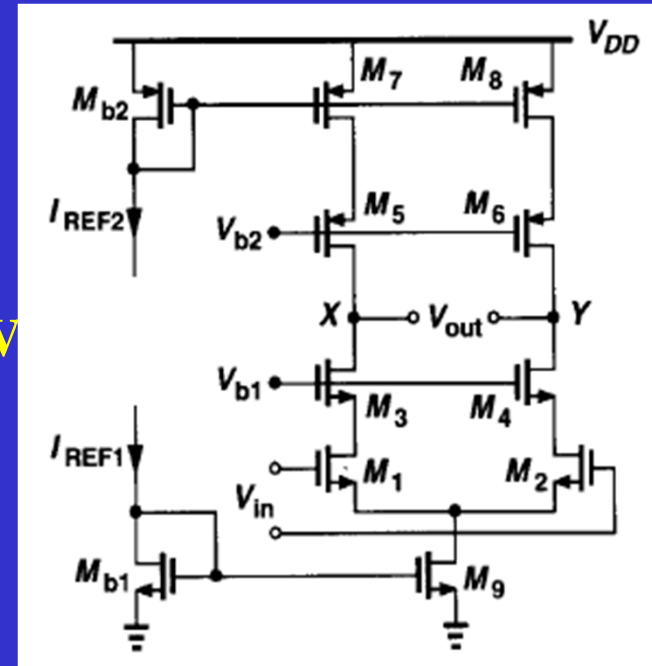
$$g_m r_o = \frac{2I_D}{V_{OV}} \cdot \frac{1}{\lambda I_D} = \frac{2}{\lambda V_{OV}} \propto \frac{L}{V_{OV}}$$

例9.4 套筒式cascode运放设计

- 设计如下指标的套筒式cascode全差分放大器： $V_{DD}=3V$ ，差动输出摆幅 $3V$ ，功耗 $10mW$ ，电压增益 2000 。假定
 $\mu_n C_{OX}=60\mu A/V^2$ ， $\mu_p C_{OX}=30\mu A/V^2$ ，
 $\lambda_p=0.1V^{-1}$ ($L_{eff}=0.5\mu m$ 时)， $\lambda_n=0.2V^{-1}$
 ($L_{eff}=0.5\mu m$ 时)， $\gamma=0$ ， $V_{THN}=|V_{THP}|=0.7V$

思路：

4、计算电压增益是否满足要求。不满足时，增大 g_m 或 r_o



M1—M4在信号路径上，为低寄生电容，不增加其尺寸。

M5—M8对信号影响小，增大其L，从 $0.5\mu m$ 到 $1\mu m$ 。

$W/L=1111\mu m/1\mu m$ ， $A_v \approx 4000$ 。

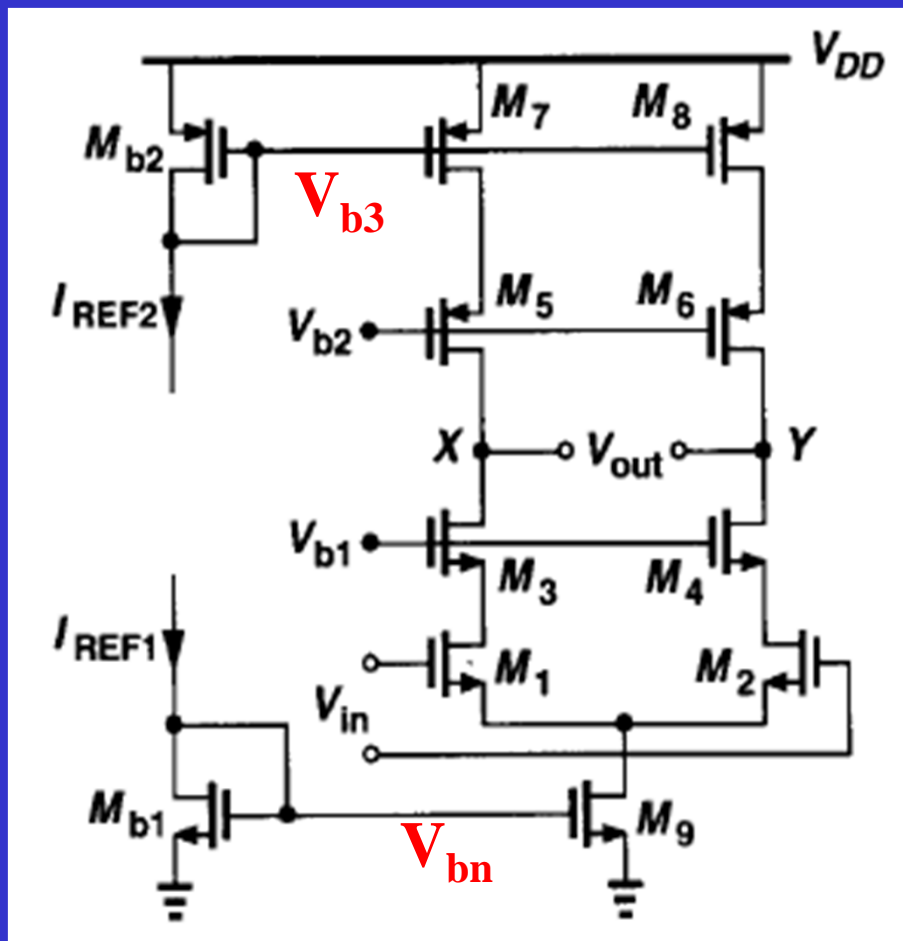
把M9的 V_{ov} 分一些给PMOS管，可减小PMOS管尺寸。

偏置电压设置：

$V_{DS}-V_{OV}$ 通常留 $50mV$ 左右余量

例9.4 套筒式cascode运放设计

□ 偏置电压设计



$$V_{bn} = V_{th9} + V_{dsat9}$$

$$V_{b3} = V_{DD} - |V_{th7}| - |V_{dsat7}|$$

$$V_{b1} > V_{th3} + V_{dsat3} + V_{dsat1} + V_{dsat9}$$

$$V_{b1} > 0.9 + V_{th3}$$

留余量，取 $V_{b1} = 1 + V_{th3}$

$$V_{b2} < V_{DD} - |V_{dsat7}| - |V_{th5}| - |V_{dsat5}|$$

$$V_{b2} < 2.4 - |V_{th5}|$$

留余量，取 $V_{b2} = 2.3 - |V_{th5}|$

电压摆幅

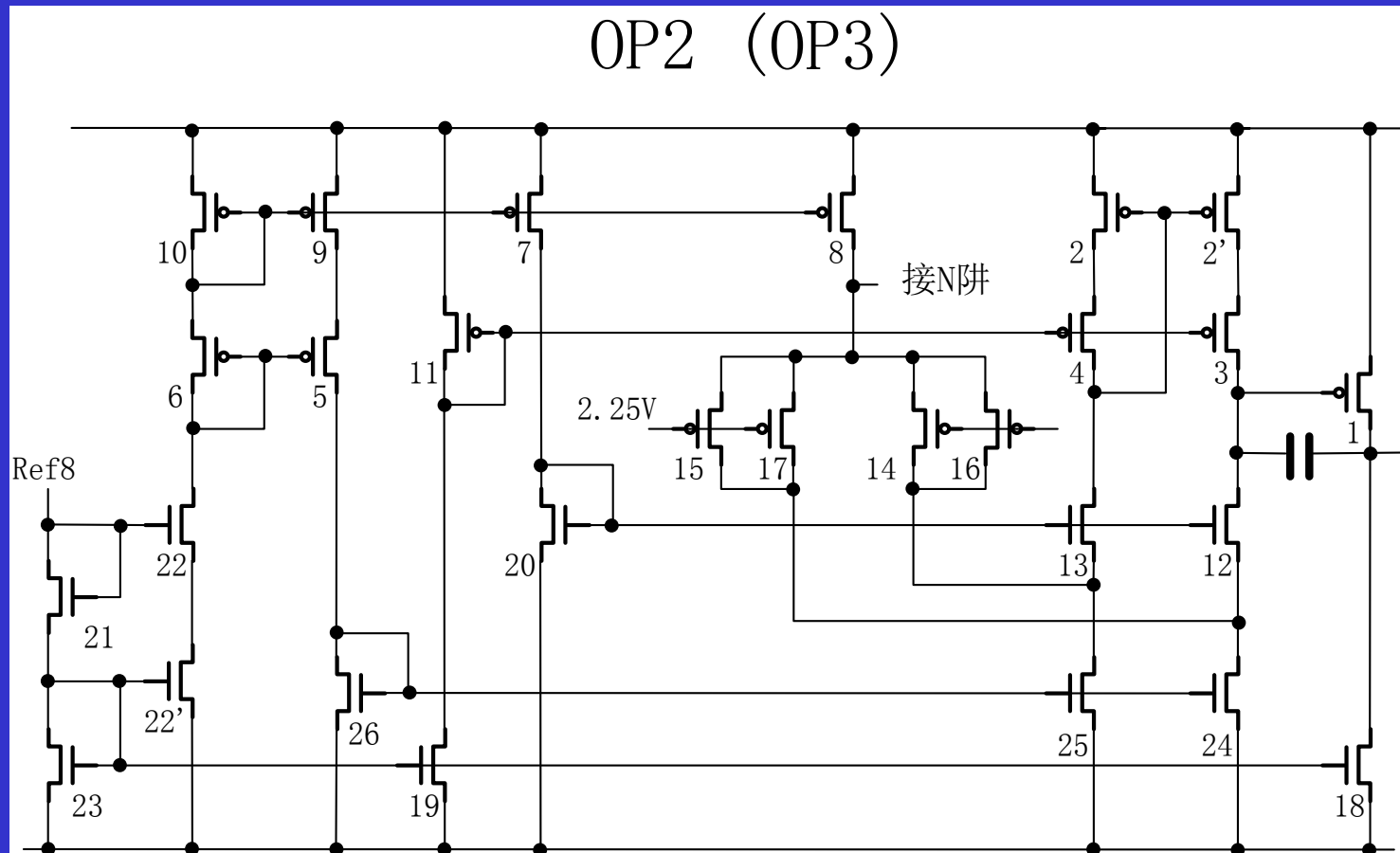
$$2(V_{b2} + |V_{th5}| - V_{b1} + V_{th3}) = 2.6V$$

实际的 V_{ov} 要小于上述值，为偏置电压留出余量

例9.4 套筒式cascode运放设计

□ 一种偏置电压产生电路

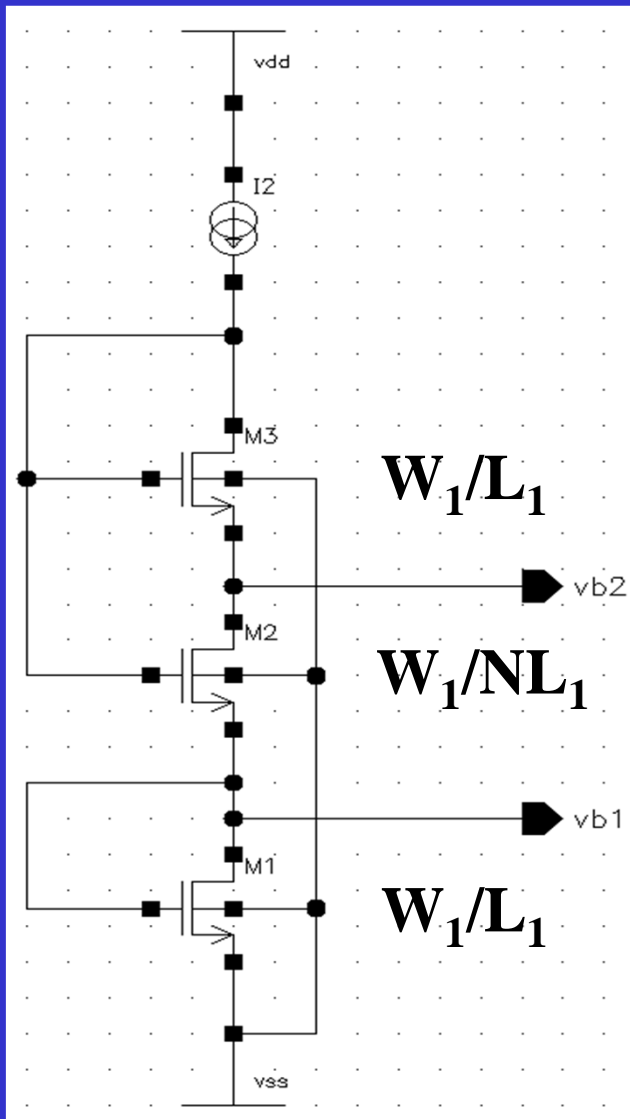
❖ 基于电流镜，合理设计 I_D 和 W/L



例9.4 套筒式cascode运放设计

□ 另一种偏置电压产生电路

❖ NMOS管偏压



$$V_{b1} = V_{GS1} = V_{th1} + V_{dsat1},$$

$M2$ 、 $M3$ 构成晶体管 $M23$,

$$V_{b2} = V_{b1} + V_{GS23} - V_{GS3},$$

若 $M1$ 、 $M3$ 均取 $\frac{W_1}{L_1}$, 而 $M2$ 取 $\frac{W_1}{N \times L_1}$,

$$V_{dsat1} = V_{dsat}, \quad V_{dsat3} = V_{dsat}, \quad V_{dsat23} = \sqrt{N+1} \times V_{dsat},$$

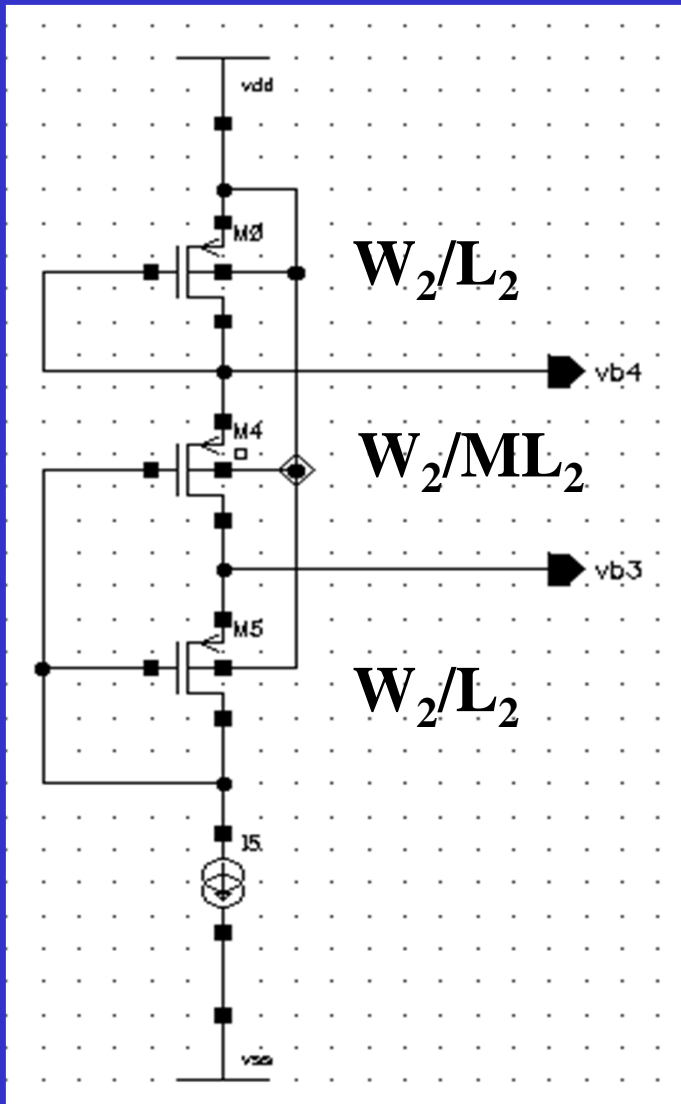
$$V_{b2} = V_{b1} + (\sqrt{N+1} - 1) \times V_{dsat},$$

N 根据需要取值

例9.4 套筒式cascode运放设计

□ 另一种偏置电压产生电路

❖ PMOS管偏压



$$V_{b4} = V_{dd} - |V_{GS3}| = V_{dd} - |V_{th3}| - |V_{dsat3}|,$$

$M4$ 、 $M5$ 构成晶体管 $M45$,

$$V_{b3} = V_{b4} - |V_{GS45}| + |V_{GS5}|,$$

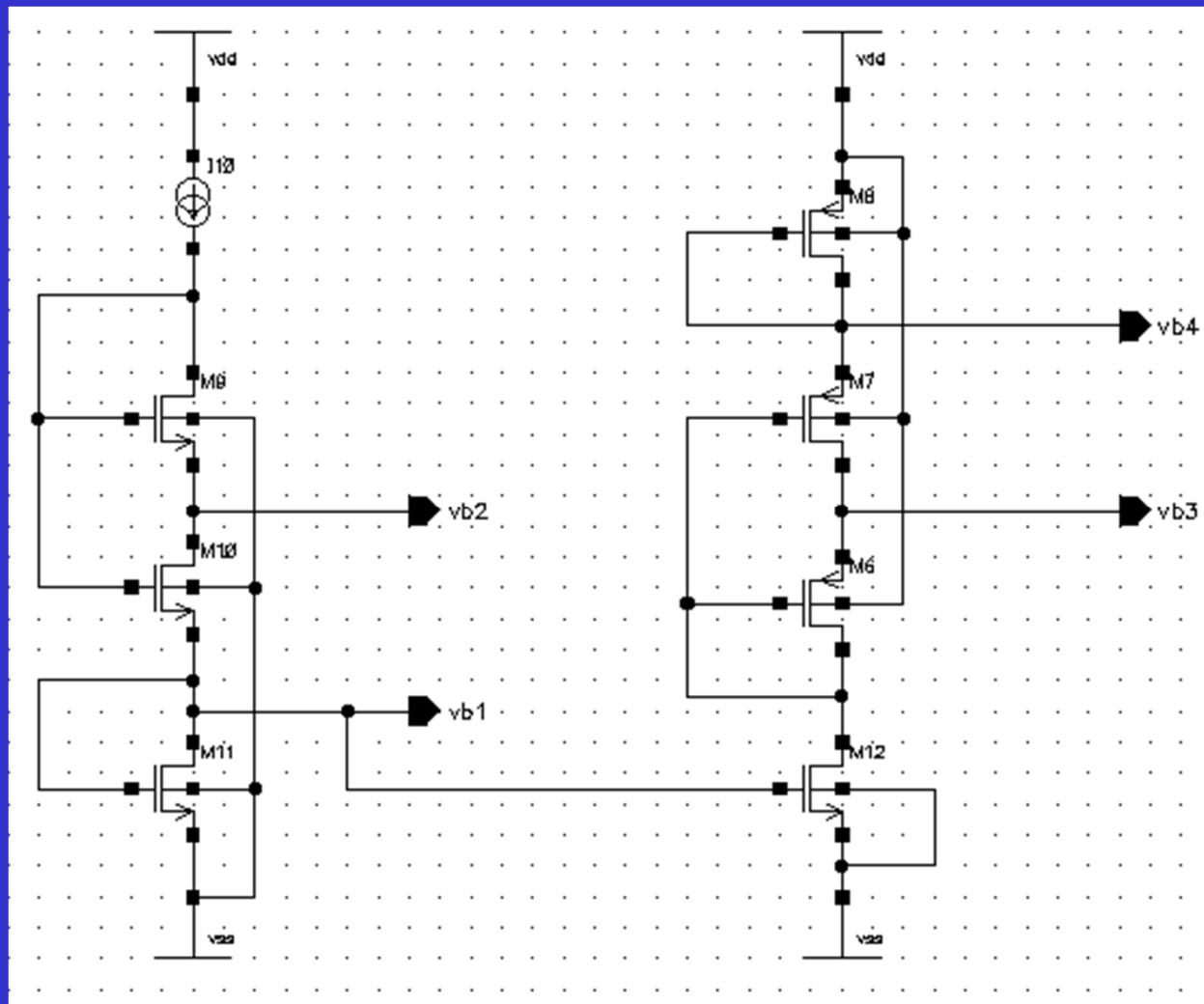
若 $M3$ 、 $M5$ 均取 $\frac{W_2}{L_2}$, $M4$ 取 $\frac{W_2}{M \times L_2}$,

$$|V_{dsat3}| = |V_{dsat}|, |V_{dsat5}| = |V_{dsat}|, |V_{dsat45}|$$

$$= \sqrt{M+1} \times |V_{dsat}|$$

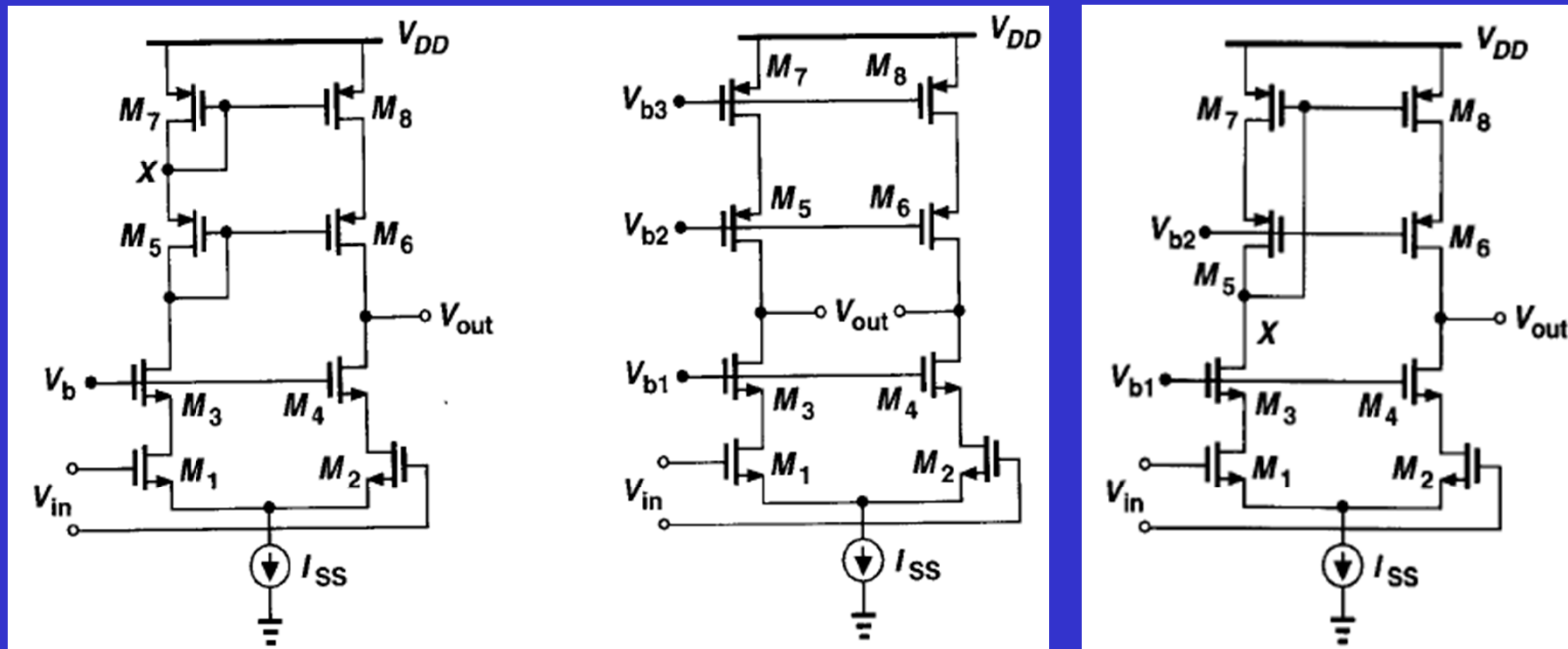
$$V_{b3} = V_{b4} - \left(\sqrt{M+1} - 1 \right) \times V_{dsat}$$

例9.4 套筒式cascode运放设计



9.2.2 套筒式共源共栅运放—总结

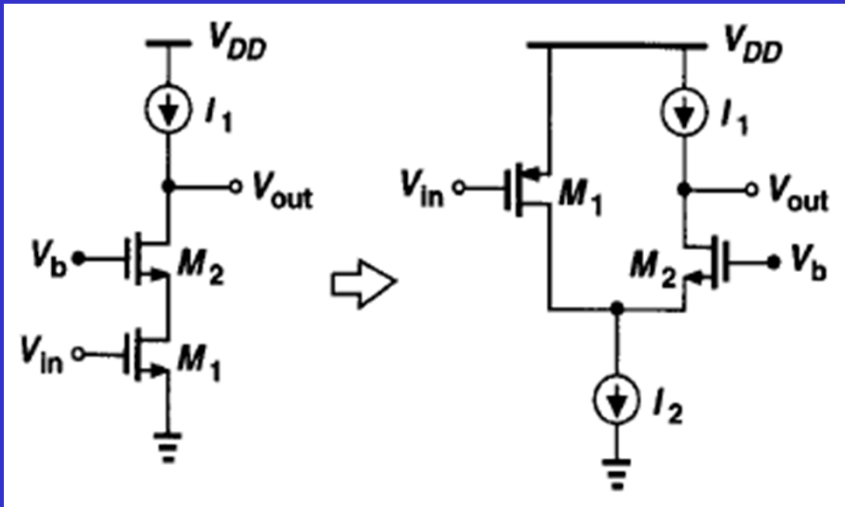
- 高电压增益
- 输出摆幅——5管层叠，牺牲摆幅
- 很难以输入和输出短接方式实现单位增益缓冲器



如何解决这个问题？ 折叠式共源共栅运放

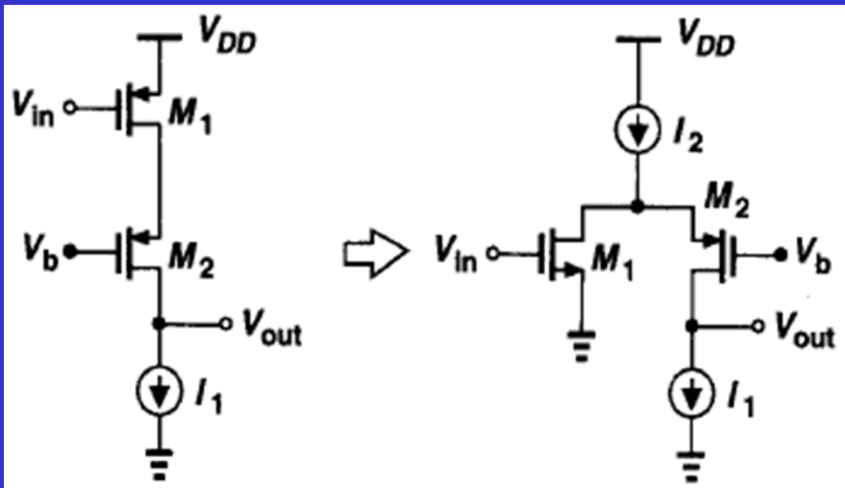
9.2.3 折叠式共源共栅运放

□ 由单级折叠共源共栅放大器构成



共源管和共栅管类型不同

共源管实现输入电压到电流的转换



折叠结构中，输入管上端不再层叠共栅管，扩大了输入共模电平范围

9.2.3 折叠式共源共栅运放

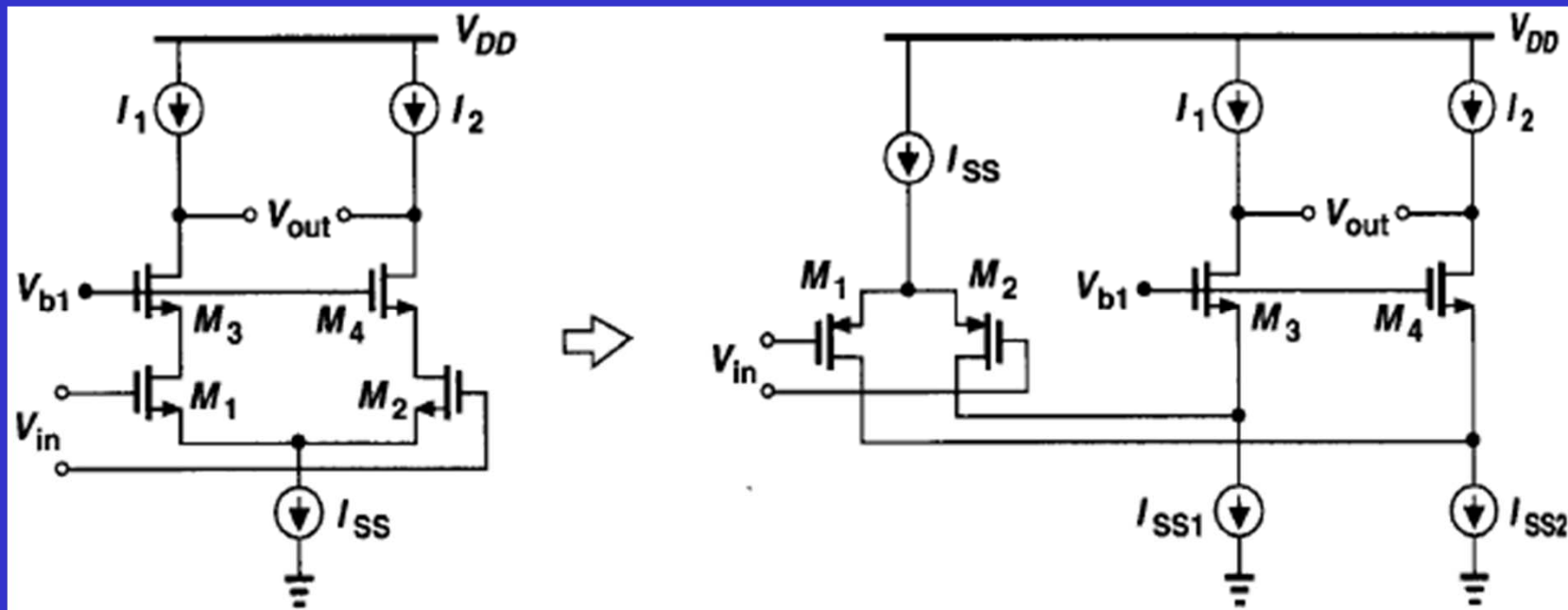
□与套筒式cascode结构的比较

1、一个 I_{SS} 供给共源和共栅管

2、输入共模电平不能超过 $V_{b1} - V_{GS3} + V_{TH1}$

1、共源和共栅管是不同电流源，功耗大

2、输入共模电平不能低于 $V_{b1} - V_{GS3} - |V_{TH1}|$ ，输入端可以和输出端相接，且几乎没有摆幅限制



9.2.3 折叠式共源共栅运放

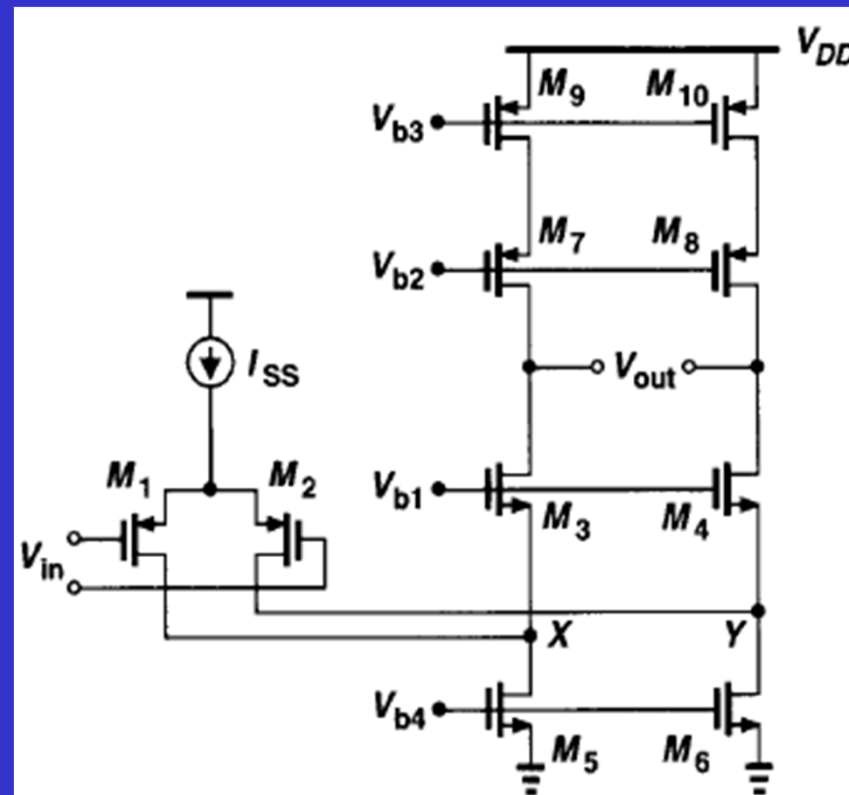
□ 输出摆幅

合理设计 V_{b4} 和 V_{b1} , 则:

$$V_{out,min} = V_{ov5} + V_{ov3}$$

合理设计 V_{b2} 和 V_{b3} , 则:

$$V_{out,max} = V_{DD} - |V_{ov7}| - |V_{ov9}|$$



$$V_{out,swing,f} = V_{DD} - |V_{ov7}| - |V_{ov9}| - V_{ov3} - V_{ov5}$$

而套筒式的输出摆幅, 牺牲一个尾电流源压降,

$$\text{为: } V_{out,swing,t} = V_{DD} - |V_{ov7}| - |V_{ov5}| - V_{ov3} - V_{ov1} - V_{ISS}$$

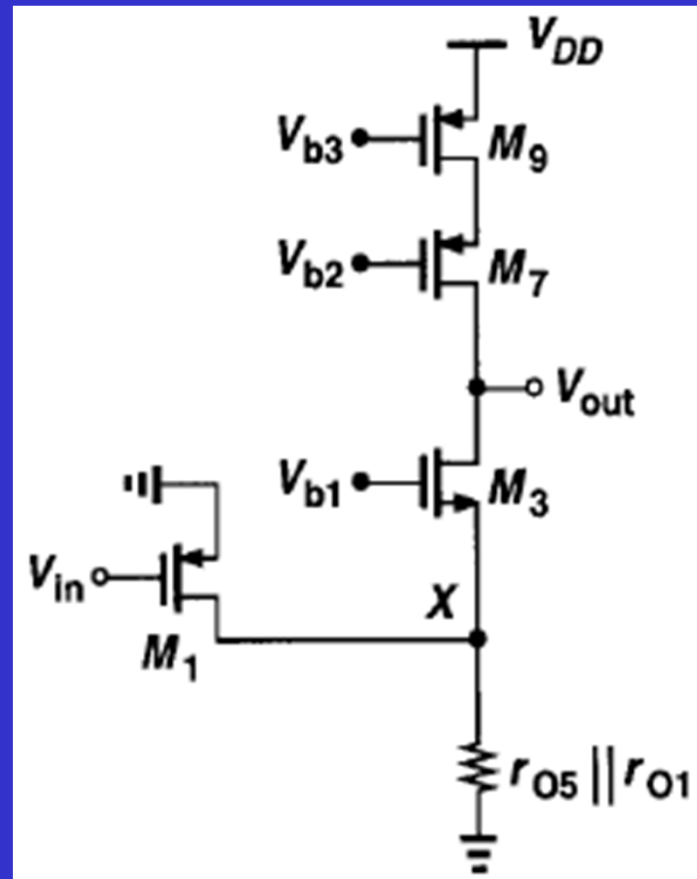
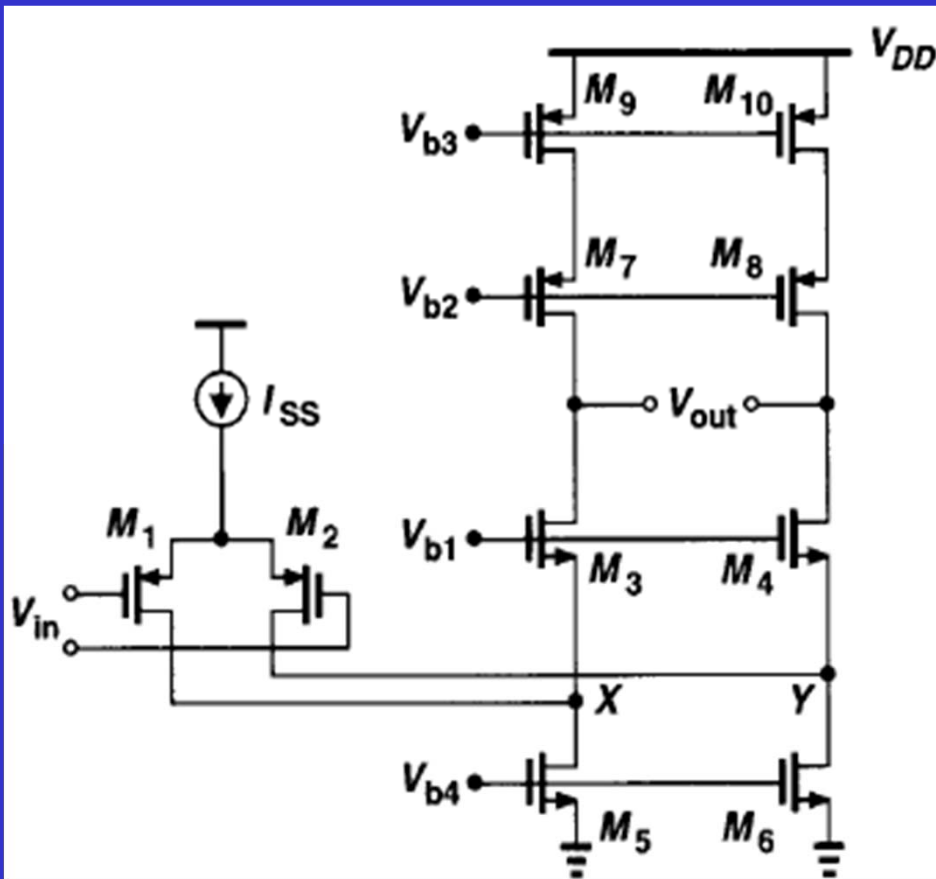
M5和M6流过的电流最大。若减小其寄生电容, 需增大过驱动电压

9.2.3 折叠式共源共栅运放

□ 小信号电压增益

❖ 用半电路法分析

$$|A_v| = G_m R_{out}$$

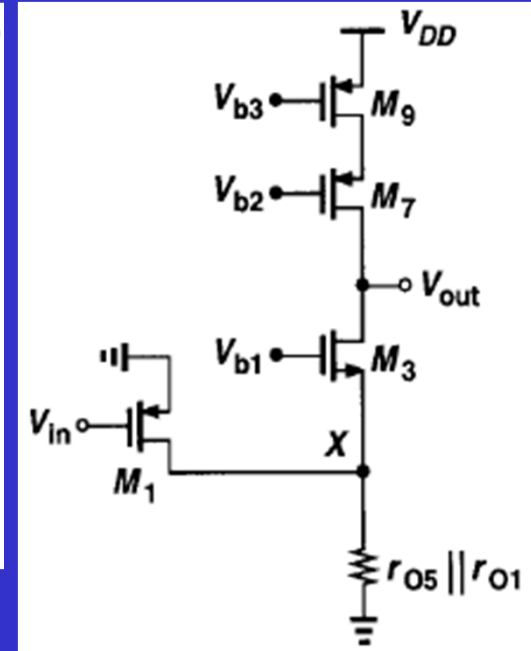
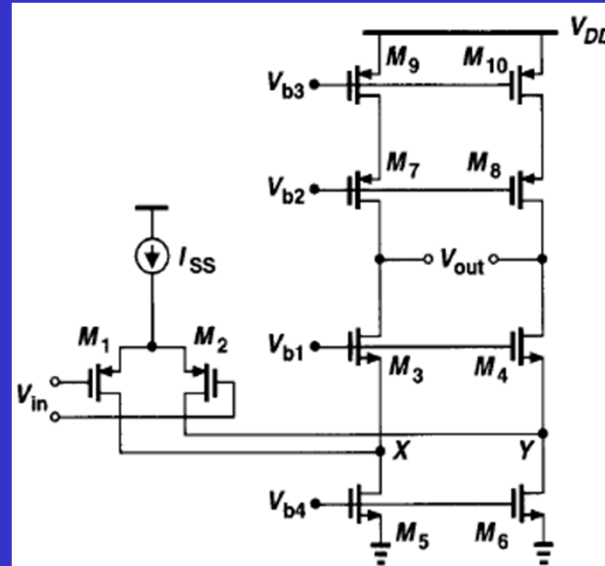


9.2.3 折叠式共源共栅运放

□ 小信号电压增益

❖ 求 G_m

$$|A_v| = G_m R_{out}$$



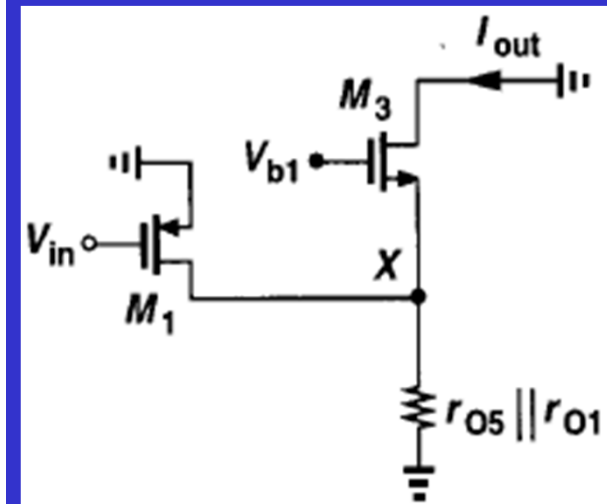
输出短接交流地，计算 $G_m = I_{out} / V_{in}$ 。

从M3的源端看进去的阻抗为：

$$\left(\frac{1}{g_{m3} + g_{mb3}} \parallel r_{O3} \right) \ll (r_{O1} \parallel r_{O5}) \text{ (通常成立)}$$

$\therefore v_{in}$ 产生的小信号电流 $g_{m1} v_{in}$ 主要流过M3管，即 I_{out} 。

$$\therefore G_m \approx g_{m1}$$

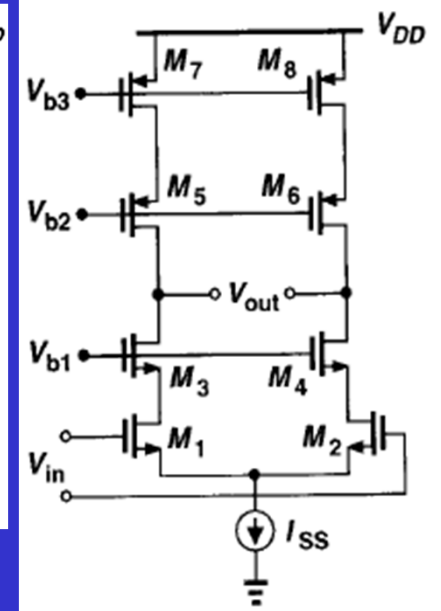
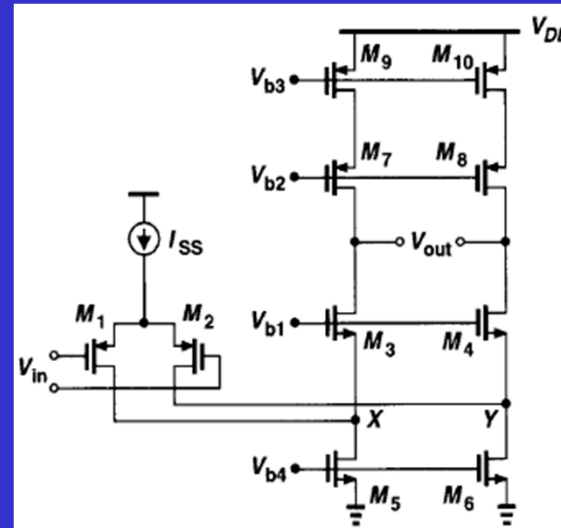


9.2.3 折叠式共源共栅运放

□小信号电压增益

$$R_{out} \approx [(g_{m7} + g_{mb7})r_{O7}r_{O9}] \parallel [(\underbrace{g_{m3} + g_{mb3}}_{\approx 2g_{m1}})r_{O3}(r_{O1} \parallel r_{O5})]$$

$$|A_v| = G_m R_{out} \approx g_{m1} \left\{ \begin{aligned} &[(g_{m7} + g_{mb7})r_{O7}r_{O9}] \parallel \\ &[(\underbrace{g_{m3} + g_{mb3}}_{\approx 2g_{m1}})r_{O3}(r_{O1} \parallel r_{O5})] \end{aligned} \right\}$$



$$g_{m1} = \sqrt{2\mu C_{OX} (W/L) I_D}$$

相同尺寸和偏置电流情况下，比较两图增益：

- 1、PMOS输入管跨导比NMOS的低3.5倍。
- 2、 $(r_{O1} \parallel r_{O5})$ 低于套筒式的 r_{O1} 。
- 3、流过M5的偏置电流是两倍于M1管，使其 r_{O5} 小。

因此，折叠式增益比套筒式低2~3倍。

$$r_O = \frac{1}{\lambda I_D}$$

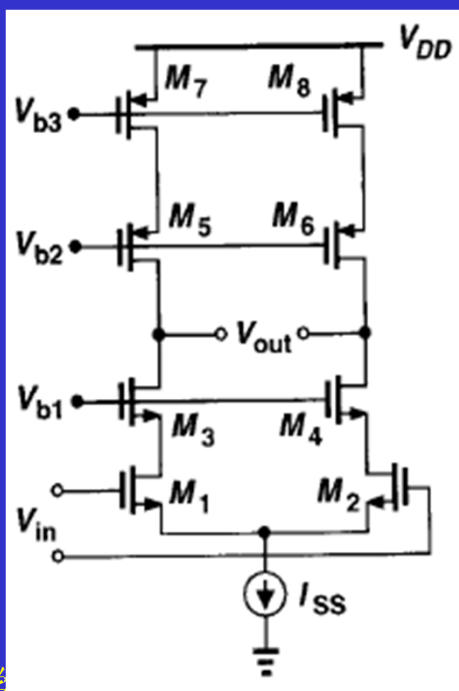
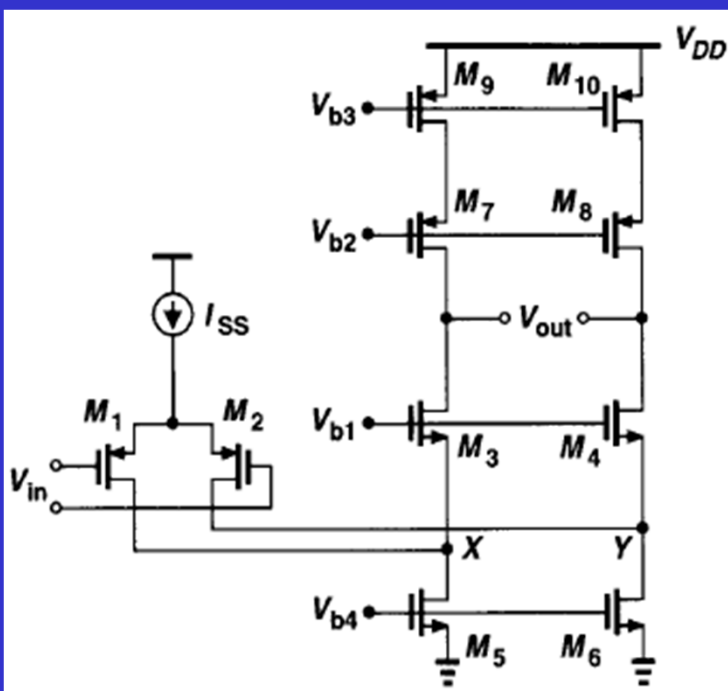
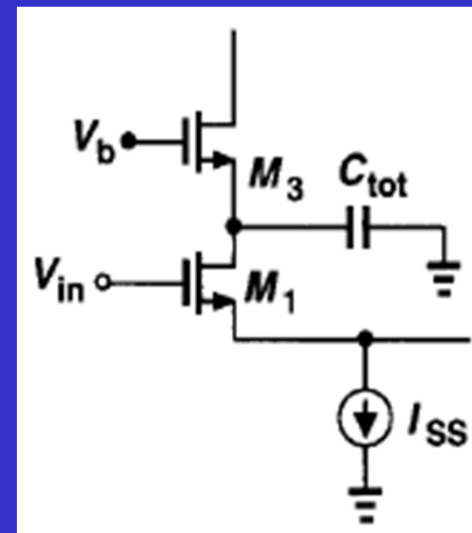
9.2.3 折叠式共源共栅运放

□ 频率特性

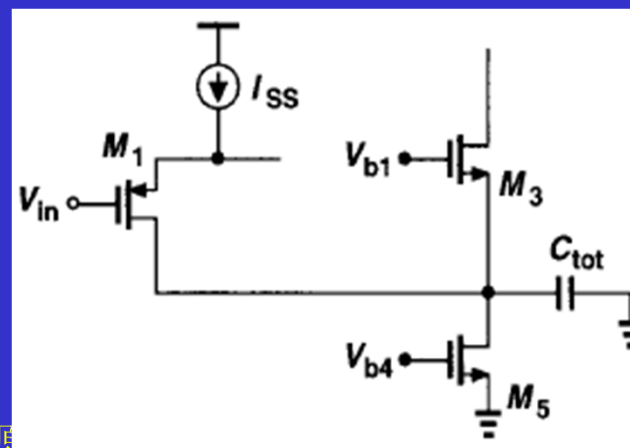
❖ 折叠点 (M3和M4的源端) 对应的极点
比套筒式结构的小

$$C_{tot, telescopic} = C_{GS3} + C_{SB3} + C_{DB1} + C_{GD1}$$

$$C_{tot, folded} = C_{GS3} + C_{SB3} + C_{DB1} + C_{GD1} + C_{GD5} + C_{DB5}$$



因M5尺寸常较大,
 C_{GD5} 、 C_{DB5} 也较大



9.2.3 折叠式共源共栅运放

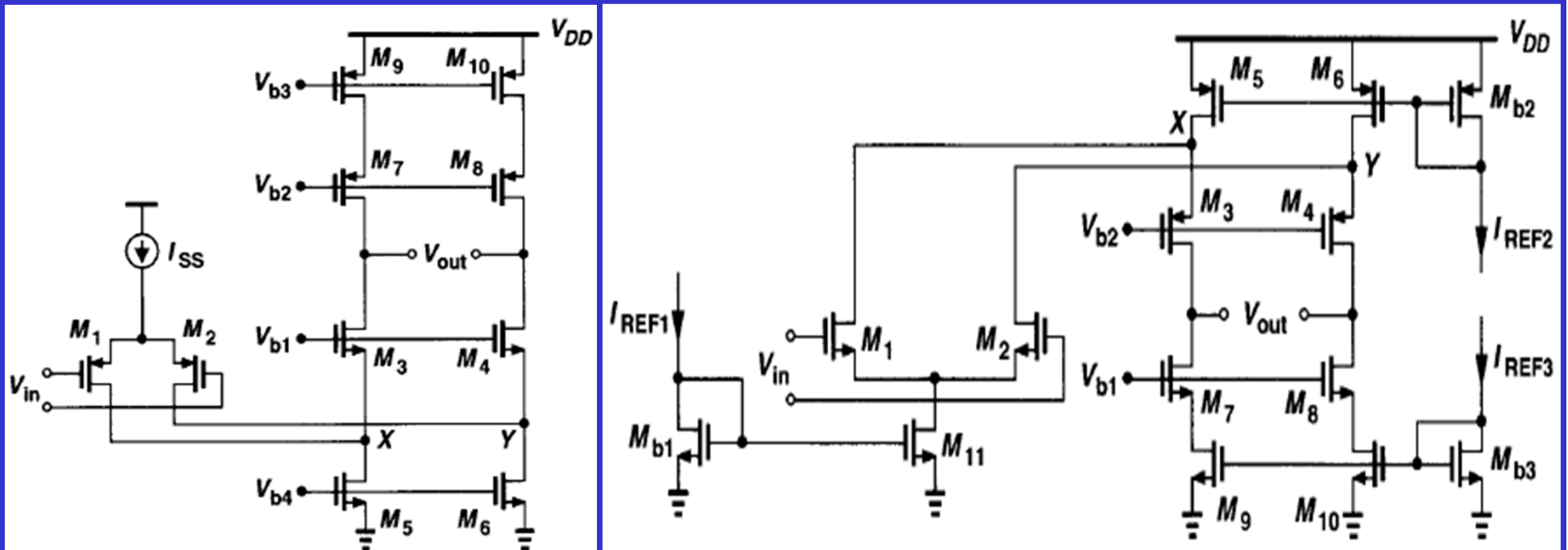
□ NMOS管做输入时

❖ 相同尺寸和偏置电流情况下，可有更大增益

- 输入管跨导大**3.5倍**，输出阻抗相当或略低

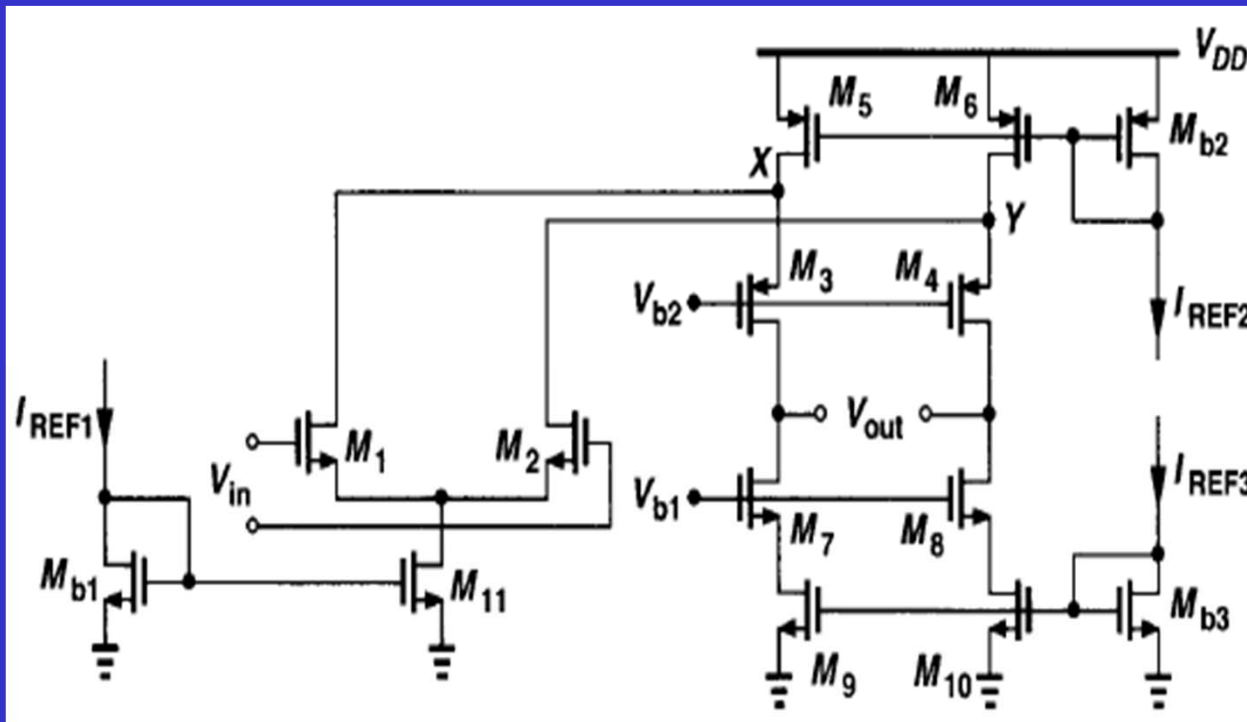
❖ 不足：折叠点对应的极点降低

- X点对地阻抗增大： $1/(g_{mp3}+g_{mpb3})$ 大于 $1/(g_{mn3}+g_{mnb3})$
- X点对地电容增大：传导同样电流PMOS管需更大尺寸



例9.6 折叠式cascode运放设计

- 设计如下指标的以NMOS管为输入管的折叠式cascode全差分放大器： $V_{DD}=3V$ ，差动输出摆幅 $3V$ ，功耗 $10mW$ ，电压增益 2000 。假定 $\mu_n C_{OX}=60\mu A/V^2$ ， $\mu_p C_{OX}=30\mu A/V^2$ ， $\lambda_p=0.1V^{-1}$ （ $L_{eff}=0.5\mu m$ 时）， $\lambda_n=0.2V^{-1}$ （ $L_{eff}=0.5\mu m$ 时）， $\gamma=0$ ， $V_{THN}=|V_{THP}|=0.7V$ 。

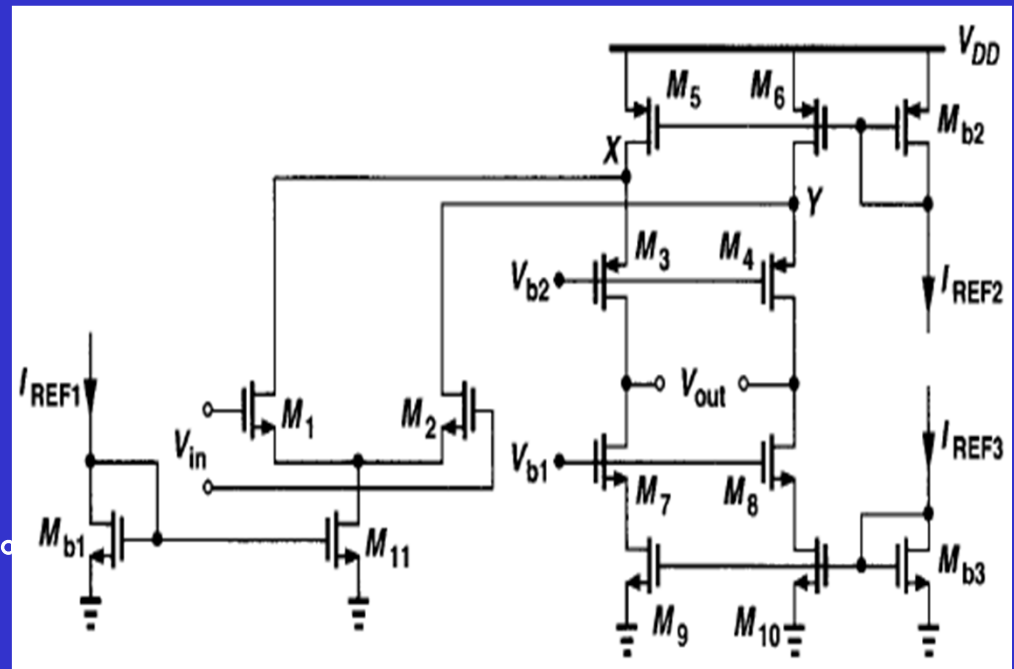


例9.6 折叠式cascode运放设计

□ 设计如下指标的以NMOS管为输入套的折叠式cascode全差分放大器： $V_{DD}=3V$ ，差动输出摆幅 $3V$ ，功耗 $10mW$ ，电压增益 2000 。假定 $\mu_n C_{OX}=60\mu A/V^2$ ， $\mu_p C_{OX}=30\mu A/V^2$ ， $\lambda_p=0.1V^{-1}$ （ $L_{eff}=0.5\mu m$ 时）， $\lambda_n=0.2V^{-1}$ （ $L_{eff}=0.5\mu m$ 时）， $\gamma=0$ ， $V_{THN}=|V_{THP}|=0.7V$ 。

思路：

- 1、由功耗，确定支路偏置电流
- 2、由输出摆幅要求，确定各MOS管的 V_{ov}
- 3、由直流偏置电流和 V_{ov} ，确定各MOS管的 W/L
- 4、计算电压增益是否满足要求。不满足时，增大 g_m 或 r_o



例9.6 折叠式cascode运放设计

□ 设计如下指标的以NMOS管为输入套的折叠式cascode全差分放大器： $V_{DD}=3V$ ，差动输出摆幅 $3V$ ，功耗 $10mW$ ，电压增益 2000 。假定 $\mu_n C_{OX}=60\mu A/V^2$ ， $\mu_p C_{OX}=30\mu A/V^2$ ， $\lambda_p=0.1V^{-1}$ （ $L_{eff}=0.5\mu m$ 时）， $\lambda_n=0.2V^{-1}$ （ $L_{eff}=0.5\mu m$ 时）， $\gamma=0$ ， $V_{THN}=|V_{THP}|=0.7V$ 。

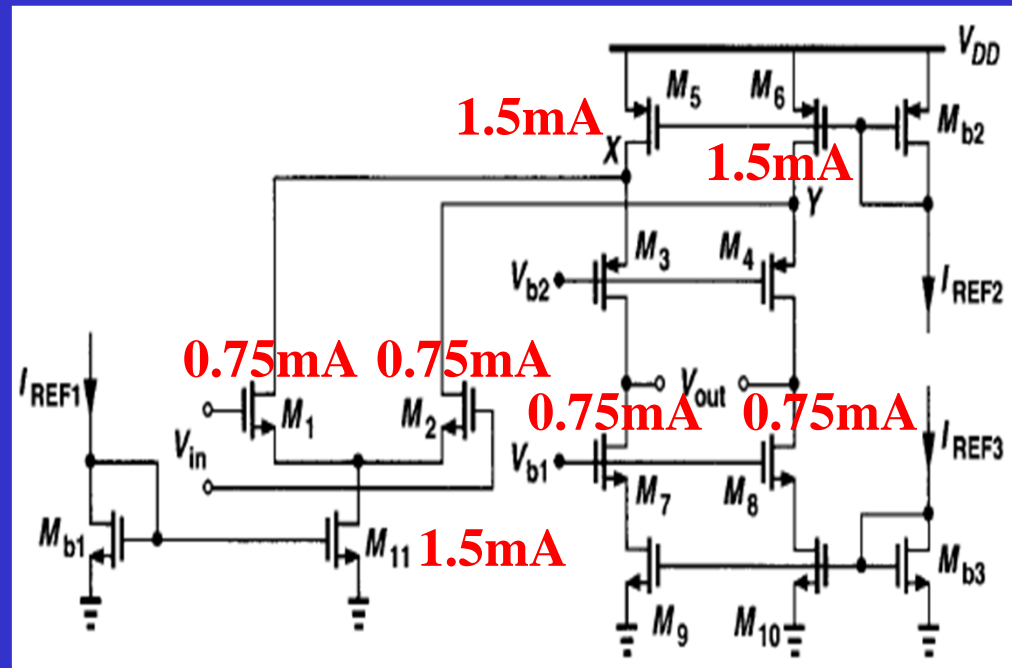
思路：

1、由功耗，确定支路偏置电流

总电流为 $3.33mA$ ，

分 $1.5mA$ 给 M_5 ， $1.5mA$ 给 M_6
余 $330\mu A$ 给 M_{b1} 、 M_{b2} 和 M_{b3}

若设定 M_{11} 的为 $1.5mA$ ，则
 M_7 和 M_6 的为 $0.75mA$



例9.6 折叠式cascode运放设计

□ 设计如下指标的以NMOS管为输入套的折叠式cascode全差分放大器： $V_{DD}=3V$ ，差动输出摆幅 $3V$ ，功耗 $10mW$ ，电压增益 2000 。假定 $\mu_n C_{OX}=60\mu A/V^2$ ， $\mu_p C_{OX}=30\mu A/V^2$ ， $\lambda_p=0.1V^{-1}$ ($L_{eff}=0.5\mu m$ 时)， $\lambda_n=0.2V^{-1}$ ($L_{eff}=0.5\mu m$ 时)， $\gamma=0$ ， $V_{THN}=|V_{THP}|=0.7V$ 。

思路：

2、由输出摆幅要求，确定各MOS管的 V_{ov}

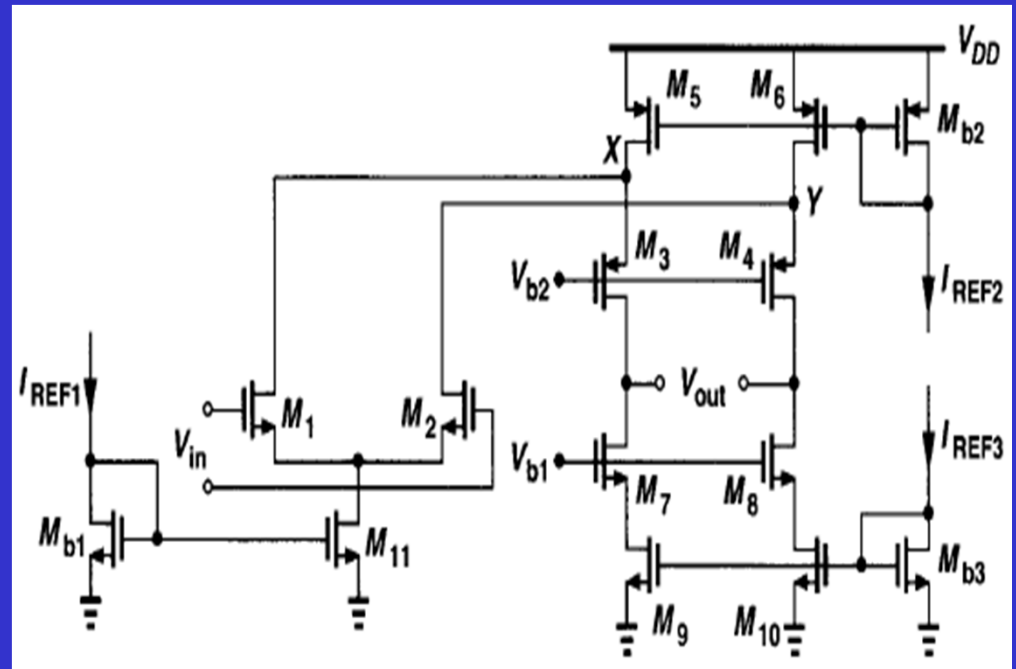
$$V_{ov5,6} = 0.5V$$

(电流大， $1.5mA$ ，使 W/L 合理)

$$V_{ov3,4} = 0.4V \text{ (PMOS管)}$$

$$V_{ov7,8,9,10} = 0.3V \text{ (NMOS管)}$$

$$V_{ov1,2,11} \text{ (由输入电压范围要求确定)}$$



例9.6 折叠式cascode运放设计

□ 设计如下指标的以NMOS管为输入套的折叠式cascode全差分放大器： $V_{DD}=3V$ ，差动输出摆幅 $3V$ ，功耗 $10mW$ ，电压增益 2000 。假定 $\mu_n C_{OX}=60\mu A/V^2$ ， $\mu_p C_{OX}=30\mu A/V^2$ ， $\lambda_p=0.1V^{-1}$ （ $L_{eff}=0.5\mu m$ 时）， $\lambda_n=0.2V^{-1}$ （ $L_{eff}=0.5\mu m$ 时）， $\gamma=0$ ， $V_{THN}=|V_{THP}|=0.7V$ 。

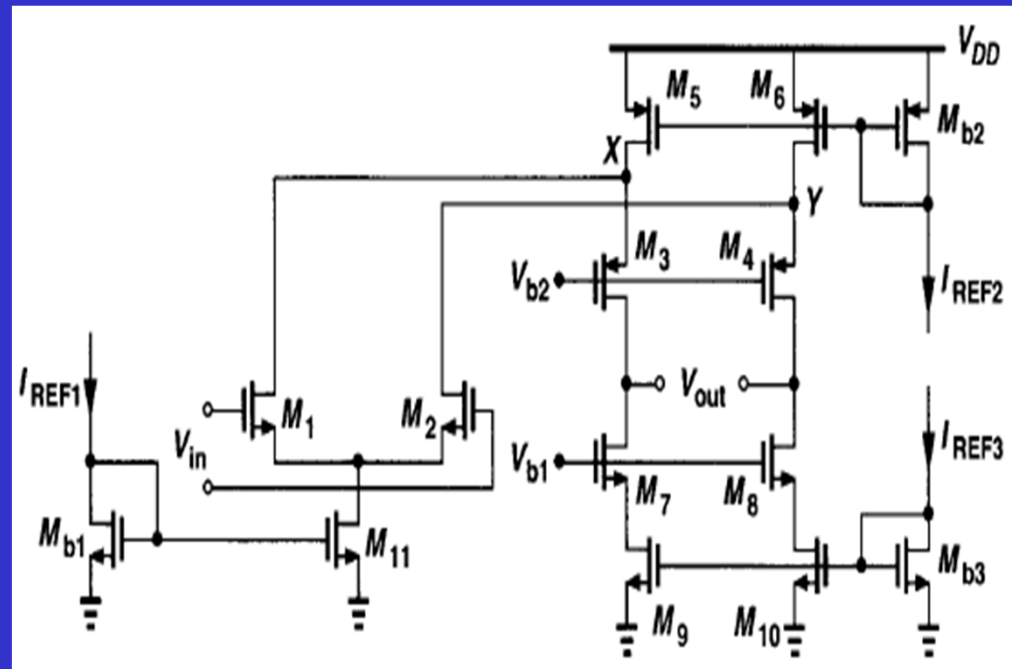
思路：

3、由直流偏置电流和 V_{ov} ，确定各MOS管的 W/L

由 $I_D = \frac{1}{2} \mu_{n,p} C_{OX} \frac{W}{L} V_{ov}^2$ 求得。

得： $(\frac{W}{L})_{5,6} = 400$ ， $(\frac{W}{L})_{3,4} = 313$ ，

$(\frac{W}{L})_{7,8,9,10} = 278$

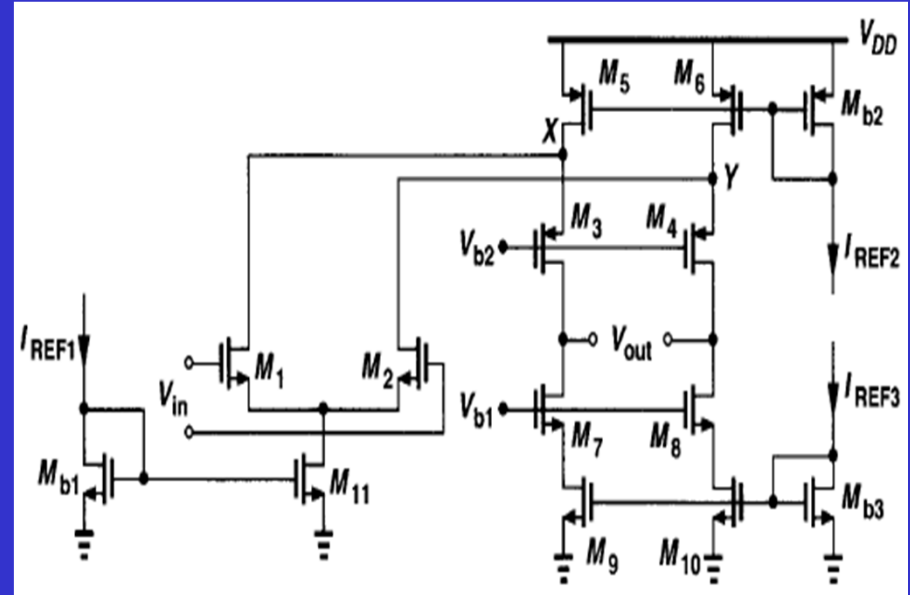


例9.6 折叠式cascode运放设计

□ 设计如下指标的以NMOS管为输入套的折叠式cascode全差分放大器。

思路：

3、由直流偏置电流和 V_{ov} ，确定各MOS管的W/L



输入共模范围： $(V_{OV,11} + V_{OV,1,2} + V_{TH,1,2}) \sim V_{DD}$

输出电压范围： $(V_{OV,9} + V_{OV,7}) \sim (V_{DD} - V_{OV,5} - V_{OV,3})$

即0.6V ~ 2.1V，最佳输出共模电平为1.35V。

若取输入共模电平为1.35V，则可令： $V_{OV,11} = 0.4V$ 、 $V_{OV,1,2} = 0.25$

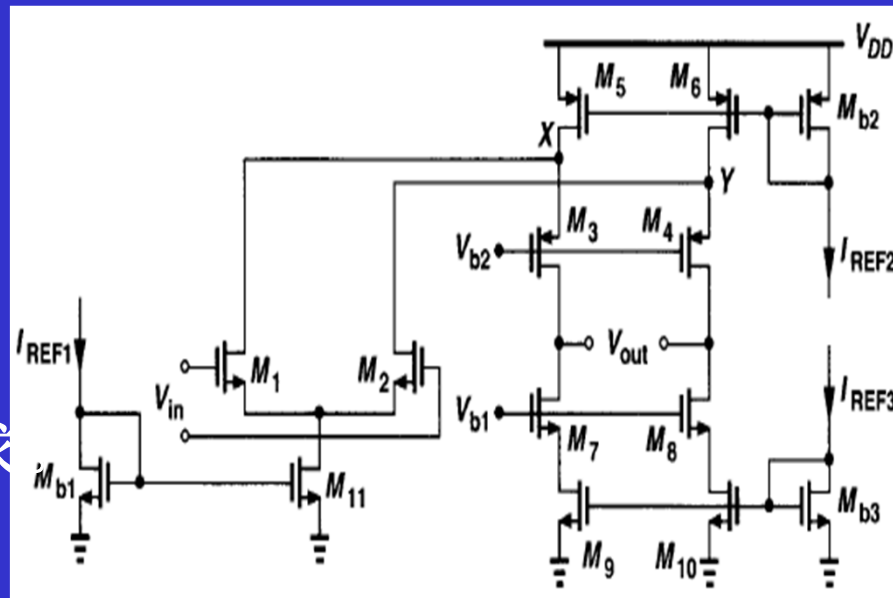
求得： $(\frac{W}{L})_{1,2} = 400$

例9.6 折叠式cascode运放设计

□ 设计如下指标的以NMOS管为输入套的折叠式cascode全差分放大器。

思路：

4、计算电压增益是否满足要求
不满足时，增大 g_m 或 r_o



$$g_m = (2I_D) / V_{ov}。 \text{ 得: } g_{m1,2} = 6mS, g_{m3,4} = 3.8mS, g_{m7,8} = 5mS$$

$$r_o = 1 / (\lambda I_D)。 L \text{ 取 } 0.5 \mu m \text{ 时:}$$

$$r_{O1,2} = r_{O7-10} = 13.3K\Omega, r_{O3,4} = 2r_{O5,6} = 6.67K\Omega。$$

$$|A_v| \approx g_{m1} \{ (g_{m7} r_{O7} r_{O9}) \parallel [g_{m3} r_{O3} (r_{O1} \parallel r_{O5})] \}$$

$$= 0.006 \times (880K\Omega \parallel 67.58K\Omega) \approx 376, \text{ 不满足要求}$$

旧版书上有错：
从M7漏极往下
看的阻抗是

0.88MΩ，不是
书上写的8.8MΩ

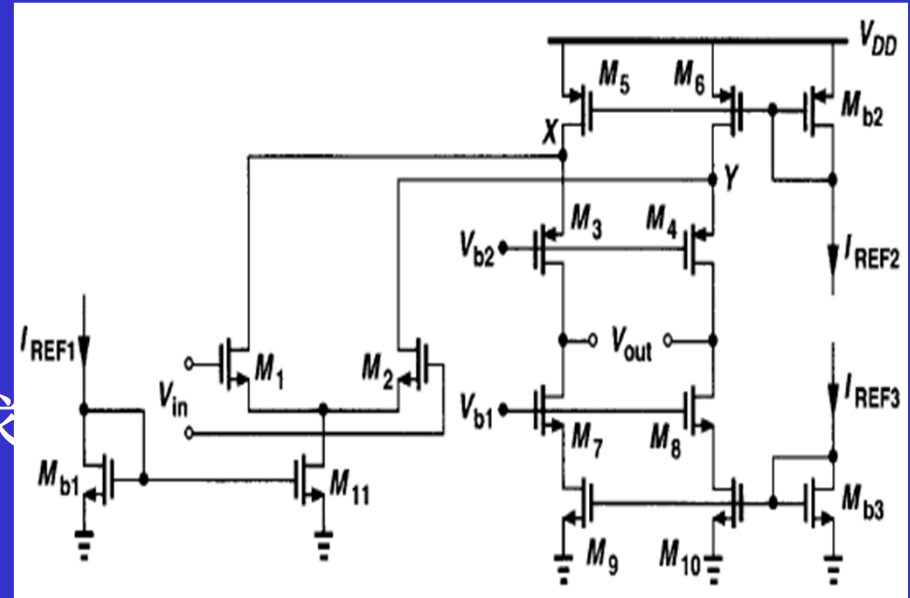
新版已改

例9.6 折叠式cascode运放设计

□ 设计如下指标的以NMOS管为输入套的折叠式cascode全差分放大器。

思路：

4、计算电压增益是否满足要求
不满足时，增大 g_m 或 r_o



$$g_{m1,2} = 6mS, g_{m3,4} = 3.8mS, g_{m7,8} = 5mS$$

$$r_{O1,2} = r_{O7-10} = 13.3K\Omega, r_{O3,4} = 2r_{O5,6} = 6.67K\Omega.$$

$$|A_v| \approx g_{m1} \left\{ (g_{m7} r_{O7} r_{O9}) \parallel [g_{m3} r_{O3} (r_{O1} \parallel r_{O5})] \right\}$$

$$= 0.006 \times (880K\Omega \parallel 67.58K\Omega) \approx 376, \text{ 不满足要求}$$

主要原因：
从M3漏极往上看
看的阻抗太小了

例9.6 折叠式cascode运放设计

思路:

4、计算电压增益是否满足要求。不满足时，增大 g_m 或 r_o

$$r_{O1} = 13.3K\Omega, r_{O5,6} = 3.335K\Omega.$$

$$|A_v| \approx g_{m1} \left\{ (g_{m7} r_{O7} r_{O9}) \parallel [g_{m3} r_{O3} (r_{O1} \parallel r_{O5})] \right\}$$

如何增大?

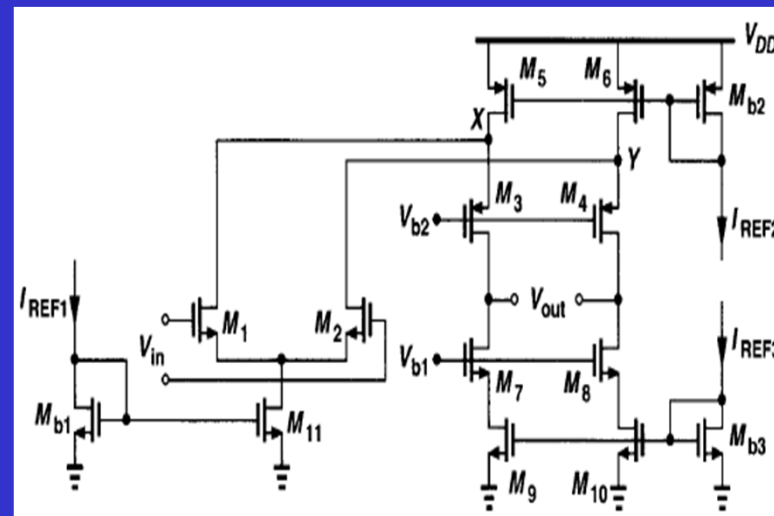
- 1、保持 $M_{5,6}$ 的 W/L 不变、增大 L ，使 r_{O5} 增大。
- 2、保持 $M_{3,4}$ 的 W/L 不变、增大 L ，使 $g_{m3} r_{O3}$ 增大。
- 3、增大 $M_{1,2}$ 的 W 、降低其 V_{ov} ，以增大 g_{m1} 。

$$r_o = \frac{1}{\lambda I_D} \propto L$$

$$V_{OV} = \sqrt{2I_D / (\mu C_{OX} \frac{W}{L})}$$

模拟

$$g_m r_o = \frac{2I_D}{V_{OV}} \cdot \frac{1}{\lambda I_D} = \frac{2}{\lambda V_{OV}} \propto \frac{L}{V_{OV}}$$

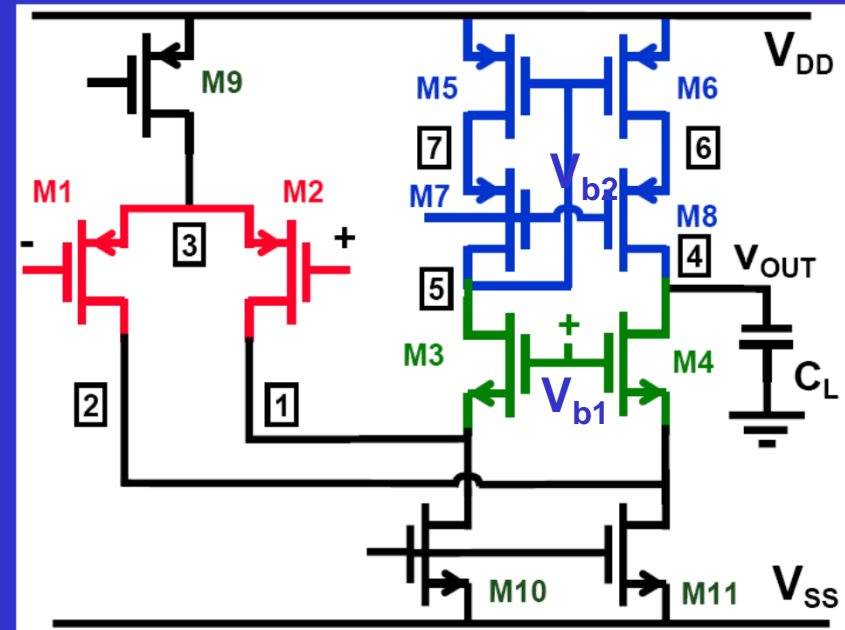
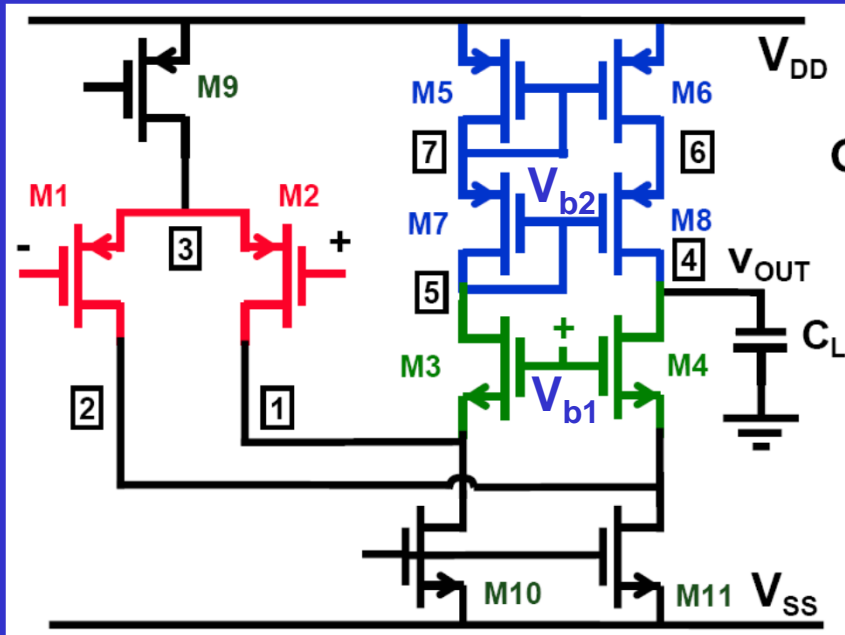


代价:

尺寸增大，导致寄生电容增大，频率特性变差

9.2.3 折叠式共源共栅运放

□单端输出的



输出摆幅

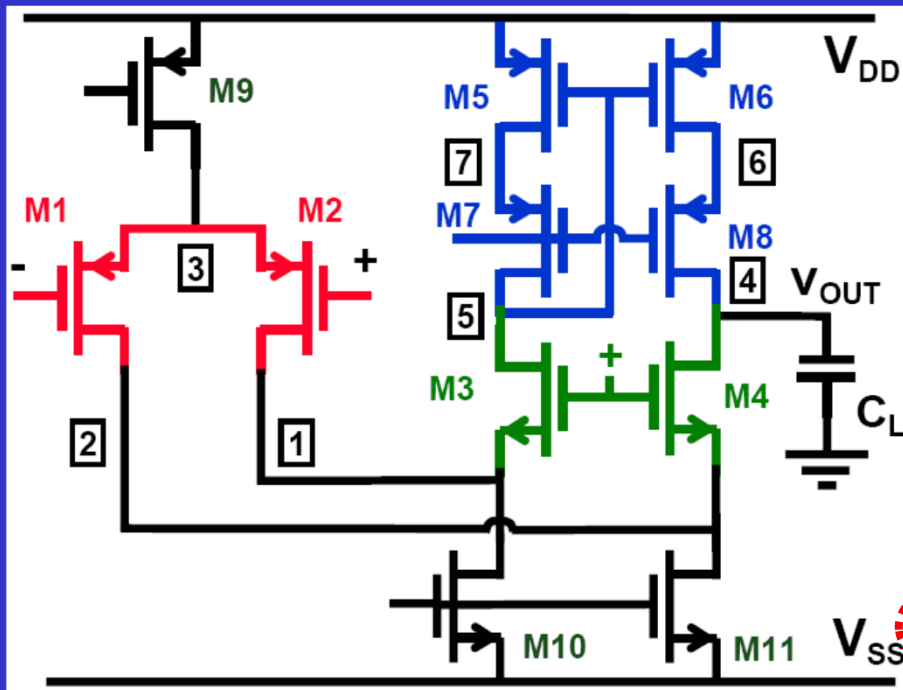
$$V_{out,max} = V_{b2} + |V_{th8}|$$

$$V_{out,min} = V_{b1} - V_{th4} > V_{dsat11} + V_{dsat4}$$

左图: $V_{b2} < V_{DD} - V_{GS5} - V_{GS7}$ 右图: $V_{b2} < V_{DD} - |V_{dsat5}| - V_{GS7}$

9.2.3 折叠式共源共栅运放

□ GBW



$$R_{out} = (g_{m4}r_{o4}(r_{o1} \parallel r_{o11})) \parallel (g_{m8}r_{o8}r_{o6})$$

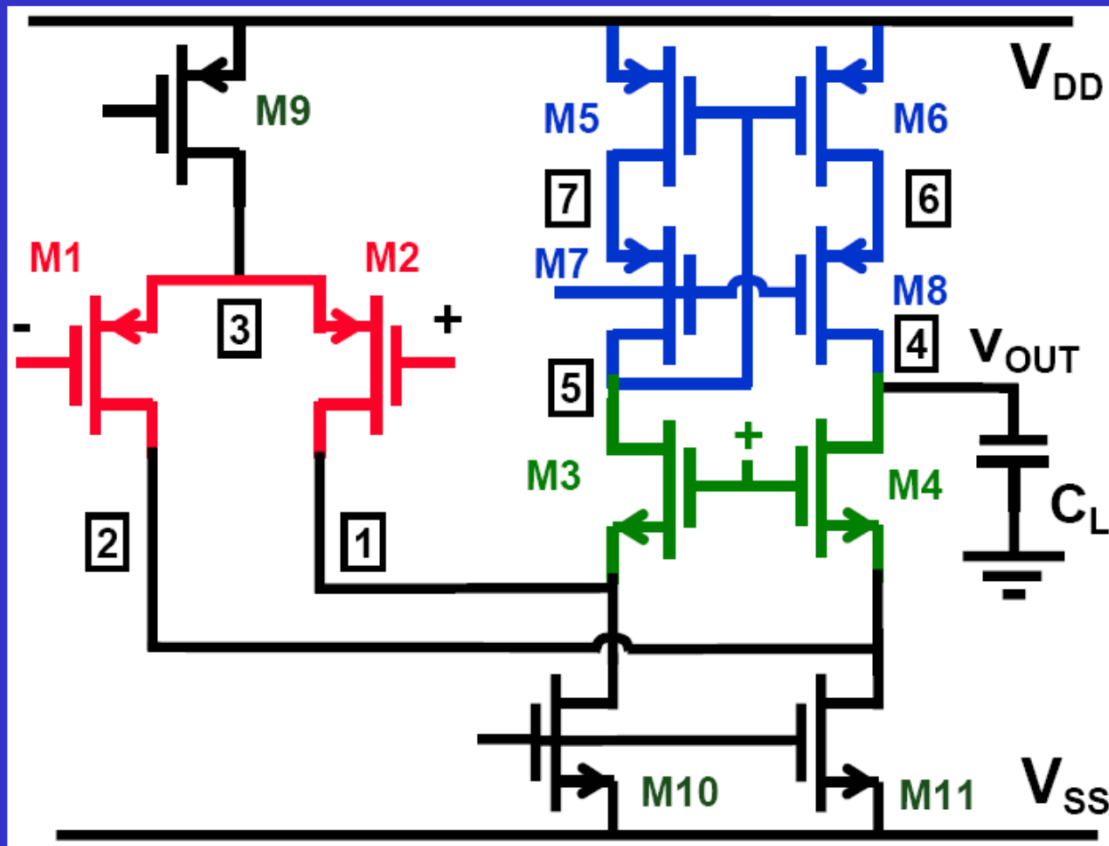
$$A_{v0} = g_{m1}R_{out}$$

$$BW = \frac{1}{2\pi R_{out}C_L}$$

$$GBW = \frac{g_{m1}}{2\pi C_L}$$

单级运放的GBW均为 $\frac{g_{m1}}{2\pi C_L}$

例 单端输出的折叠cascode运放设计



性能指标

$$V_{DD} = 5V \quad C_L = 2pF$$

$$\text{输出摆幅} > 3.5V$$

$$\text{单位增益} t_{0.1\%} < 50ns$$

$$A_{v0} > 2000$$

工艺参数

$$\mu_n C_{ox} = 60 \mu A/V^2$$

$$\mu_p C_{ox} = 30 \mu A/V^2$$

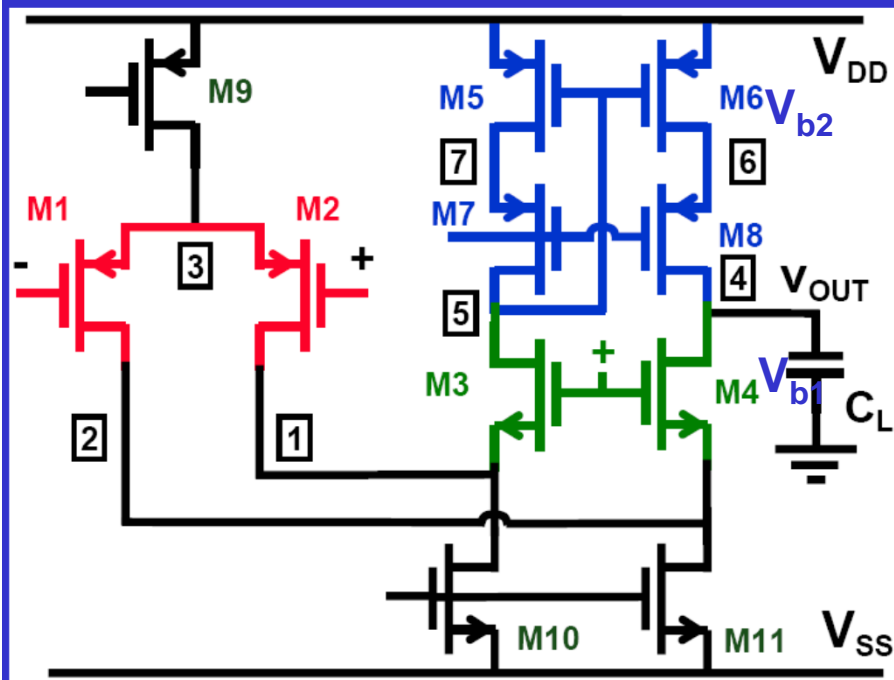
$$\lambda_n = 0.1 V^{-1} (L = 0.5\mu m)$$

$$\lambda_p = 0.2 V^{-1} (L = 0.5\mu m)$$

$$\gamma = 0$$

$$V_{thn} = |V_{thp}| = 0.7V$$

例 单端输出的折叠cascode运放设计



由0.1%建立时间推 f_{BW}

$$\varepsilon = 0.001, t_{0.1\%} = \tau \ln \frac{1}{\varepsilon}$$

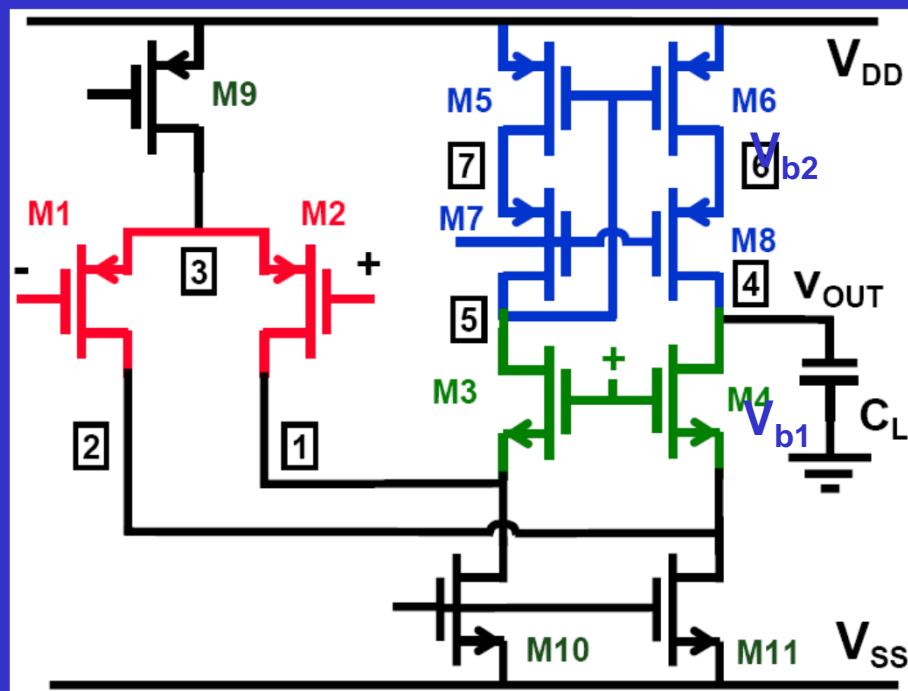
$$f_{BW} = A_{v0} f_0 = \frac{\ln \frac{1}{\varepsilon}}{2\pi \times t_{0.1\%}}$$

$$> \frac{\ln 1000}{2 \times 3.14 \times 50 \times 10^{-9}} = 22\text{MHz}$$

考虑20%余量，取

$$f_{BW} = 27\text{MHz}$$

例 单端输出的折叠cascode运放设计



由GBW确定各支路电流

$$GBW = A_{v0} f_d = \frac{g_{m1}}{2\pi C_L}$$

$$\therefore g_{m1} = 2\pi C_L GBW \approx 0.34 \text{ms}$$

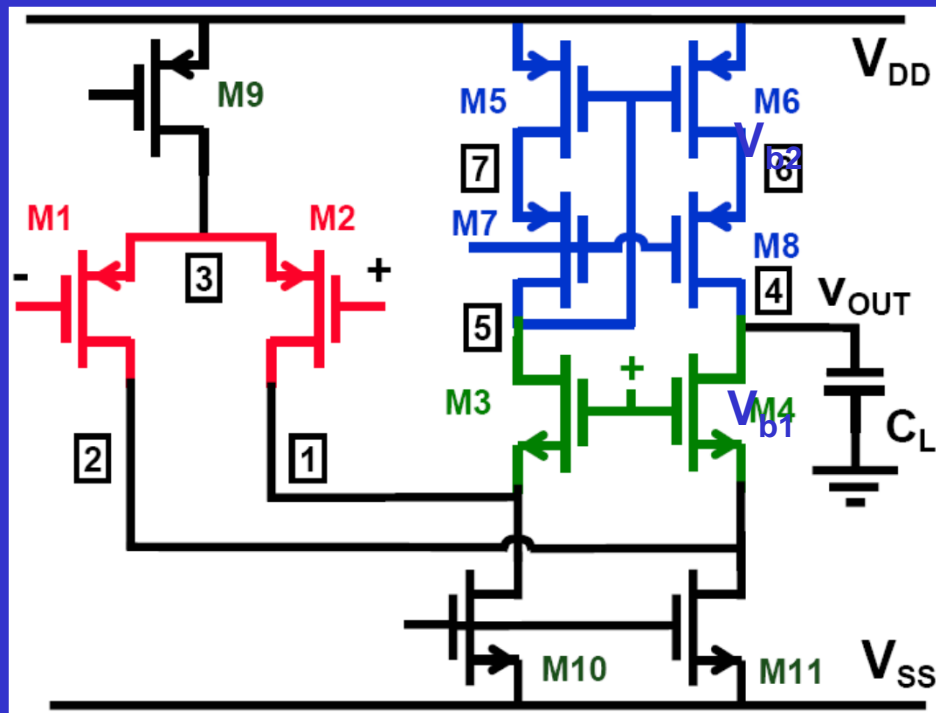
$$I_{D1} = \frac{g_{m1} V_{dsat1}}{2} = 34\mu\text{A}$$

因此电流分配如下

$$I_{M9} = 68\mu\text{A}$$

$$I_{M5} = I_{M6} = 34\mu\text{A}$$

例 单端输出的折叠cascode运放设计



过驱动电压选取经验

放大管：200mV

负载管：200 ~ 500mV

尾电流管：300 ~ 500mV

确定各管过驱动电压

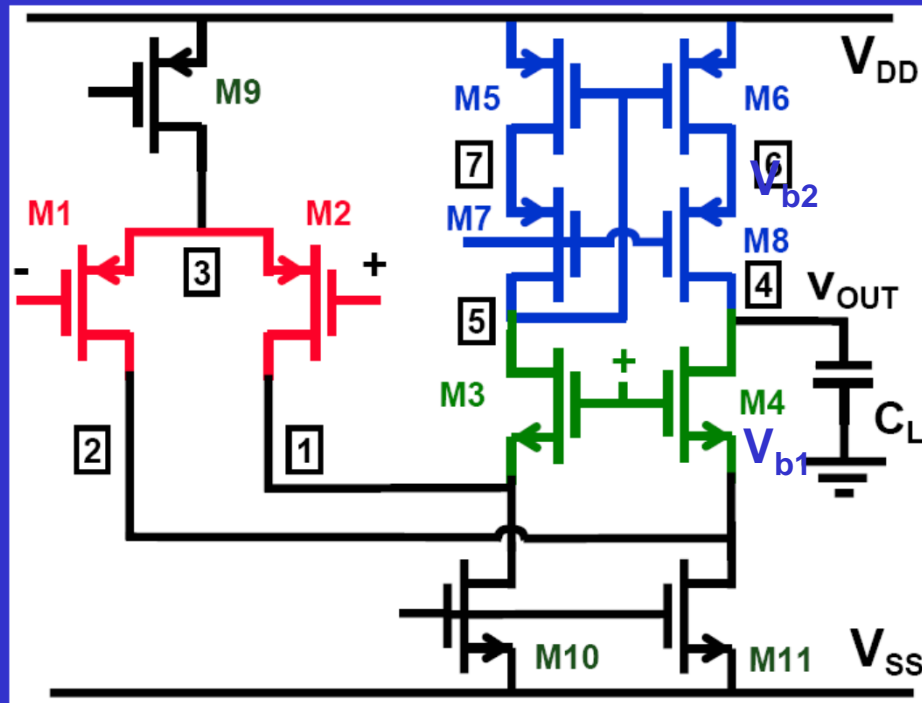
M1、M2：200mV

M10、M11：300mV

M3、M4：200mV

M5 ~ M6：300mV

例 单端输出的折叠cascode运放设计



由输出摆幅要求确定 V_{b1} 、 V_{b2}

$$V_{out,min} = V_{b1} - V_{th4}$$

$$V_{out,min} > V_{dsat4} + V_{dsat11} = 0.5V$$

$$V_{out,max} = V_{b2} + |V_{th8}|$$

$$V_{out,max} < V_{DD} - V_{dsat6} - V_{dsat8} = 4.4V$$

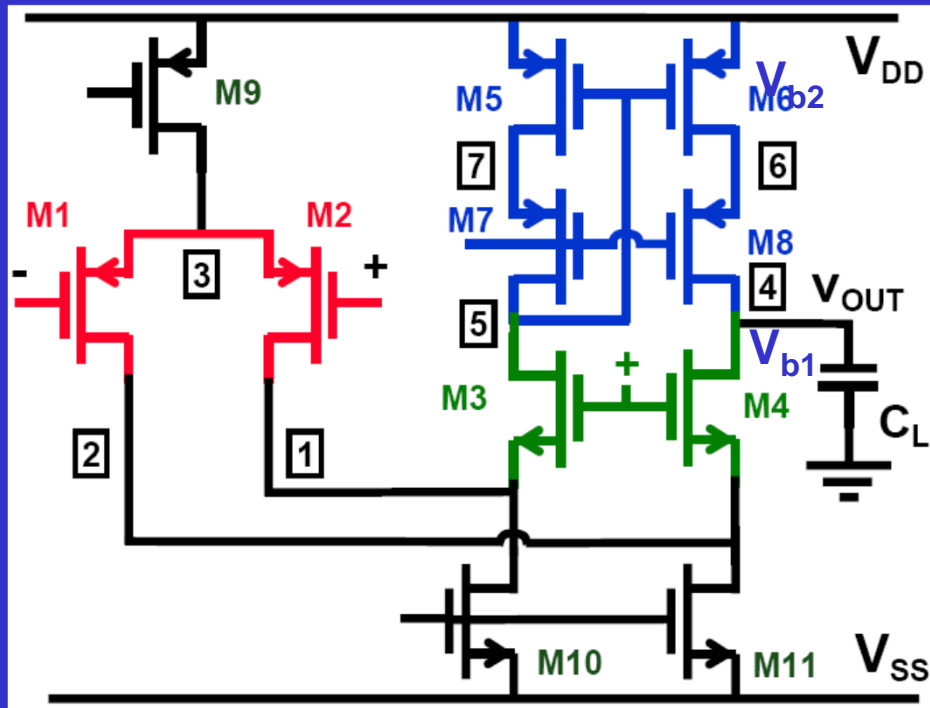
考虑设计余量，取

$$V_{out,min} = 0.6V, V_{b1} = 1.3V$$

$$V_{out,max} = 4.3V, V_{b2} = 3.6V$$

则输出摆幅3.7V，满足要求

例 单端输出的折叠cascode运放设计



由 I_D 、 V_{dsat} 的值，
确定各管的宽长比；
再由增益的要求，
确定各管具体尺寸。
具体步骤参见前面的例子

例 单端输出折叠cascode运放设计（小结）

1. 根据建立时间要求，确定 $f_{BW} = \frac{\ln \frac{1}{\epsilon}}{2\pi \times t_{0.1\%}}$
2. 根据 f_{BW} ，确定 $g_{m1} = 2\pi C_L \frac{f_{BW}}{\beta}$ ，其中 $f_{BW} = \beta \times GBW$
3. 确定各管的过驱动电压
4. 根据过驱动电压、 g_{m1} ，确定各支路电流
(注：使负载管 M_{10}, M_{11} 与尾电流管 M_9 的直流工作电流相等)
5. 根据电流、过驱动电压，确定各晶体管的宽长比
6. 根据增益，修改部分晶体管的宽长（宽长比不变）

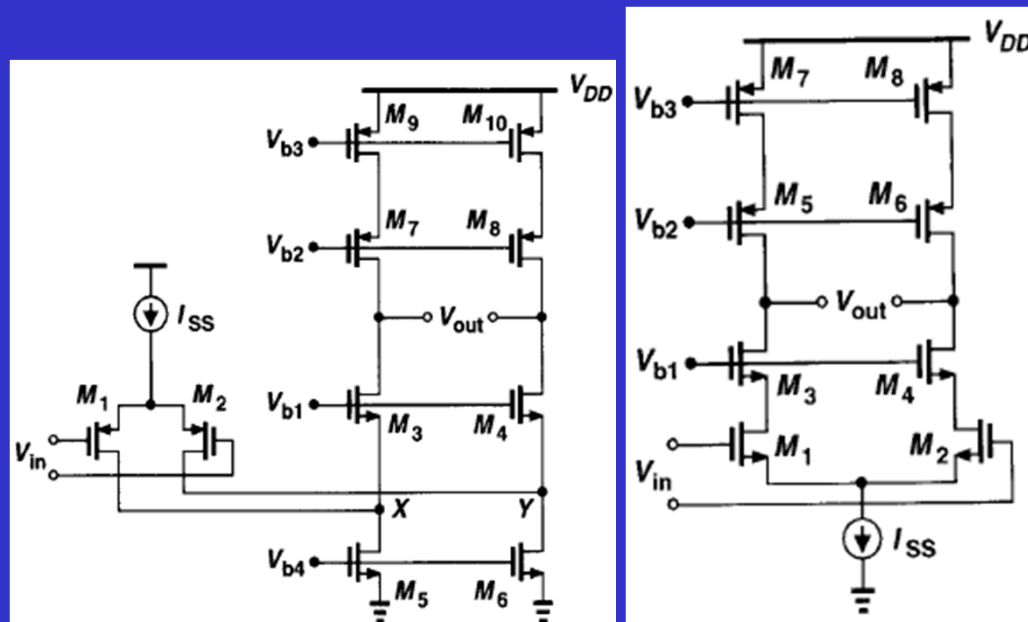
9.2.3 折叠式共源共栅运放—总结

□与套筒式相比

- ❖ 输出摆幅大
- ❖ 能以输入和输出短接方式实现单位增益缓冲器
- ❖ 功耗大
- ❖ 电压增益低
- ❖ 极点频率低
- ❖ 噪声大（见9.10节）

□应用比套筒式更广泛

- ❖ 能以输入和输出短接方式实现单位增益缓冲器
- ❖ 输入共模电压范围大，易设定
 - 套筒式中， $V_{in,CM}$ 、共栅管偏置电压需精心设计
 - 折叠式中，只共栅管偏置电压需精心设计



输入共模电压范围:

$$0V \sim (V_{DD} - V_{ISS} - |V_{OV,1,2}| - |V_{TH,1,2}|)$$

第9章 运算放大器

- 9.1 概述
- 9.2 一级运放
- 9.3 两级运放
 - ❖ 简单两级运放
 - ❖ Cascode两级运放
 - ❖ 单端输出的两级运放
 - ❖ 多级运放
- 9.4 增益的提高
- 9.5 性能比较
- 9.6 共模反馈
- 9.7 输入范围限制
- 9.8 转换速率
- 9.9 电源抑制
- 9.10 运放的噪声

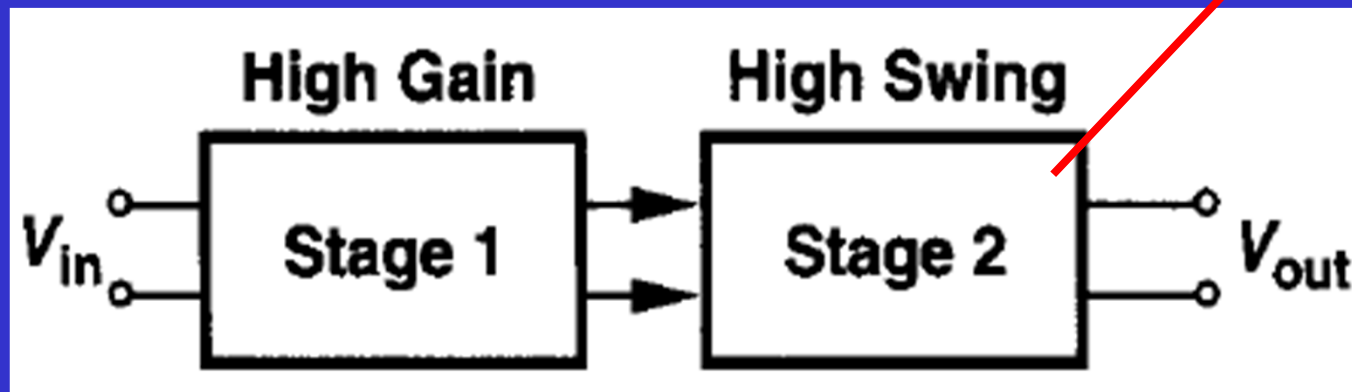
9.3 两级运放

□为什么需要两级运放？

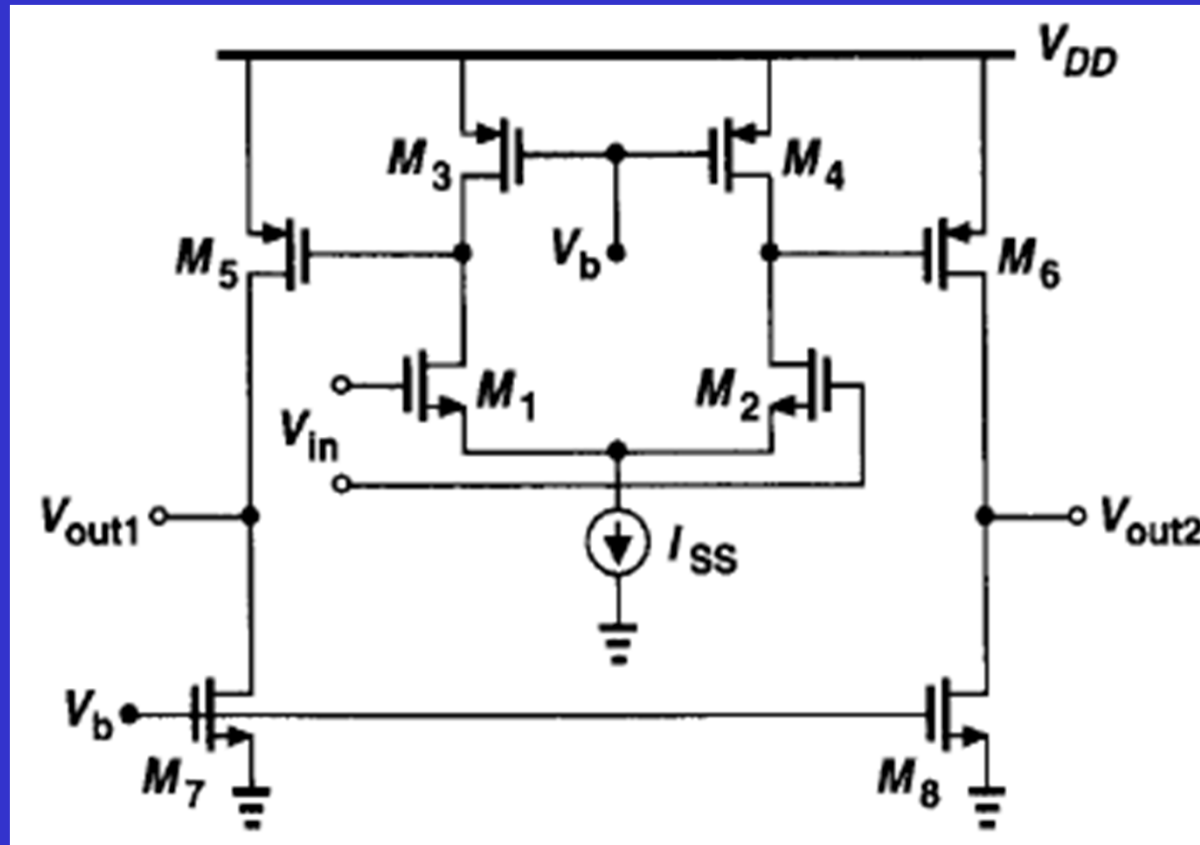
- ❖ 单级运放增益受限于输入管跨导和输出阻抗
 - 若高增益，则摆幅受限
- ❖ 很多应用既需要高增益又需要高摆幅

□两级运放

- ❖ 把增益和摆幅分开解决
 - 第一级提供增益，第二级提供摆幅
- 通常为简单的CS级



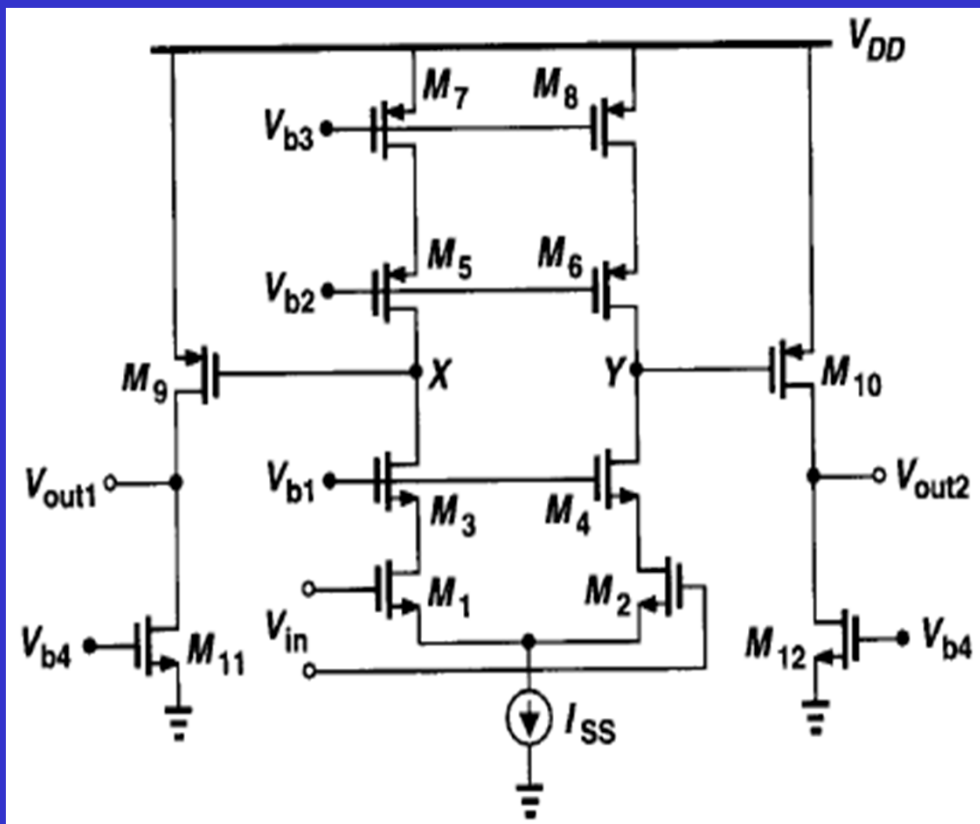
简单的两级运放



$|A_v| = g_{m1,2}(r_{O1,2} \parallel r_{O3,4}) \cdot g_{m5,6}(r_{O5,6} \parallel r_{O7,8})$, 和共源共栅的差不多

$$V_{outswing} = V_{DD} - |V_{ov5,6}| - V_{ov7,8}$$

Cascode的两级运放



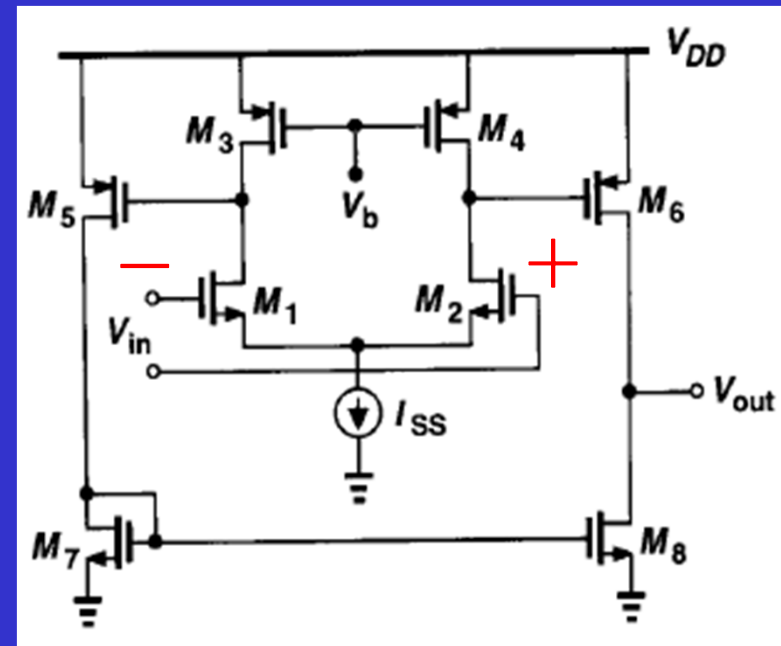
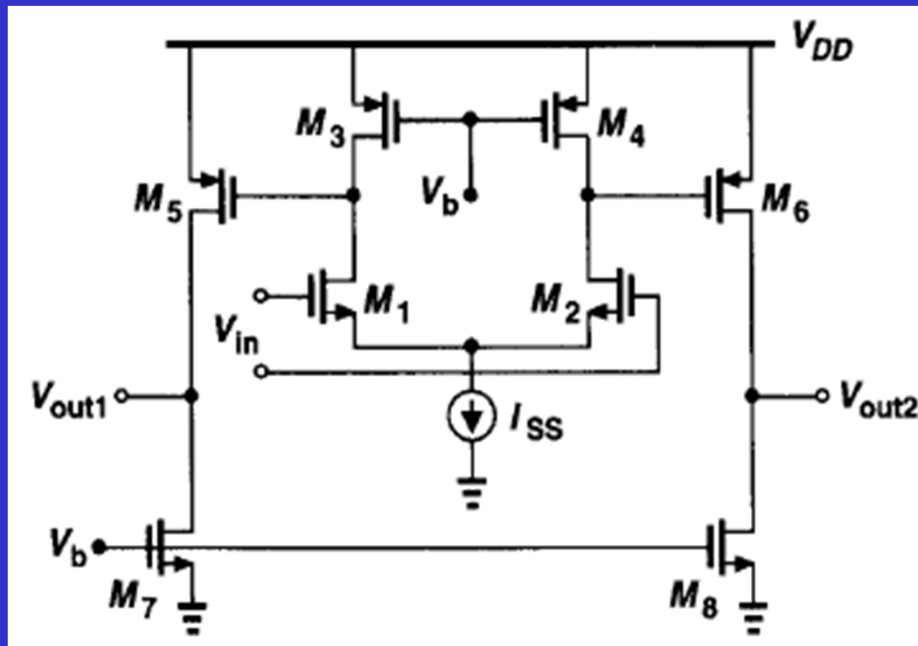
□ 若第二级增益为10，
则X和Y结点的信号
摆幅几百mV

- ❖ 可据此优化第一级的设计
- ❖ 如增加共栅管层数，以提高第一级的增益

$$A_v = \left\{ g_{m1,2} \left[(g_{m3,4} + g_{mb3,4}) r_{O3,4} r_{O1,2} \right] \parallel \left[(g_{m5,6} + g_{mb5,6}) r_{O5,6} r_{O7,8} \right] \right\} \\ \times \left[g_{m9,10} (r_{O9,10} \parallel r_{O11,12}) \right]$$

单端输出的两级运放

□ 在第2级用电流镜实现单端输出



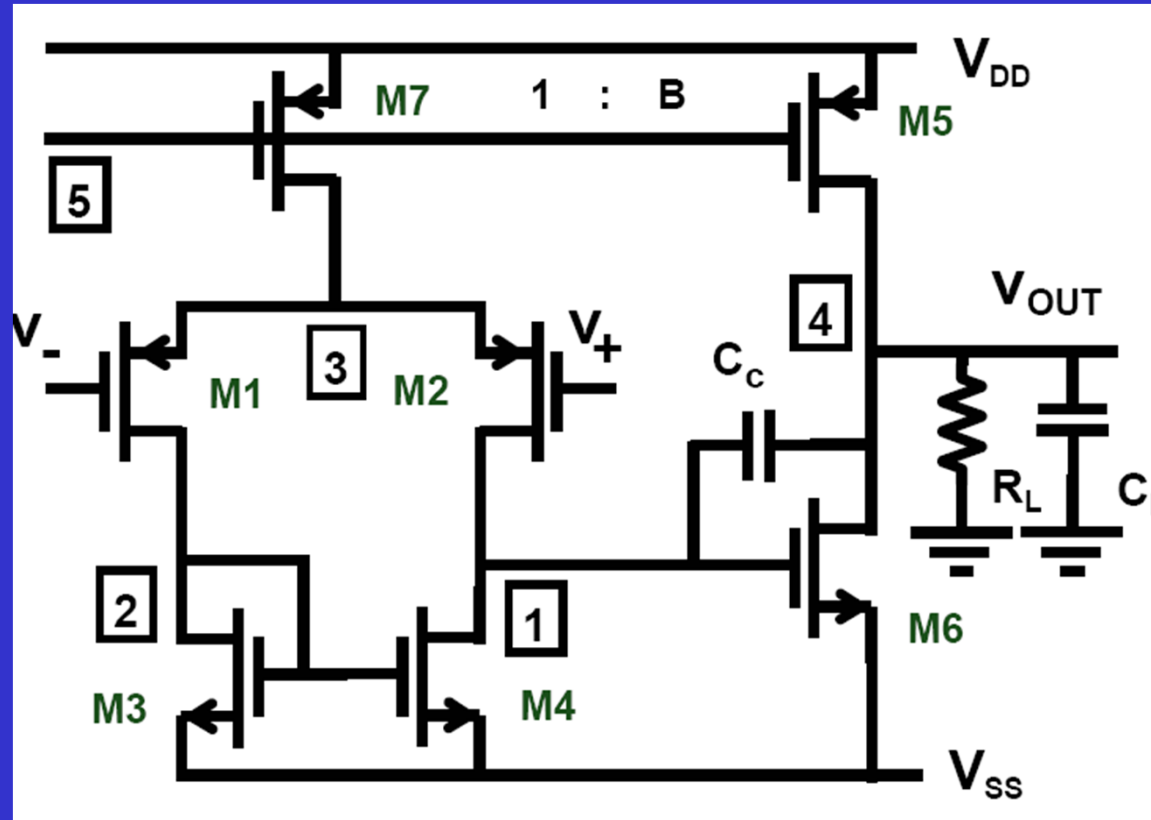
□ 单端输出的两级运放接成单位增益缓冲器时，输出摆幅受限

- ❖ 正、负输入端？确定方法
- ❖ V_{out} 接 M1 的栅极（负输入端）

输出摆幅下限：
由 $V_{OV,8}$ 变为 $(V_{GS1} + V_{ISS})$

单端输出的两级运放

□ 在第1级用电流镜实现单端输出



单端输出

$$A_{v1} \approx g_{m2}(r_{o2} \parallel r_{o4})$$

$$A_{v2} \approx g_{m6}(r_{o5} \parallel r_{o6} \parallel R_L)$$

$$\approx g_{m6}R_L$$

$$A_v = A_{v1} \times A_{v2}$$

C_c 为Miller补偿电容

下章介绍

多级运放

□多级

- ❖ 能实现更高增益

□很少多于两级

- ❖ 每一级在传输函数中至少引入1个极点
- ❖ 用该运放构成反馈系统时，很难保证系统稳定

□也有特例

第9章 运算放大器

- 9.1 概述
- 9.2 一级运放
- 9.3 两级运放
- 9.4 增益的提高
 - ❖ 调节型cascode放大级
 - ❖ 套筒式增益提高的cascode运放
 - ❖ 折叠式增益提高的cascode运放
- 9.5 性能比较
- 9.6 共模反馈
- 9.7 输入范围限制
- 9.8 转换速率
- 9.9 电源抑制
- 9.10 运放的噪声

必要性

□要探索新的电路结构以解决如下问题

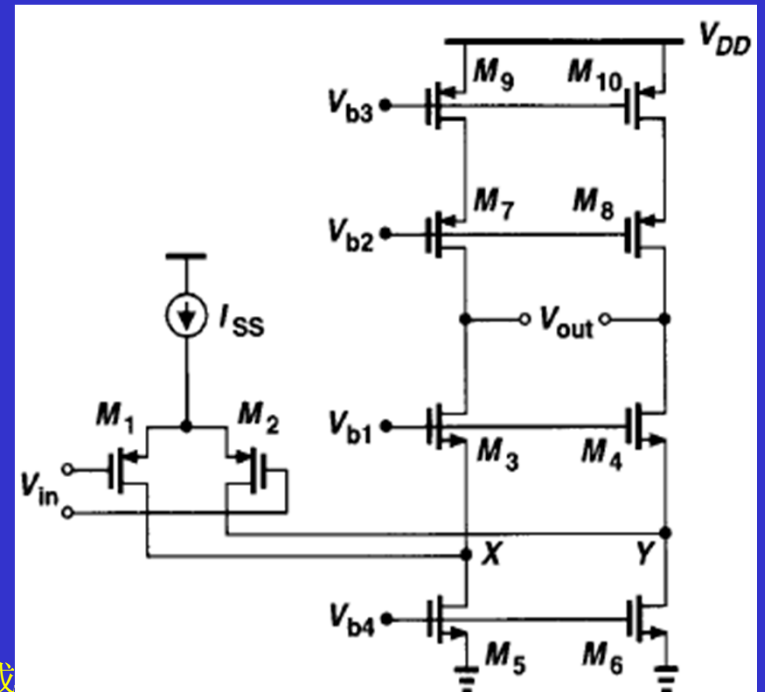
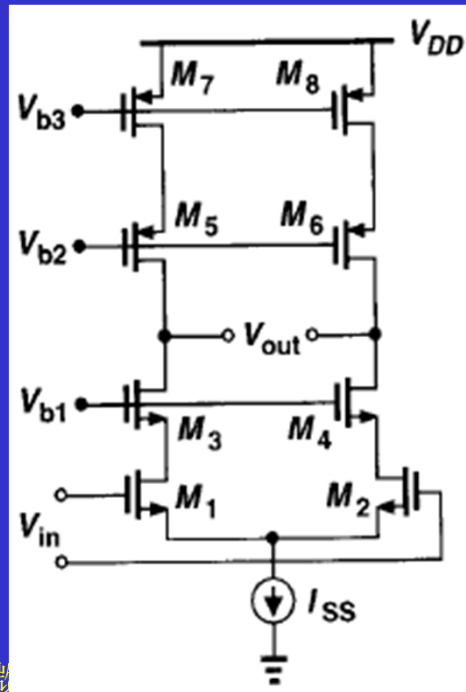
- ❖一级运放——增益或摆幅受限
- ❖两级运放——高速困难

□套筒式或折叠式Cascode单级运放能否增益更大些？

- ❖增大输出阻抗

方法：

- 1、增加共源共栅“层级”，但会牺牲摆幅
- 2、调节型（regulated）共源共栅结构

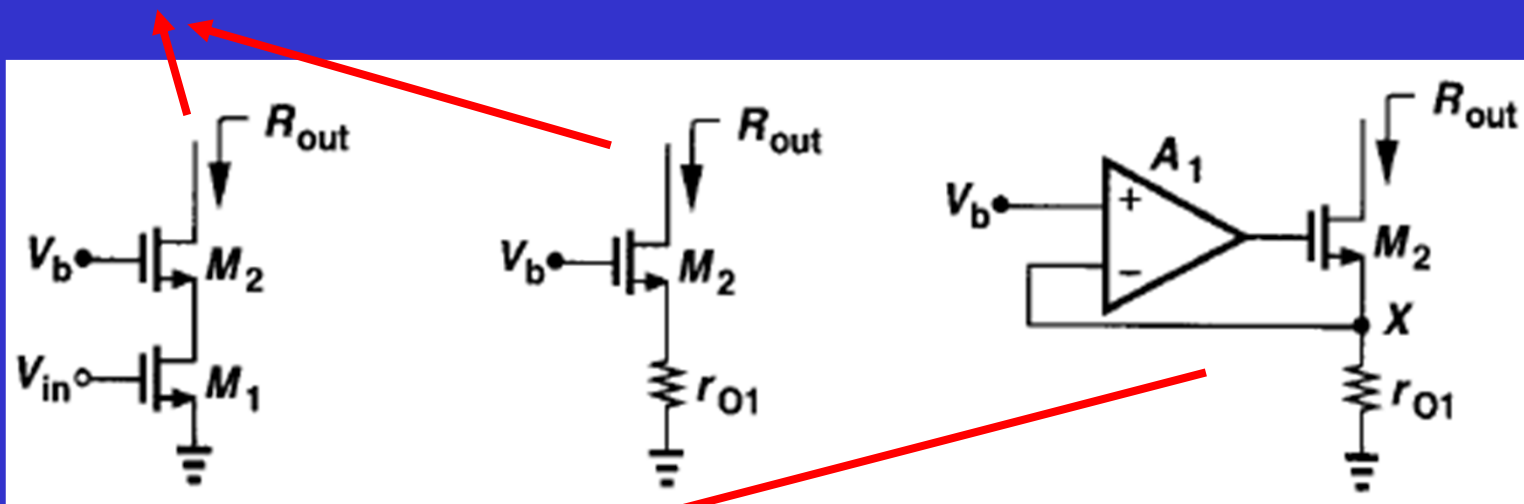


共源共栅级的输出阻抗

电流-电压反馈，
提高了输出阻抗

$$R_{out} \approx g_{m2} r_{O2} r_{O1}$$

闭环输出阻抗 \approx 开环输出阻抗
 \times 环路增益

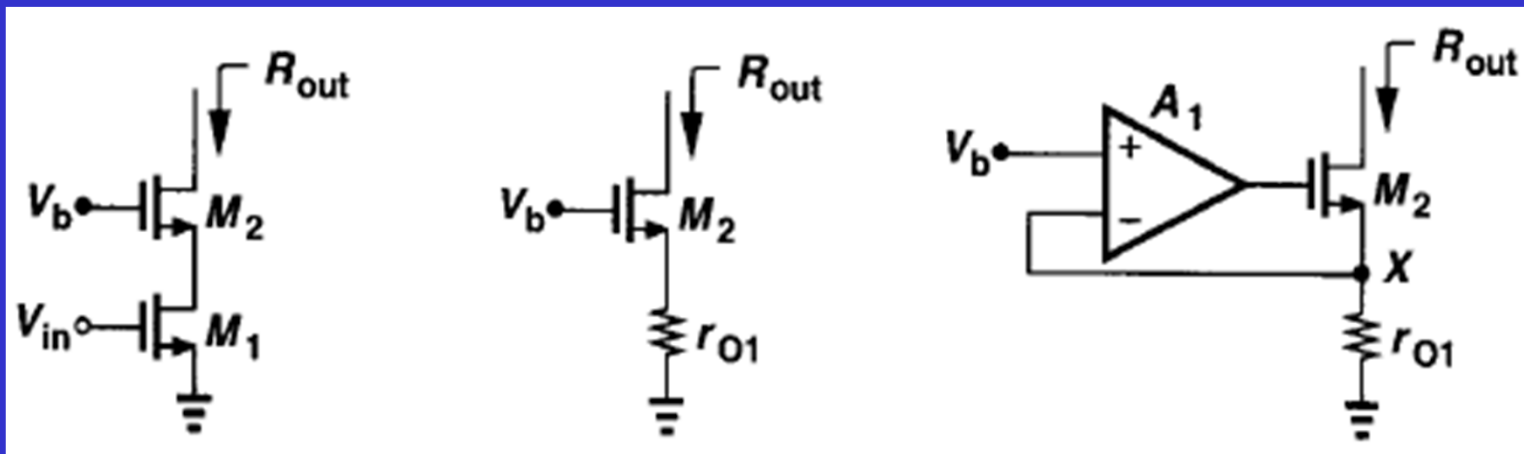


$$\therefore \frac{V_X}{r_{O1}} = (-V_X A_1 - V_X) g_{m2} + \frac{V_{out} - V_X}{r_{O2}}, \quad V_X = I_{out} r_{O1}$$

$$\therefore R_{out} = \frac{V_{out}}{I_{out}} = r_{O1} + r_{O2} + (1 + A_1) g_{m2} r_{O2} r_{O1} \approx A_1 g_{m2} r_{O2} r_{O1}$$

引入 A_1 ，
强制 V_X 为
 V_b ， V_{out} 对
 V_X 的影响
减小了

共源共栅级的输出阻抗



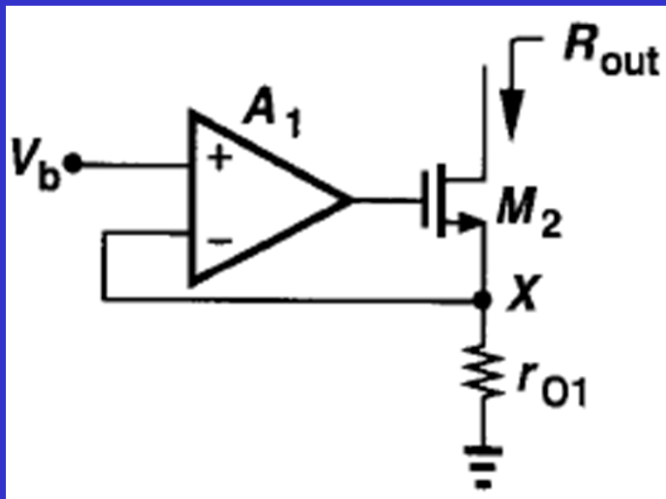
对左图:
$$V_X = \frac{r_{O1}}{r_{O1} + r_{O2} + g_{m2} r_{O2} r_{O1}} V_{out}$$

对右图:
$$\frac{V_X}{r_{O1}} = (-V_X A_1 - V_X) g_{m2} + \frac{V_{out} - V_X}{r_{O2}}$$

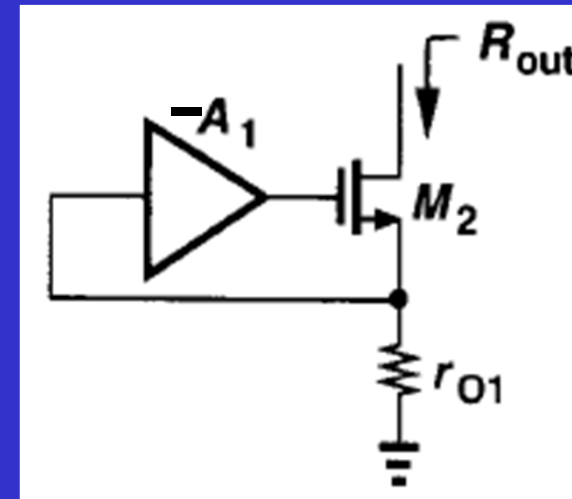
$$\therefore V_X = \frac{r_{O1}}{r_{O1} + r_{O2} + (1 + A_1) g_{m2} r_{O2} r_{O1}} V_{out}$$

V_{out} 对 V_X 的影响减小, 使 V_X 波动小, 流过 r_{O1} 的电流更恒定, 从而产生更高阻抗

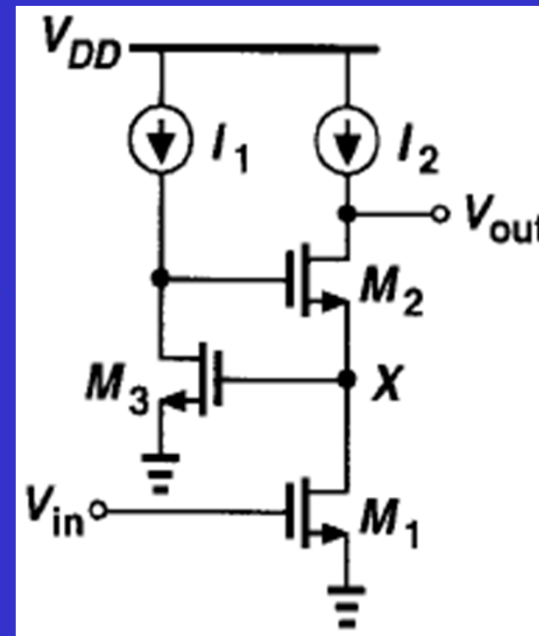
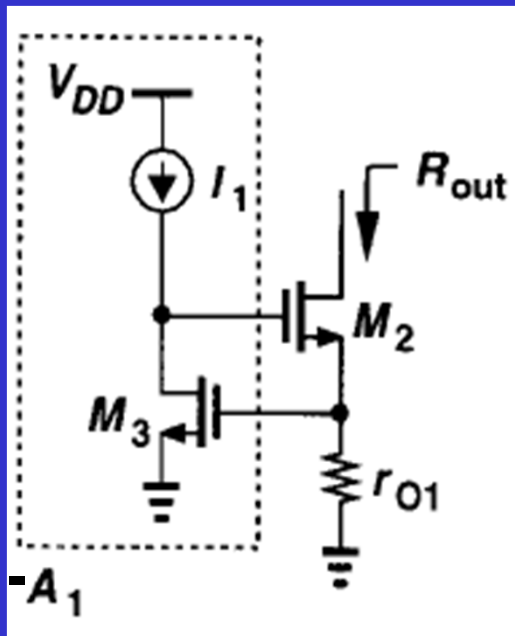
调节型共源共栅单级放大级



V_b 是交流地



$-A_1$ 的一种实现方式



发明于
1976,
1989被用来提高运放增益
(Gain-Boosting)

调节型共源共栅单级放大级

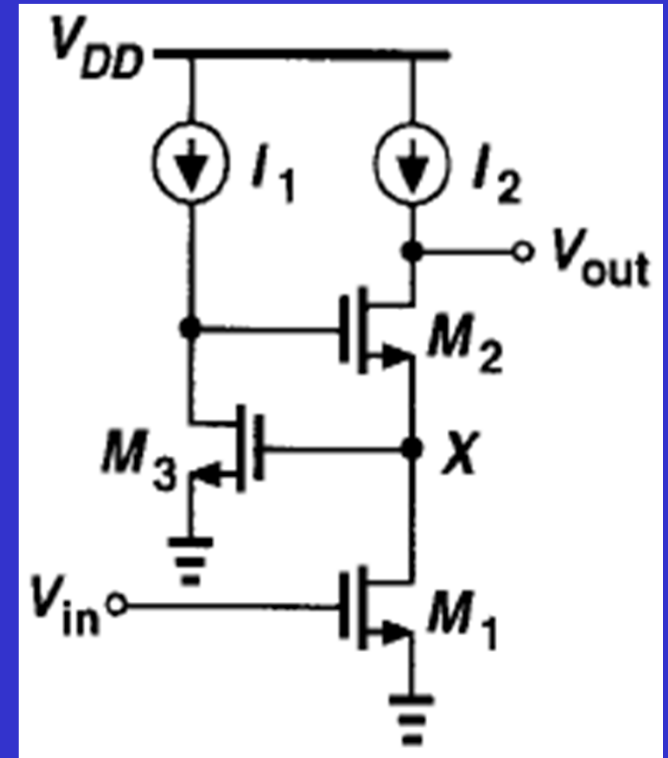
$$A_v \approx -g_{m1} [(g_{m3} r_{O3})(g_{m2} r_{O2} r_{O1})]$$

□ 输出摆幅

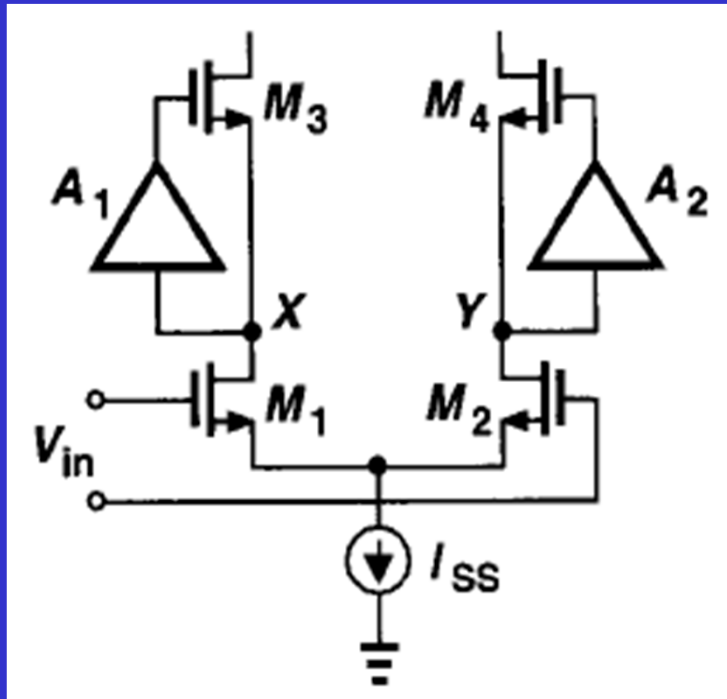
$$V_{out} \geq V_{GS3} + V_{ov2}; \text{牺牲了摆幅}$$

□ 把增益提高技术应用用于共源共栅差分放大器

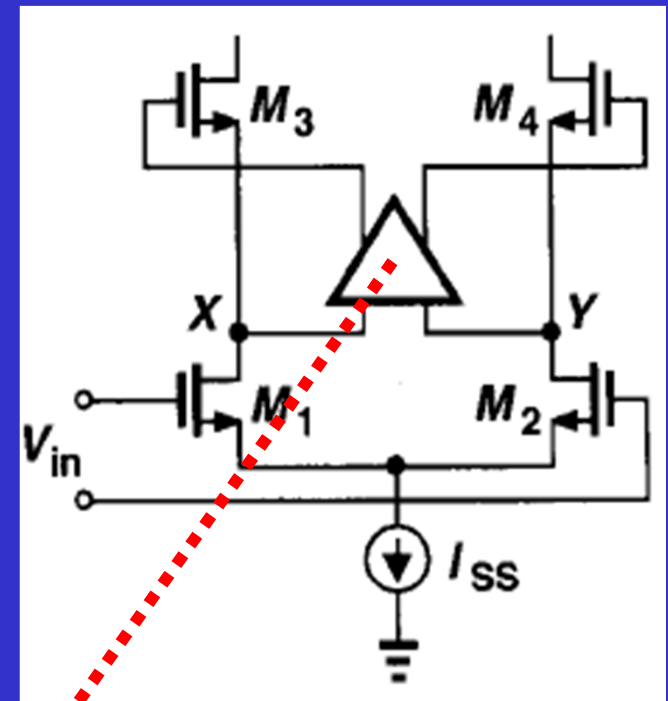
❖ 实现高增益



高增益cascode差分放大器

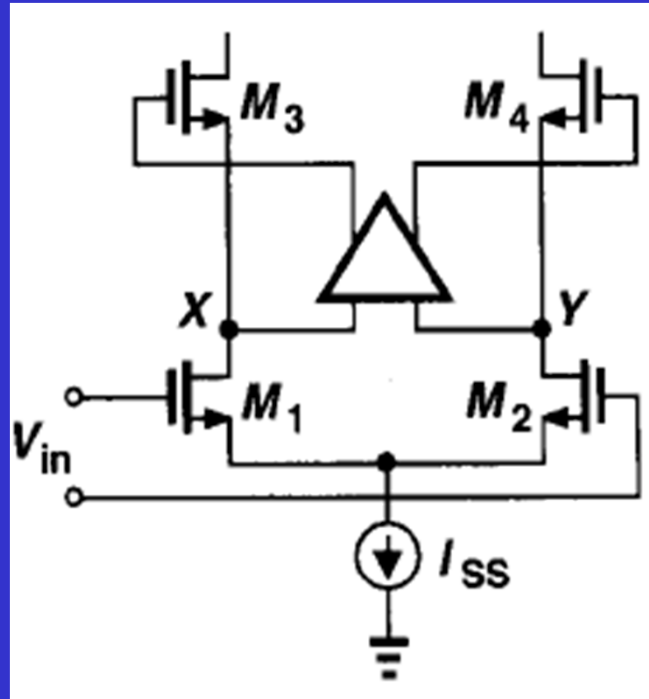


X和Y点的信号是差分关系，因此，可以用一个差分放大器替换两个单级放大器

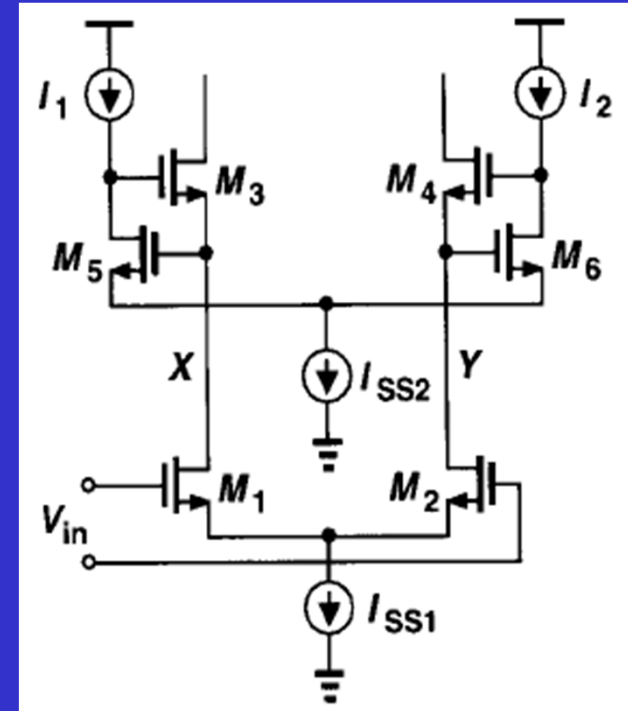


称它为“增益提高放大器”
(Gain-Boosting Amplifier)

高增益cascode差分放大器



具体电路实现



$$V_{M3,漏} \geq V_{ov3} + V_{GS5} + V_{ISS2}$$

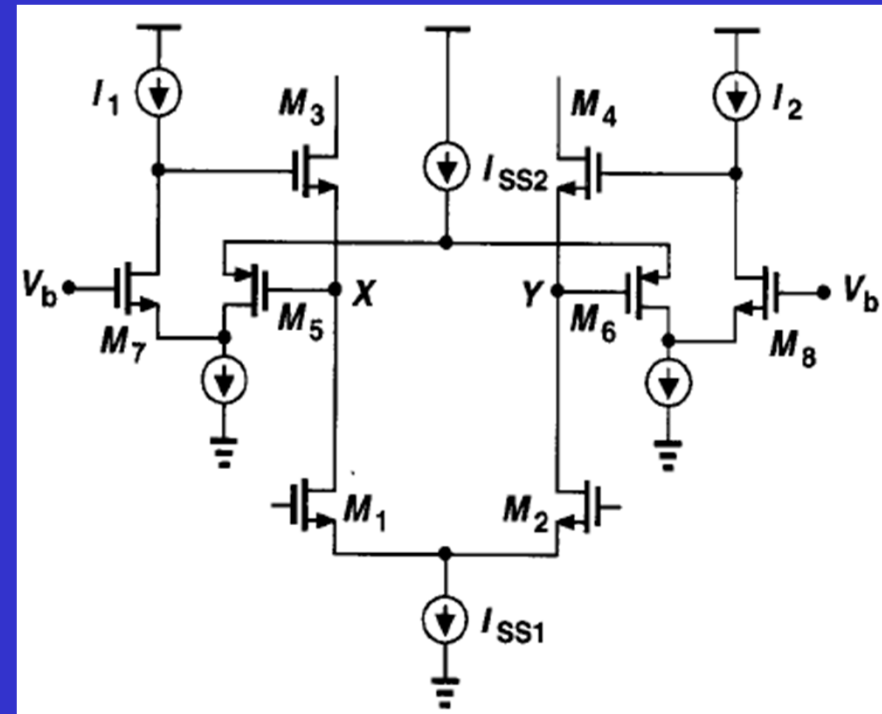
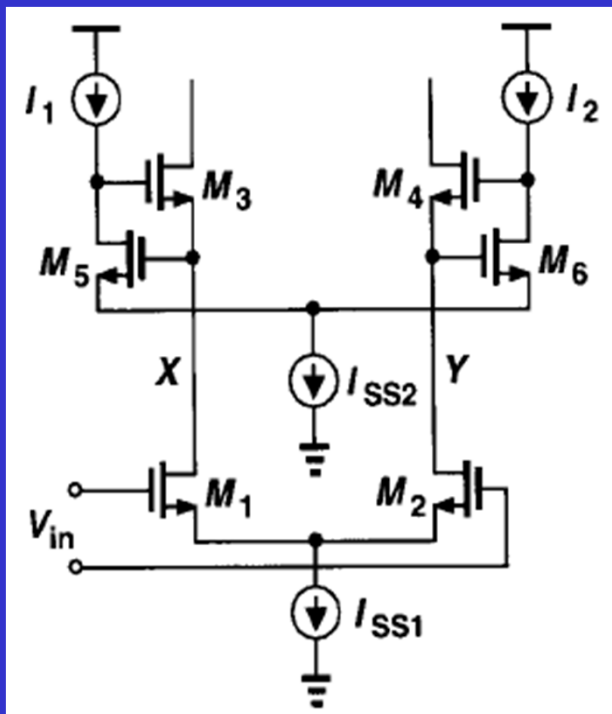
输出摆幅比简单差分cascode级降低约1个 V_{TH} 。

输出摆幅降低根因是增益提高放大器的输入电压限制

高增益cascode差分放大器

□用PMOS做增益提高放大器的输入管，以提高输出摆幅

❖PMOS做输入管，则输入电压可低到0V



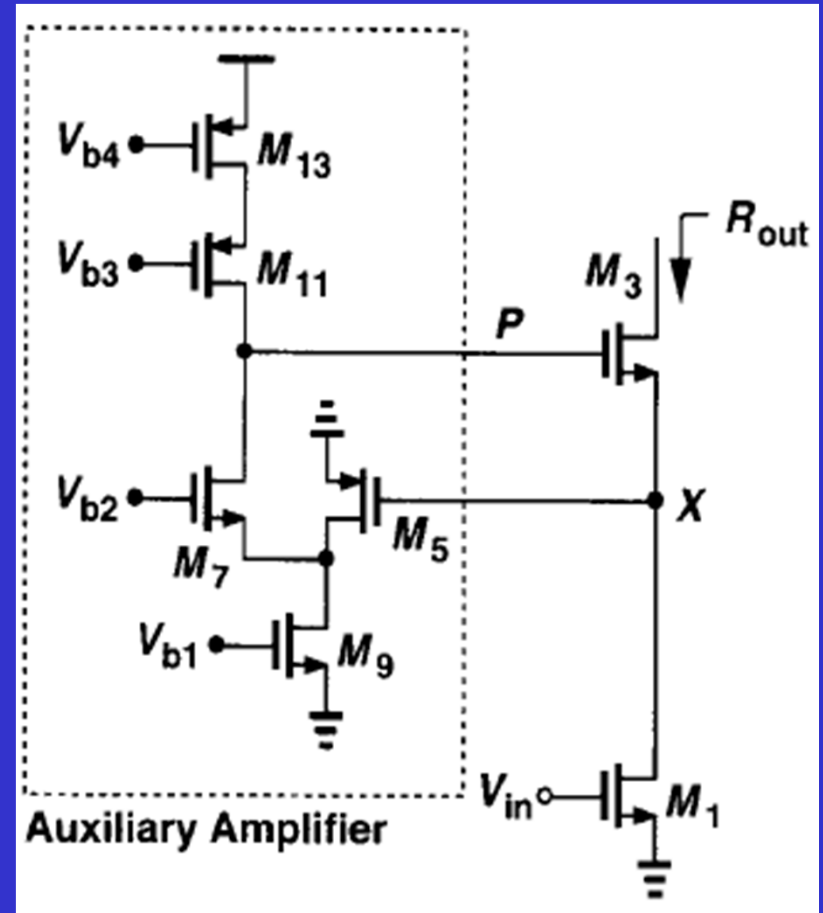
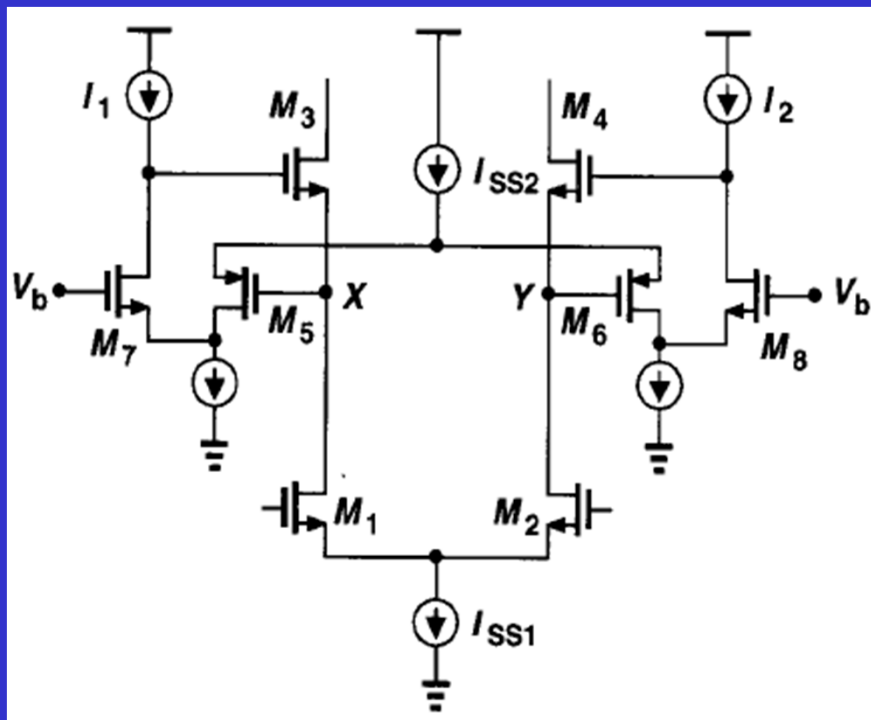
$$V_X \geq V_{ov1,2} + V_{ISS1}$$

$$V_{M3,漏} \geq V_{ov3} + V_{ov1} + V_{ISS1}$$

高增益cascode差分放大器

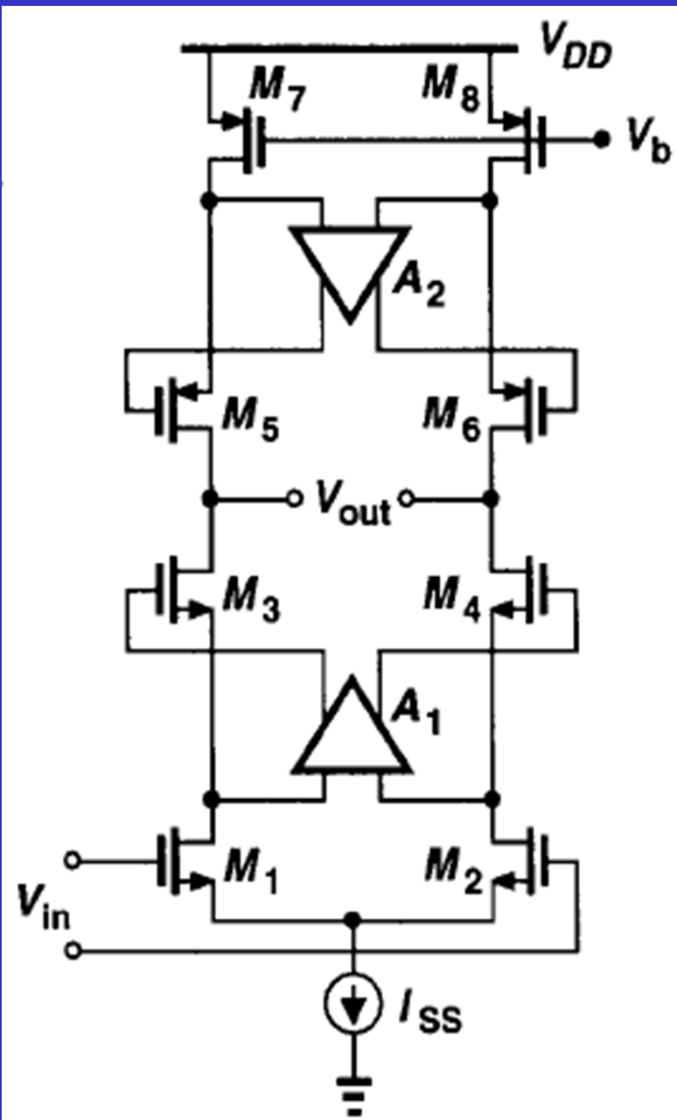
□ 用PMOS做增益提高放大器的输入管，以提高输出摆幅

❖ 用半电路法计算输出阻抗



$$R_{out} \approx (g_{m3}r_{O3})r_{O1} \cdot g_{m5} \{ [g_{m7}r_{O7}(r_{O9} \parallel r_{O5})] \parallel (g_{m11}r_{O11}r_{O13}) \}$$

增益提高的套筒式cascode运放



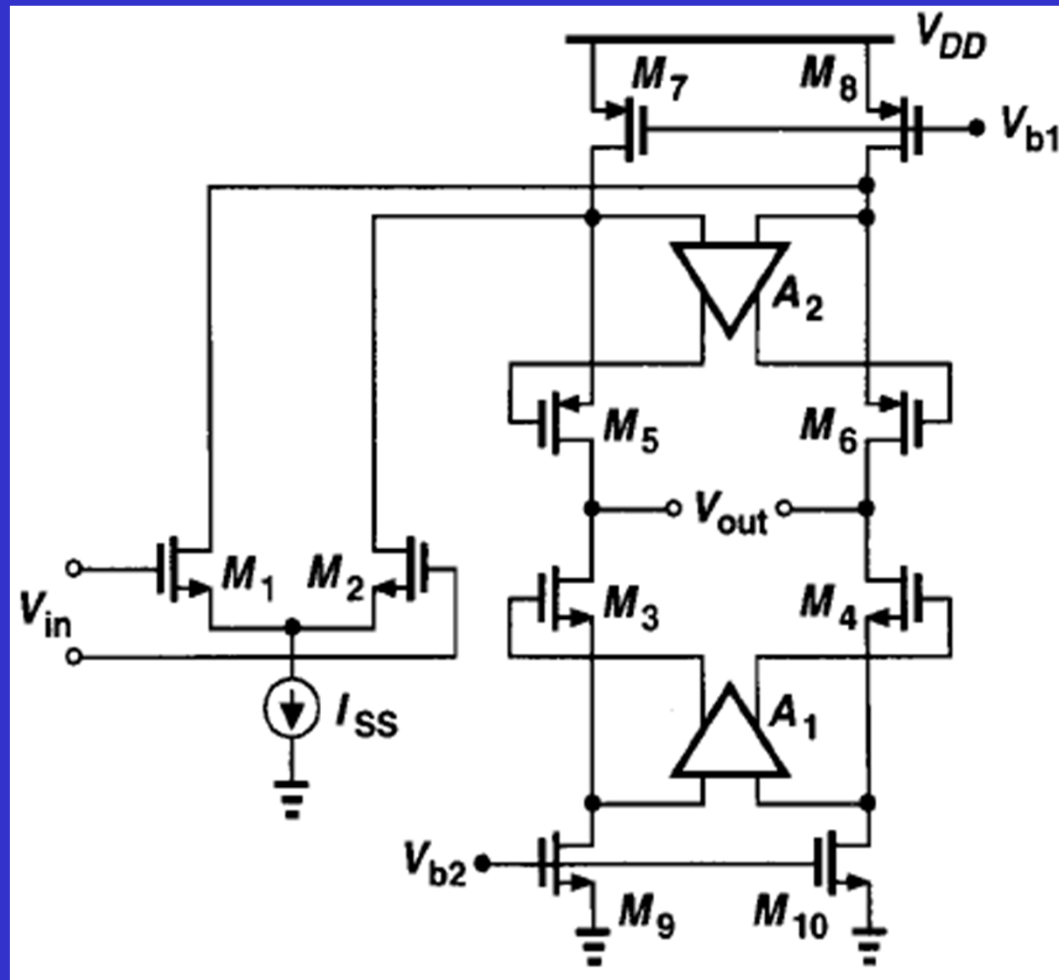
□ PMOS cascode电流源也采用增益提高技术

- ❖ A2为NMOS输入管，不牺牲输出摆幅
- ❖ 高输出阻抗，高增益

$$R_{out} \approx [(g_{m3}r_{o3})r_{o1} \cdot A_1] \parallel [(g_{m5}r_{o5})r_{o7} \cdot A_2]$$

$$|A_v| \approx g_{m1} [(g_{m3}r_{o3})r_{o1} \cdot A_1] \parallel [(g_{m5}r_{o5})r_{o7} \cdot A_2]$$

增益提高的折叠式cascode运放

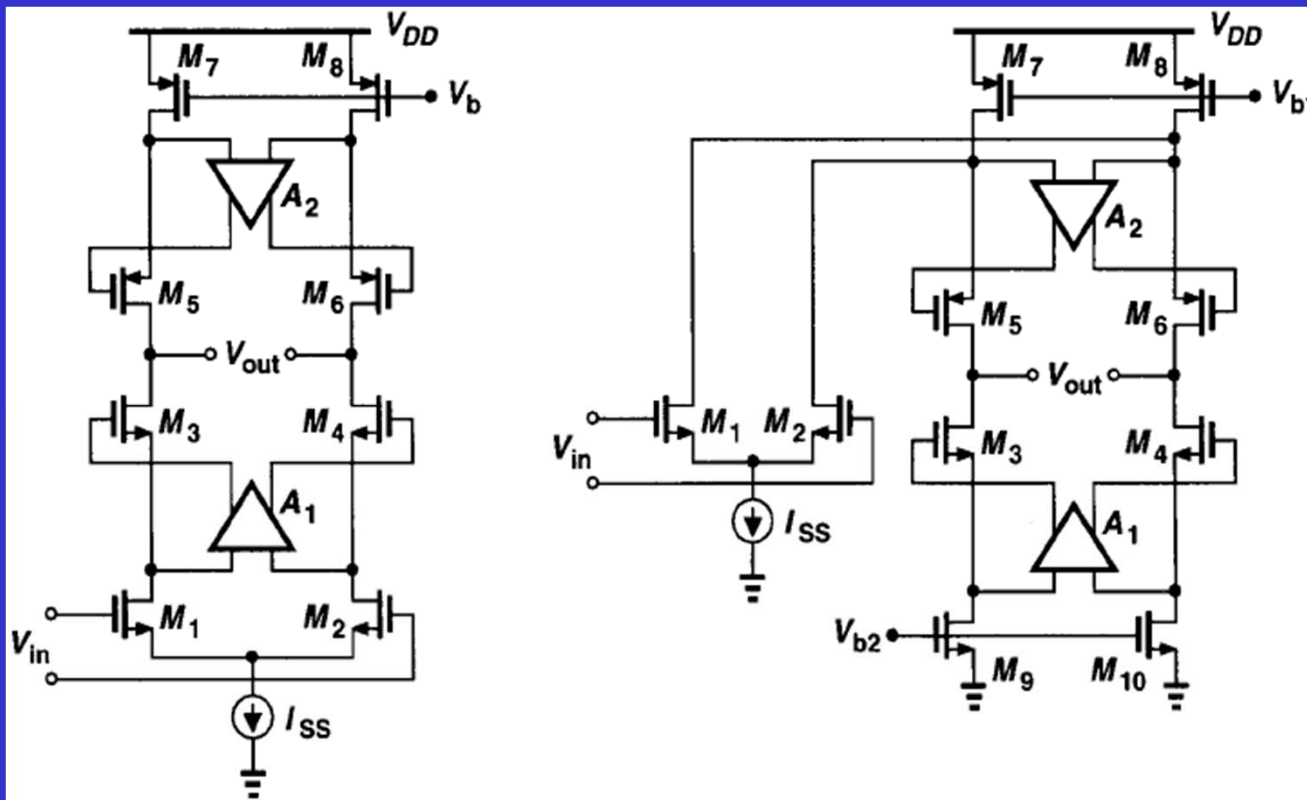


$$|A_v| \approx g_{m1,2} [(g_{m3,4} r_{O3,4}) r_{O9,10} \cdot A_1] \parallel [(g_{m5,6} r_{O5,6}) (r_{O7,8} \parallel r_{O1,2}) \cdot A_2]$$

增益提高技术对频率特性的影响

□运放基本仍保持单级运放的频率特性

❖ 两级运放中所有信号都要经过与每一级有关的各个极点



增益提高放大器会引入附加的极点，但信号的绝大部分流过共源共栅器件后直接输出，只有很少的部分信号会通过增益提高放大器并被“减速”

第9章 运算放大器

- 9.1 概述
- 9.2 一级运放
- 9.3 两级运放
- 9.4 增益的提高
- 9.5 性能比较
- 9.6 共模反馈
- 9.7 输入范围限制
- 9.8 转换速率
- 9.9 电源抑制
- 9.10 运放的噪声

9.5 性能比较

Table 9.1 Comparison of performance of various op amp topologies.

	Gain	Output Swing	Speed	Power Dissipation	Noise
Telescopic	Medium	Medium	Highest	Low	Low
Folded-Cascode	Medium	Medium	High	Medium	Medium
Two-Stage	High	Highest	Low	Medium	Low
Gain-Boosted	High	Medium	Medium	High	Medium

□ 速度差异在第10章详细讨论

□ 没有一个结构是十全十美的

❖ 满足应用要求的结构就是最合适的结构

第9章 运算放大器

- 9.1 概述
- 9.2 一级运放
- 9.3 两级运放
- 9.4 增益的提高
- 9.5 性能比较
- 9.6 共模反馈
 - ❖ 为什么需要CMFB?
 - ❖ 电阻法CMFB
 - ❖ 电容法CMFB
 - ❖ 深线性区MOS管法CMFB
- 9.7 输入范围限制
- 9.8 转换速率
- 9.9 电源抑制
- 9.10 运放的噪声

共模反馈

□全差分电路

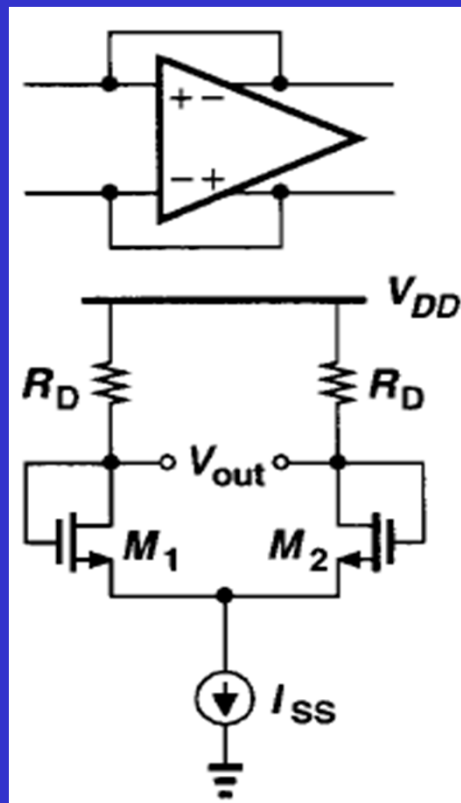
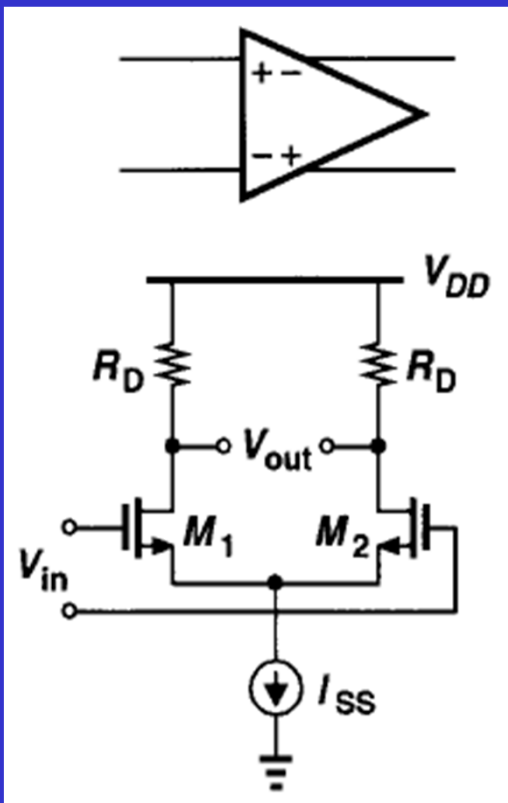
- ❖ 相比于单端输出电路
- ❖ 输出摆幅大，没有镜像极点从而可以高速度
- ❖ 但正常工作时，高增益差分运放需要共模反馈电路来确定输出共模电平

□共模反馈

- ❖ **CMFB——Common-Mode FeedBack**

为什么需要CMFB?

□ 差分运放在实际的一些应用中，需要某些时间段内输入和输出短接，以提供差分负反馈



输入和输出共模电平为:

$$V_{DD} - \frac{I_{SS} R_D}{2}$$

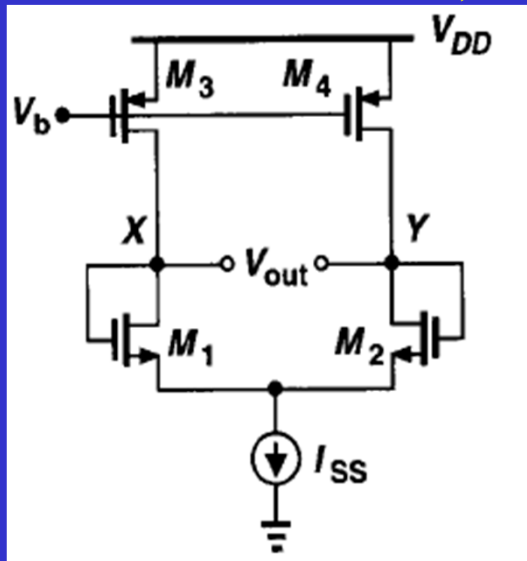
若用PMOS电流源替代 R_D ，以获得高增益。

输出共模电平如何?

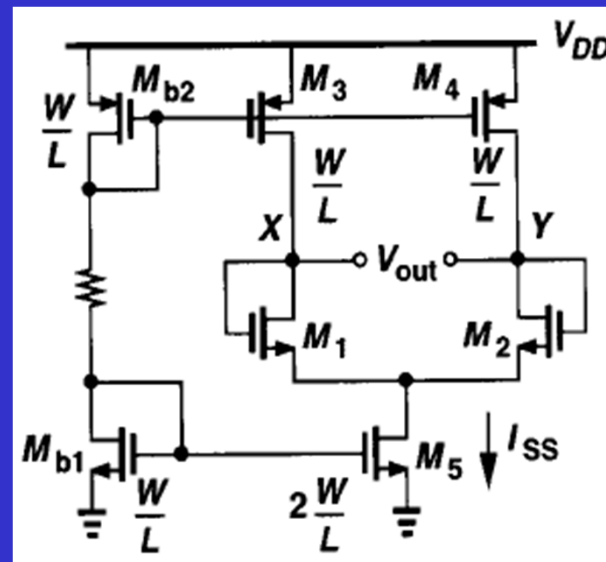
为什么需要CMFB?

□ 电流源做负载的差分放大器

- ❖ 仿真时可把 $V_{out,CM}$ 设定在最佳输出摆幅点
 - 此 $V_{out,CM}$ 下, $I_{D3}=I_{D1}=I_{SS}/2$
- ❖ 实际加工出的电路, 必然存在器件失配
 - M_{b1} - $M5$ 电流镜失配、 M_{b2} - $M3$ - $M4$ 电流镜失配
 - 输出为仿真时确定的 $V_{out,CM}$ 时, I_{D3} 可能 $\neq I_{SS}/2$, 导致 $V_{out,CM}$ 上升或下降以满足节点电流平衡要求



实际实现

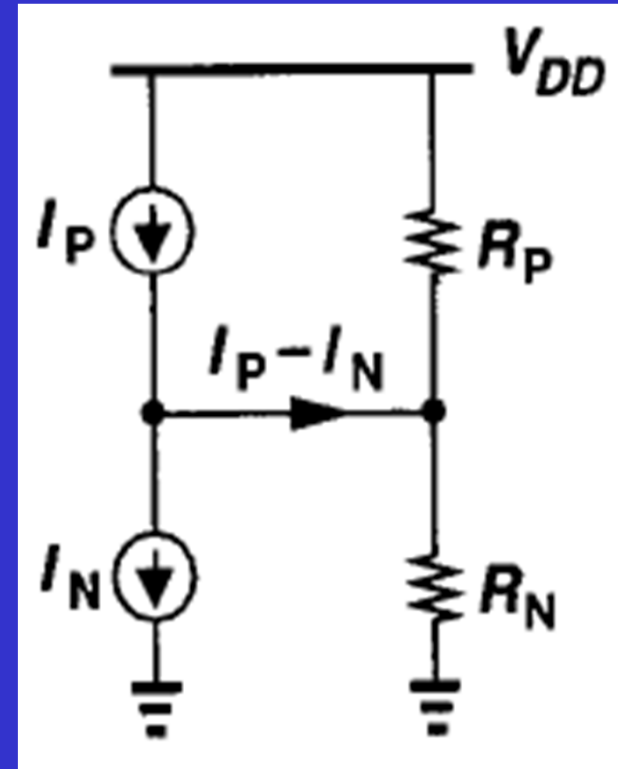
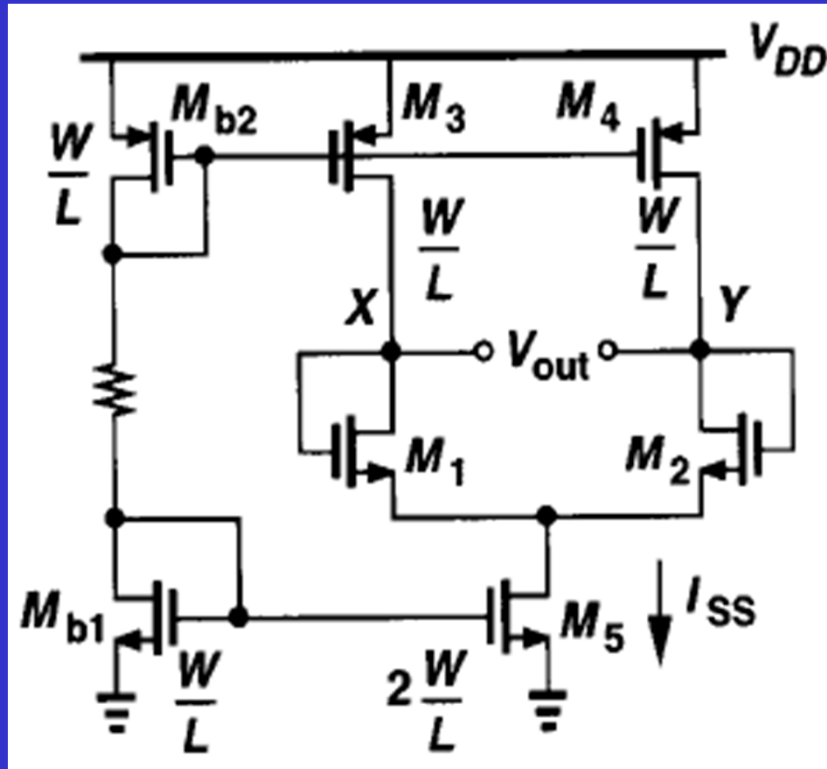


若 I_{D3} 大于 $I_{SS}/2$, 则输出会增大, 以增大 I_{SS} , 减小 I_{D3}

因此, 输出共模电平是不确定的

为什么需要CMFB?

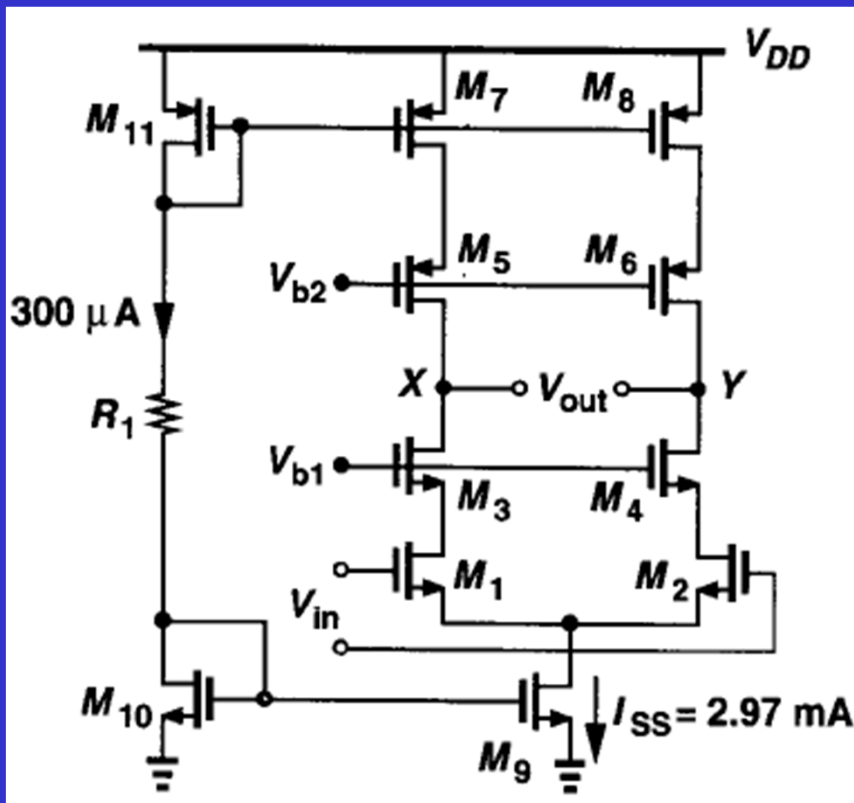
□ 输出阻抗越高，输出共模电压对电流失配越敏感



为什么需要CMFB?

□例9.8

❖ 若M9和M10之间有1%电流失配，产生的 I_{SS} 不是理想的3mA。假定其他晶体管均完全匹配，则输出电压会如何变化？



M3和M5之间的漏电流之差为 $30\mu\text{A}/2=15\mu\text{A}$

输出阻抗为 $266\text{K}\Omega$ （例9.5结果）

输出电压偏离：

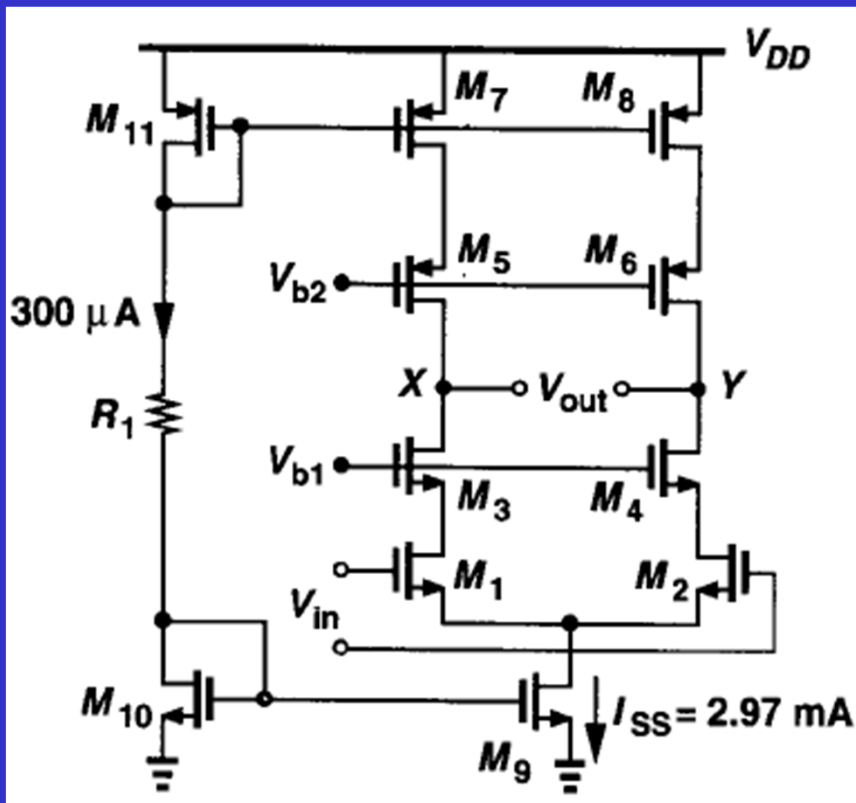
$$266\text{K}\Omega \times 15\mu\text{A} = 3.99\text{V}$$

X和Y点电压必然上升，以减小流过M7的电流，增大流过M9的电流，来维持电流平衡

为什么需要CMFB?

□例9.8

❖若M9和M10之间有1%电流失配，产生的 I_{SS} 不是理想的3mA。假定其他晶体管均完全匹配，则输出电压会如何变化？



即使M9和M10之间没有因尺寸、阈值电压等失配引起的1%的电流失配， I_{D7} 和 $I_{SS}/2$ 之间仍会有电流失配

原因：M9的源漏电压通常不等于M10的漏源电压，沟道长度调制效应仍会引起电流偏离理想的3mA

解决：可采用共源共栅电流镜来提高匹配，但牺牲摆幅

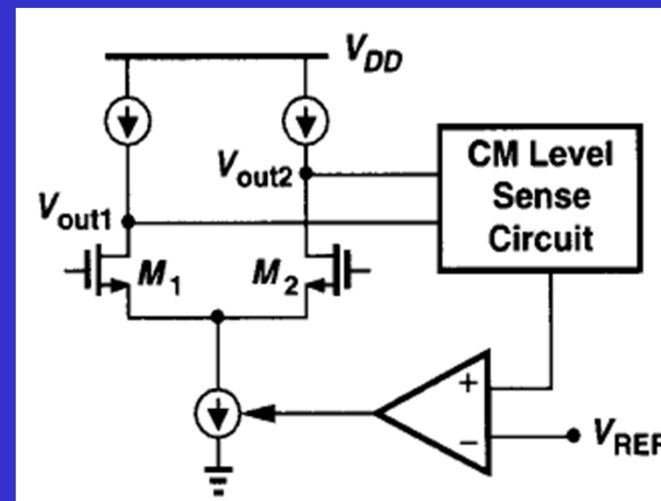
为什么需要CMFB?

□结论

- ❖ 高增益放大器的输出共模电平对器件特性和失配相当敏感，且不能通过差分反馈方式来确定
- ❖ 必须增加共模反馈网络来检测两个输出端的共模电平，并据此电平相应地调节放大器的一个偏置电流，把输出共模电压设定在期望值

□CMFB电路的作用

- ❖ 探测输出共模电平
- ❖ 与一个参考电压进行比较
- ❖ 将比较后的误差返回到放大器的偏置网络



输出共模电平的探测方法

□电阻法

□源跟随器—电阻法

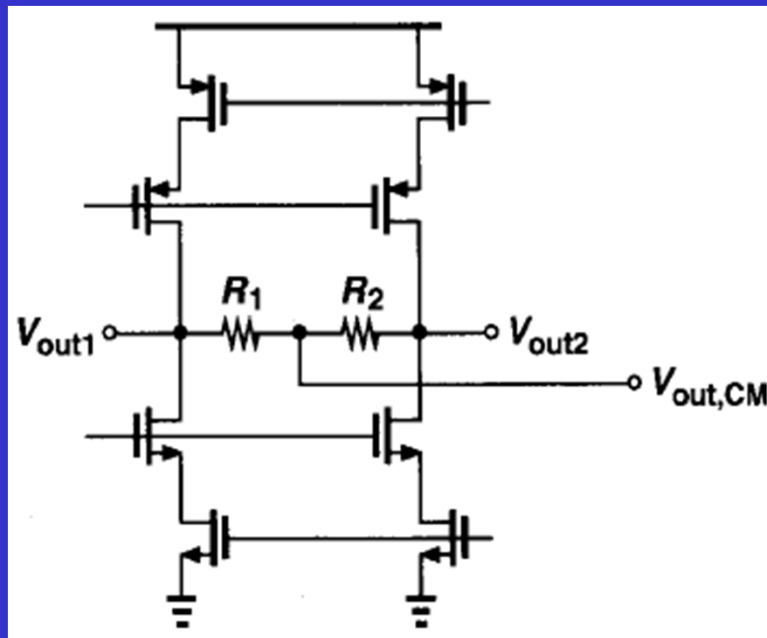
❖SF—电阻法

□电容法

□深线性区MOS管法

输出共模电平探测方法—电阻法

□原理



$$\frac{V_{out1} - V_{out,CM}}{R_1} = \frac{V_{out,CM} - V_{out2}}{R_2}$$

$$\therefore V_{out,CM} = \frac{R_2 V_{out1} + R_1 V_{out2}}{R_1 + R_2}$$

若 $R_1 = R_2$, 则:

$$V_{out,CM} = \frac{V_{out1} + V_{out2}}{2}$$

□R1和R2必须比运放的输出电阻大很多

- ❖ 否则, 会降低低频电压增益
- ❖ 266KΩ输出阻抗需要R1/R2为MΩ量级, 占很多面积, 且和衬底间有很大的寄生电容

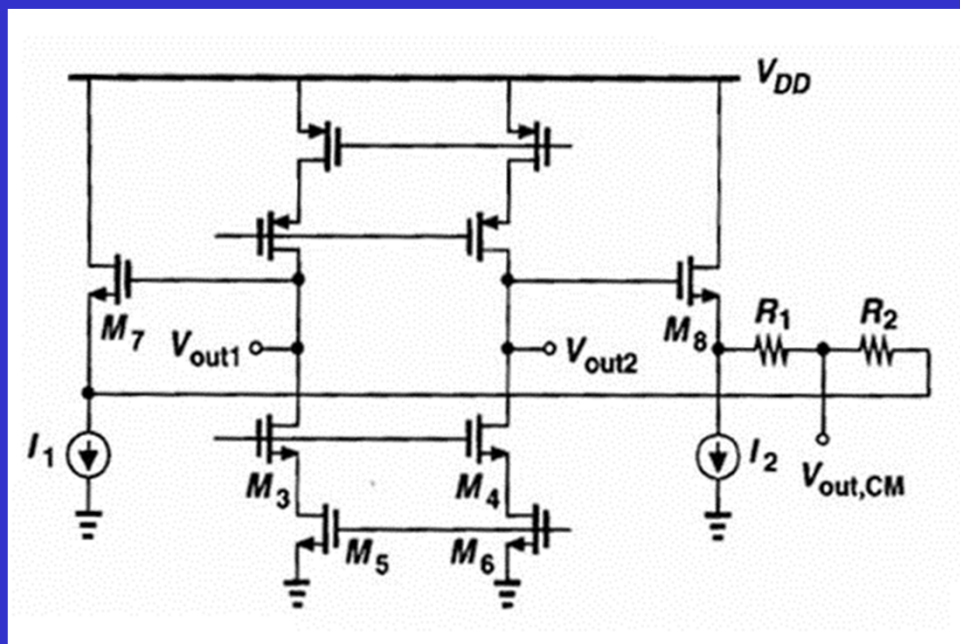
输出共模电平探测方法—SF—电阻法

□源跟随器实现阻抗匹配，电阻 $R1/R2$ 不必太大

□输出电压 $V_{out,CM}$ 比 $(V_{out1}+V_{out2})/2$ 低一个
 $V_{GS7,8}$

❖在设定参考电压的电压值时，要考虑到这个平移值

□ $R1$ ($R2$) 或 $I1$ ($I2$) 要足够大



原因：当输出端出现大的差分摆幅时，假定 V_{out2} 比 V_{out1} 足够高

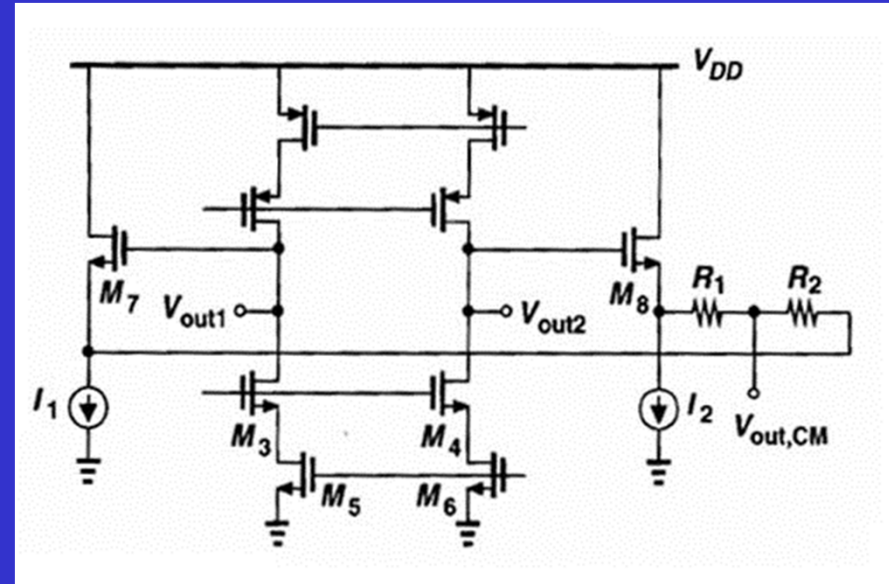
流入 I_1 的有两股电流：

$$\frac{V_{out2} - V_{out1}}{R_1 + R_2} \text{ 和 } I_7$$

输出共模电平探测方法—SF—电阻法

流入 I_1 的有两股电流：

$$\frac{V_{out2} - V_{out1}}{R_1 + R_2} \text{ 和 } I_7$$



若 $(R_1 + R_2)$ 或 I_1 不足够大，

则： I_{D7} 降为零，M7 离开正常工作态。

此时的 $V_{out,CM}$ 不再是正确的输出共模电平

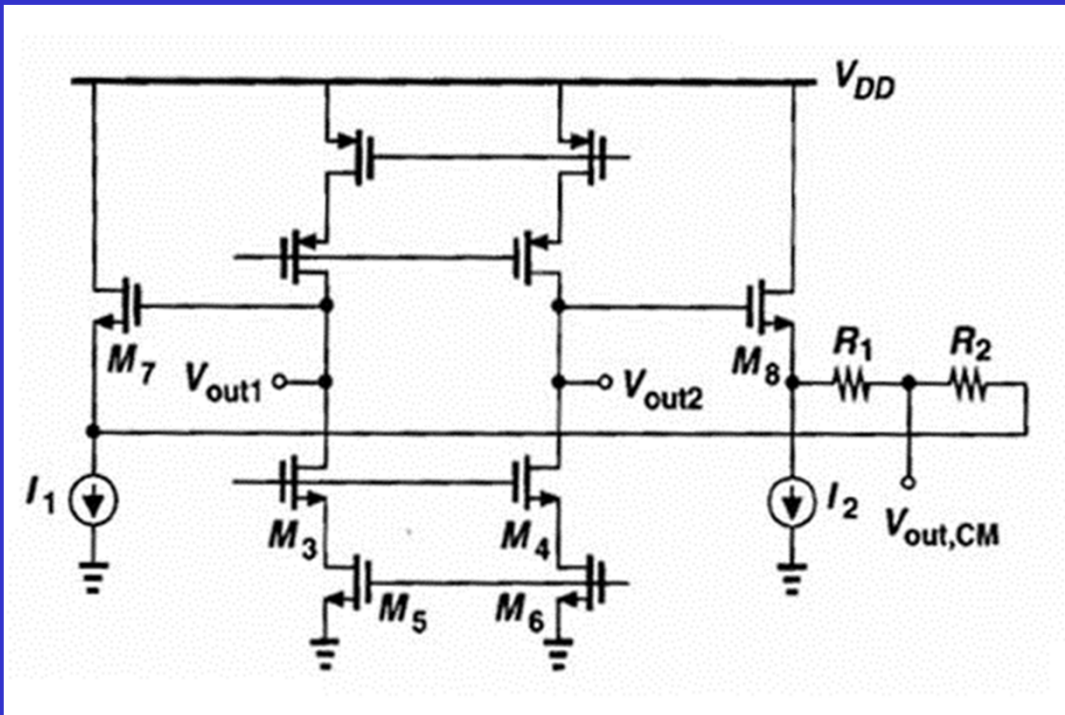
$$V_{out,CM} = \frac{V_{out2} + V_{out1}}{2}$$

因此，**R1 (R2) 或 I_1 (I_2) 要足
够大**

输出共模电平探测方法—SF—电阻法

□ 差分输出摆幅受限

❖ 即使R1 (R2) 或I1 (I2) 足够大



$$V_{out,min} = V_{GS7,8} + V_{I1,2}$$
$$\approx V_{OD7,8} + V_{TH7,8} + V_{OD,I1,2}$$

没有CMFB电路时:

$$V_{out,min} = V_{OD3} + V_{OD5}$$

输出摆幅约少了一个 V_{TH} ，这在低电压电路中会是一个相当大的值

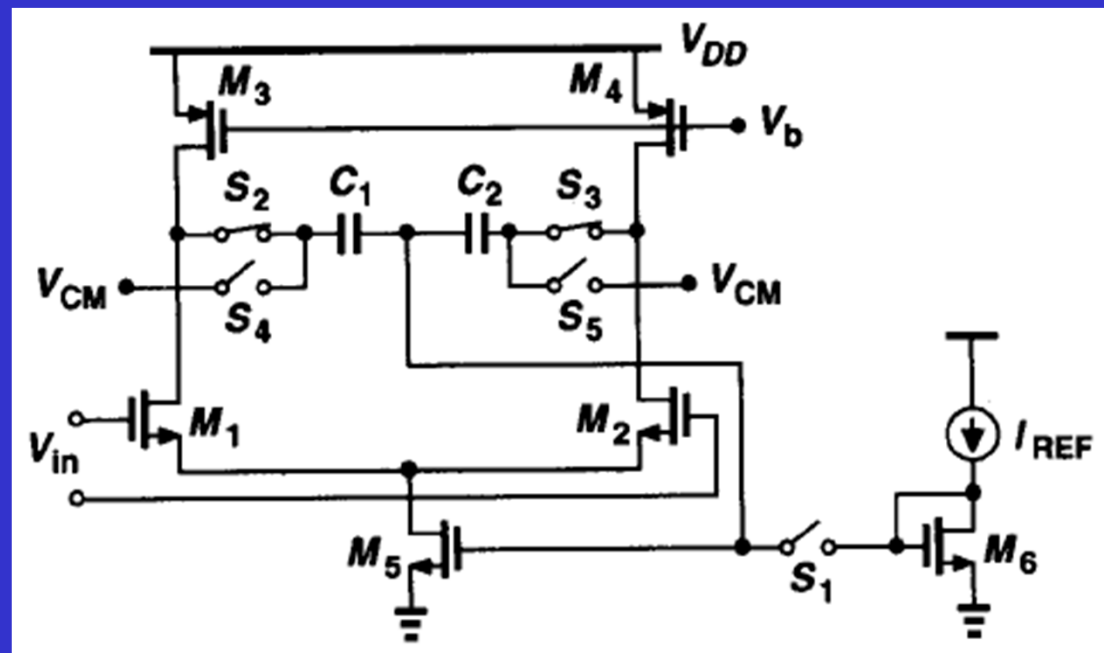
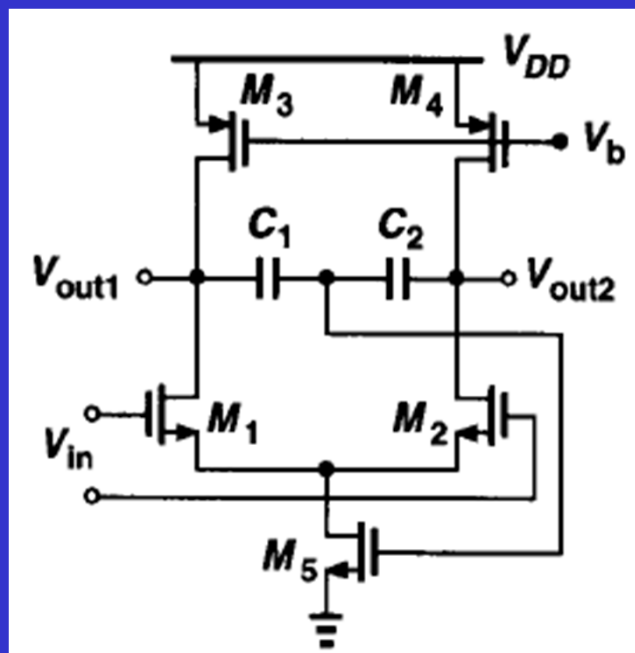
输出共模电平探测方法—电容法

□采用电容检测

❖避免降低低频开环增益

□某些情况下可行

❖第12章

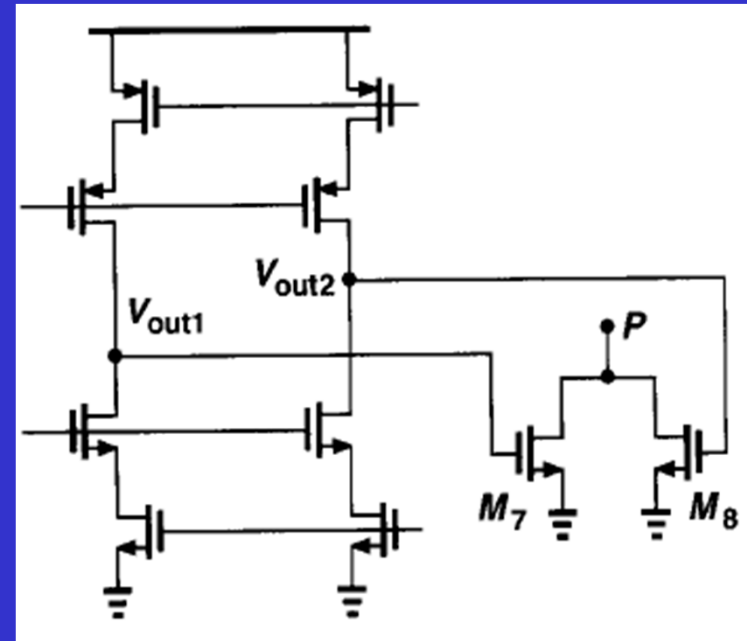


输出共模电平探测方法—深线性区MOS管

□ M7和M8工作在深线性区

P点到地总电阻:

$$\begin{aligned} R_{tot} &= R_{on7} \parallel R_{on8} \\ &= \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{out1} - V_{TH})} \parallel \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{out2} - V_{TH})} \\ &= \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{out1} + V_{out2} - 2V_{TH})} \end{aligned}$$



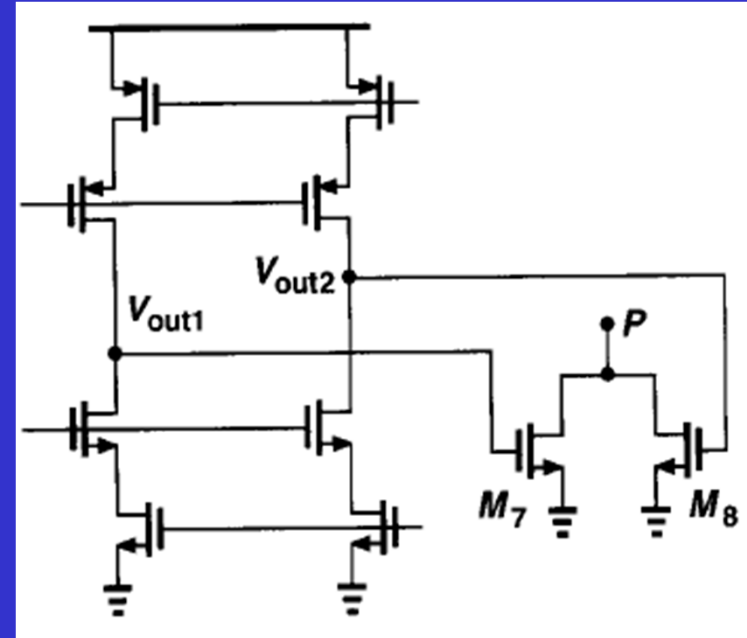
- 1、 R_{tot} 是 $(V_{out1} + V_{out2})$ 的函数，与 $(V_{out1} - V_{out2})$ 无关；
- 2、若 V_{out1} 、 V_{out2} 同时上升或下降，则 R_{tot} 相应地减小或增大；
- 3、若 V_{out1} 、 V_{out2} 差动变化，则 R_{tot} 不变。

输出共模电平探测方法—深线性区MOS管

$$R_{tot} = R_{on7} \parallel R_{on8} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{out1} + V_{out2} - 2V_{TH})}$$

限制了输出摆幅

- ❖ $V_{out,min} = V_{TH7,8}$, 比两个过电压略大, 对摆幅影响不大
- ❖ 若保证M7和M8是深线性区, 需要 $2(V_{out1,2} - V_{TH7,8}) \gg V_{DS7,8}$, 这是限制输出摆幅的主因



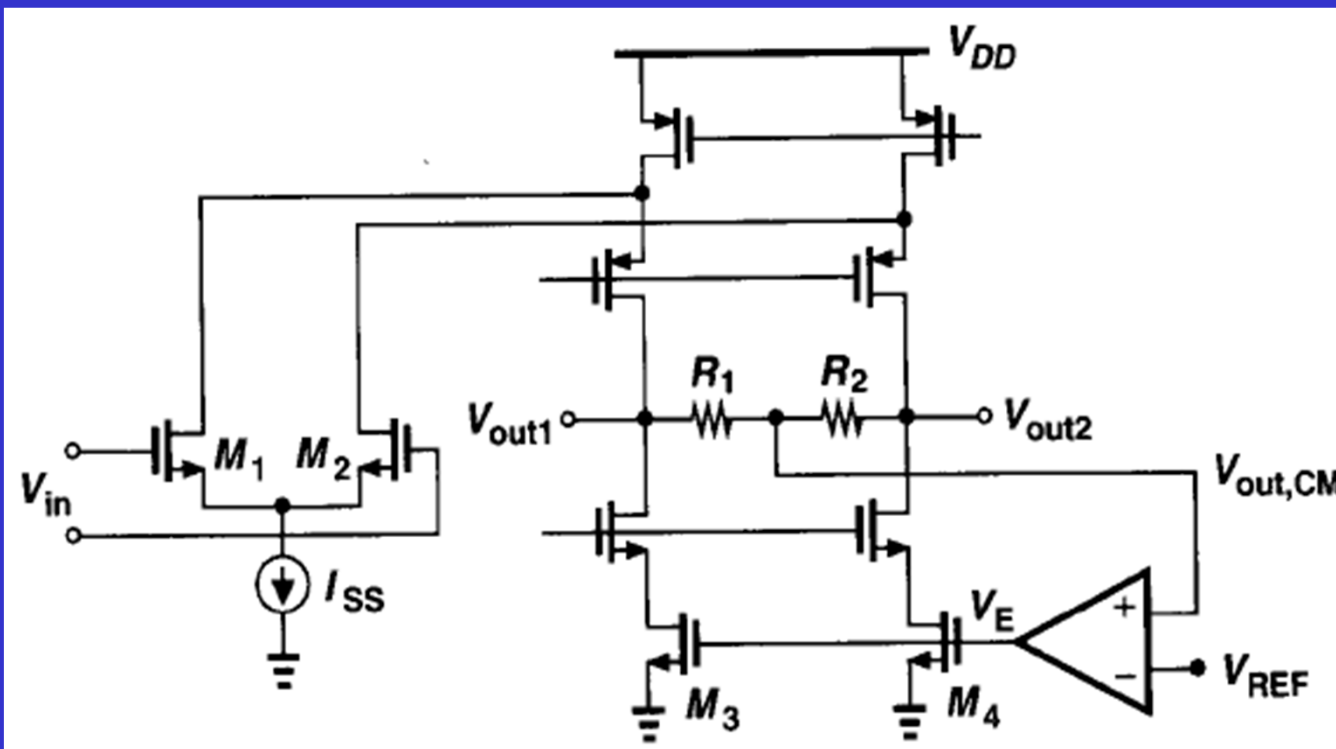
$$I_D = \mu_n C_{OX} \frac{W}{L} [(V_{GS} - V_{TH})V_{DS} - \frac{1}{2}V_{DS}^2]$$

当 V_{out1} 从 $V_{out,CM}$ 下降到 $V_{TH7,8}$ 时, V_{out2} 从 $V_{out,CM}$ 上升同样量, M8 仍保持在深线性区, 但 M7 进入的饱和区, R_{on8} 的减小量并不能抵消 R_{on7} 的增加量

为了 R_{tot} 不随 V_{out1} 和 V_{out2} 差动变化而变化, 需要降低输出摆幅, 保证 M7 和 M8 在深线性区

基于电阻检测的CMFB

- 检测到输出共模电平后，还需要将它与参考电压进行比较，并将比较后的误差返回到运放偏置网络，从而设定输出共模电平



若 $V_{out,CM}$ 增大，则 V_E 增大，流过 M_3 和 M_4 的电流增大，降低 $V_{out,CM}$ 。
为负反馈系统

若环路增益足够大，则反馈网络迫使 $V_{out,CM}$ 接近与 V_{REF}

基于电阻检测的CMFB

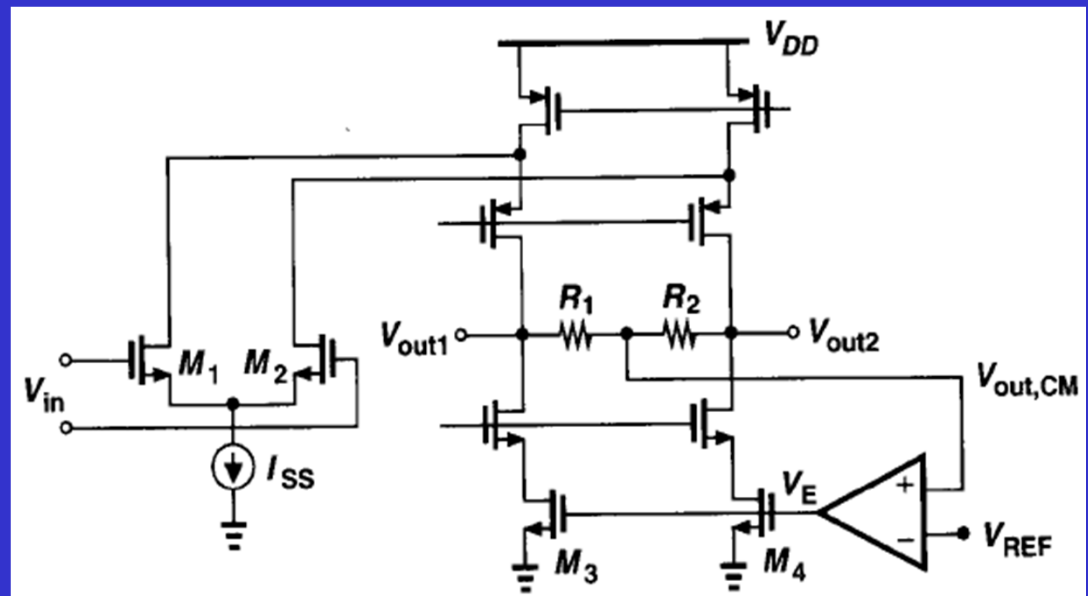
□ 检测到输出共模电平后，还需要将它与参考电压进行比较，并将比较后的误差返回到运放偏置网络，从而设定输出共模电平

- ❖ 比较后的误差信号 V_E 也可以去控制PMOS电流源
- ❖ V_E 还可以去控制电流源 I_{SS}

另外， V_E 可以只控制 $I_{DM3,4}$ 等电流的一部分，而不是全部

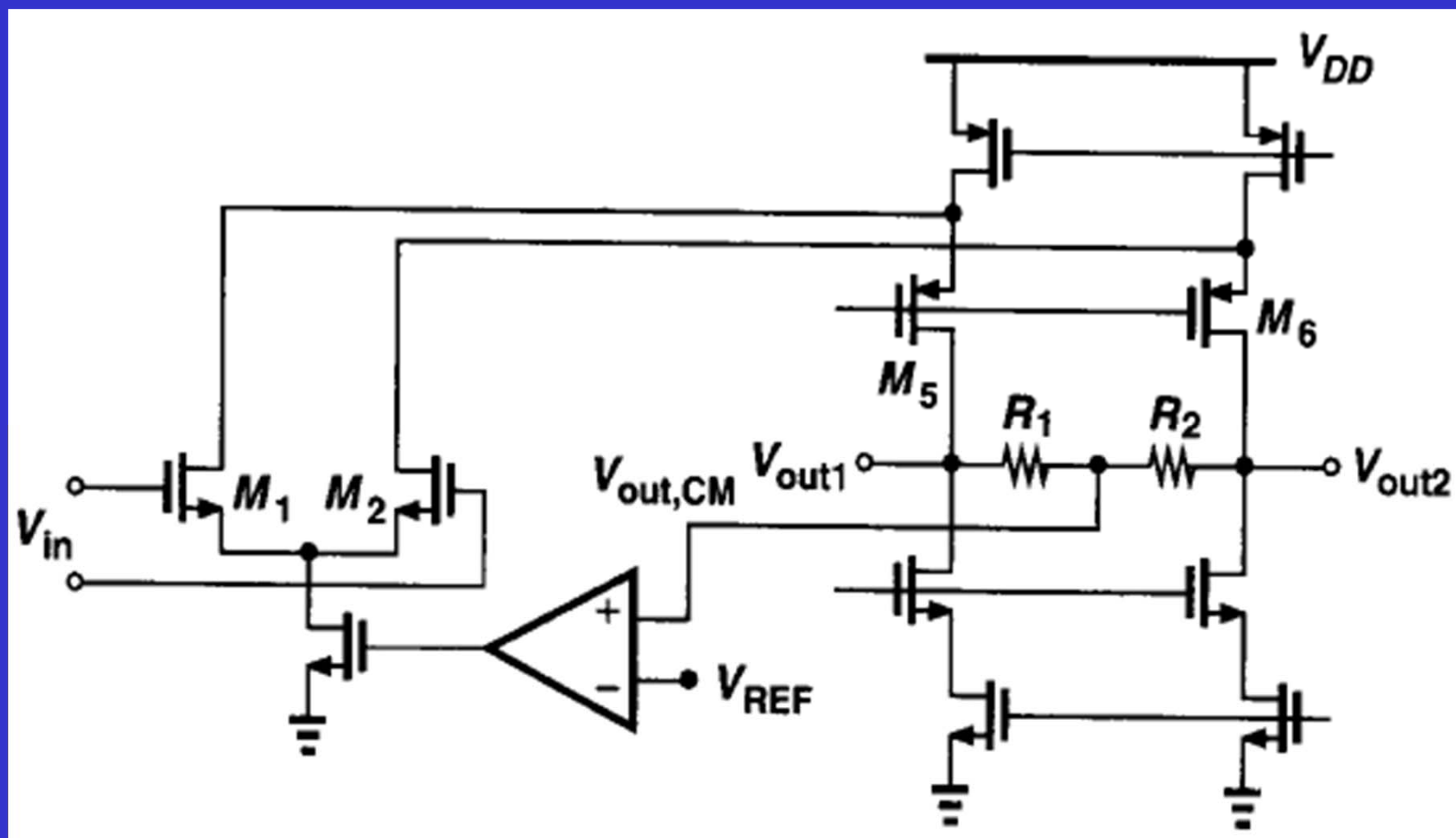
如M3由两个并联MOS管构成， V_E 只控制其一

这有利于优化放大器的建立（settling）特性



基于电阻检测的CMFB

□ V_E 去控制电流源 I_{SS}



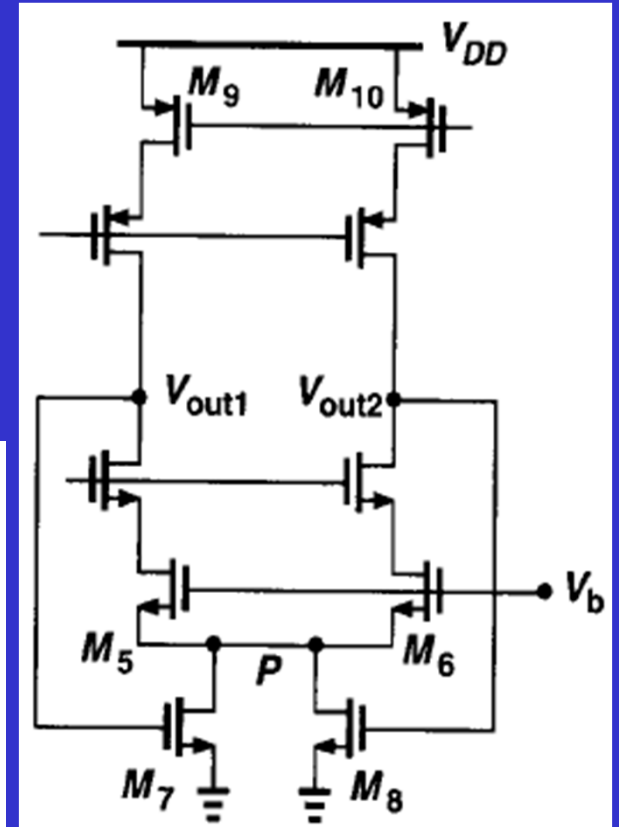
基于深线性区MOS管检测的CMFB

□ 输出共模电压转化为M5和M6源端到地的一个串联电阻

- ❖ $V_{out,CM}$ 调节该电阻阻值，至 $I_{DM5} = I_{DM9}$ 时止
- ❖ 不是通过与 V_{REF} 比较来设定 $V_{out,CM}$

$$V_b - V_{GS5} = 2I_D (R_{on7} \parallel R_{on8})$$

$$R_{on7} \parallel R_{on8} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{out1} + V_{out2} - 2V_{TH})} = \frac{V_b - V_{GS5}}{2I_D}$$



$$\therefore V_{out1} + V_{out2} = \frac{2I_D}{\mu_n C_{ox} \frac{W}{L}} \cdot \frac{1}{V_b - V_{GS5}} + 2V_{TH} = 2V_{out,CM}$$

通过设计参量来设定 $V_{out,CM}$

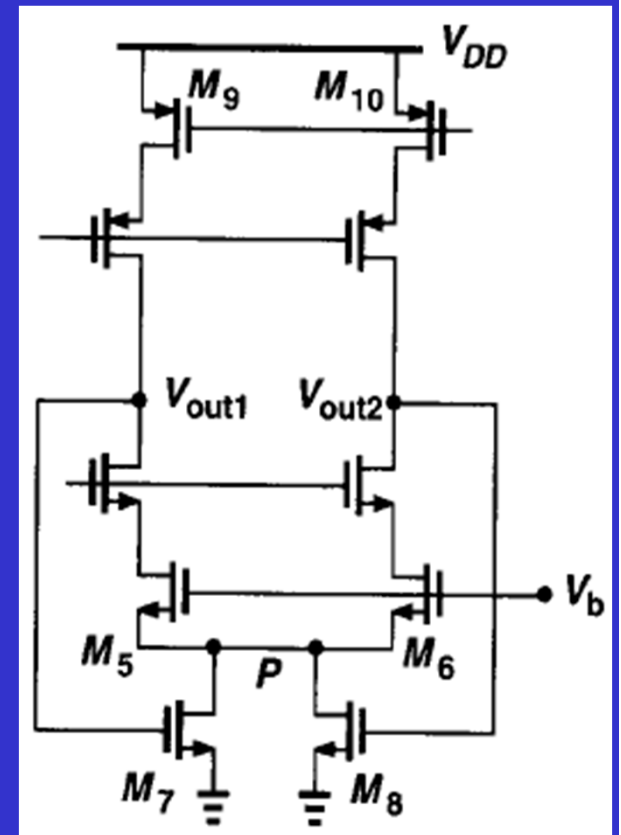
基于深线性区MOS管检测的CMFB

□ 缺点

- ❖ 输出共模电压是器件参数的函数
- ❖ $V_{DS,M7,M8}$ 牺牲了输出摆幅
- ❖ 若降低 $V_{DS,M7,M8}$ ，需要大 W/L ，在输出端引入大电容

□ 在折叠共源共栅运放中

- ❖ 把M7和M8加在输入对管的尾电流源上，可降低对输出摆幅的影响



$$\therefore V_{out1} + V_{out2} = \frac{2I_D}{\mu_n C_{ox} \frac{W}{L}} \cdot \frac{1}{V_b - V_{GS5}} + 2V_{TH} = 2V_{out,CM}$$

通过设计参量来设定 $V_{out,CM}$

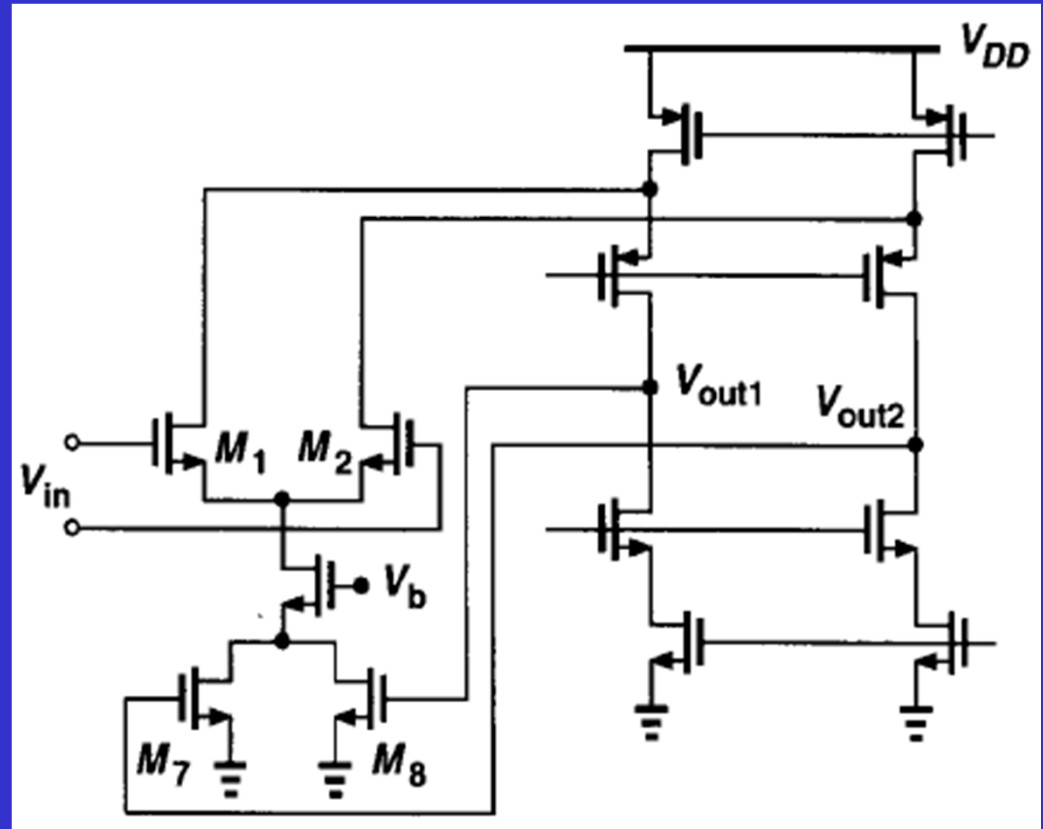
基于深线性区MOS管检测的CMFB

□ 在折叠共源共栅运放中

- ❖ 把M7和M8加在输入对管的尾电流源上，可降低对输出摆幅的影响
- ❖ 输出共模电压仍是器件参数的函数
- ❖ 若降低 $V_{DS,M7,M8}$ ，需要大W/L，在输出端引入大电容

□ 对偏置电压 V_b 有什么要求

- ❖ $V_{out,CM}$ 对 V_b 的值有些敏感



V_b 高于期望值时，输入对管尾电流增大， $V_{out,CM}$ 下降，通过M7和M8的负反馈力图纠正这个偏差。

$V_{out,CM}$ 下降的总变化量取决于CMFB网络的环路增益

例9.9

□ 确定 $V_{out,CM}$ 对 V_b 的敏感度

❖ 输入接交流地

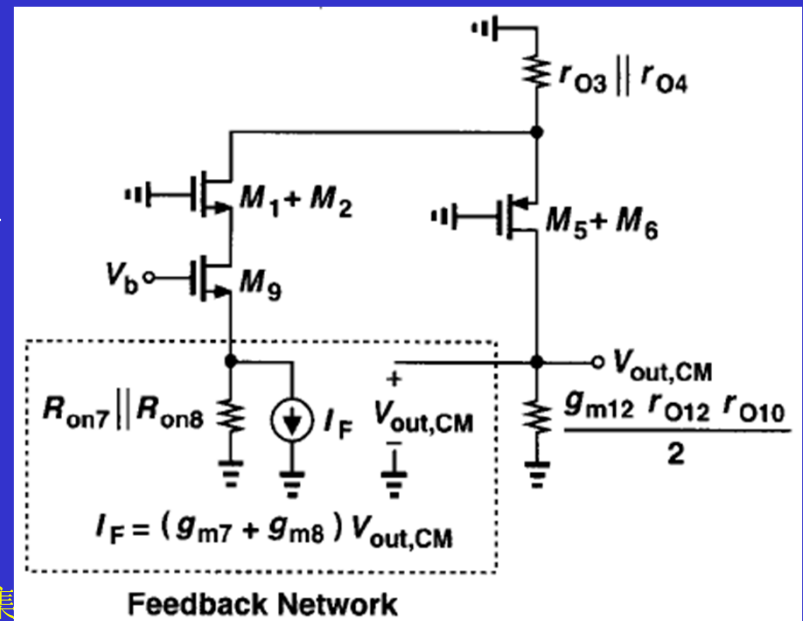
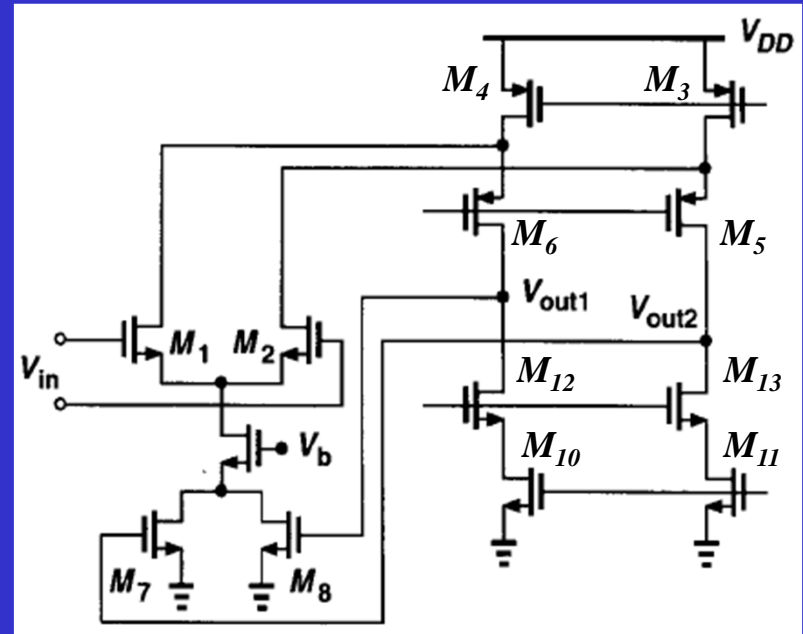
$$I_D = \mu_n C_{OX} \frac{W}{L} [(V_{GS} - V_{TH})V_{DS} - \frac{1}{2}V_{DS}^2]$$

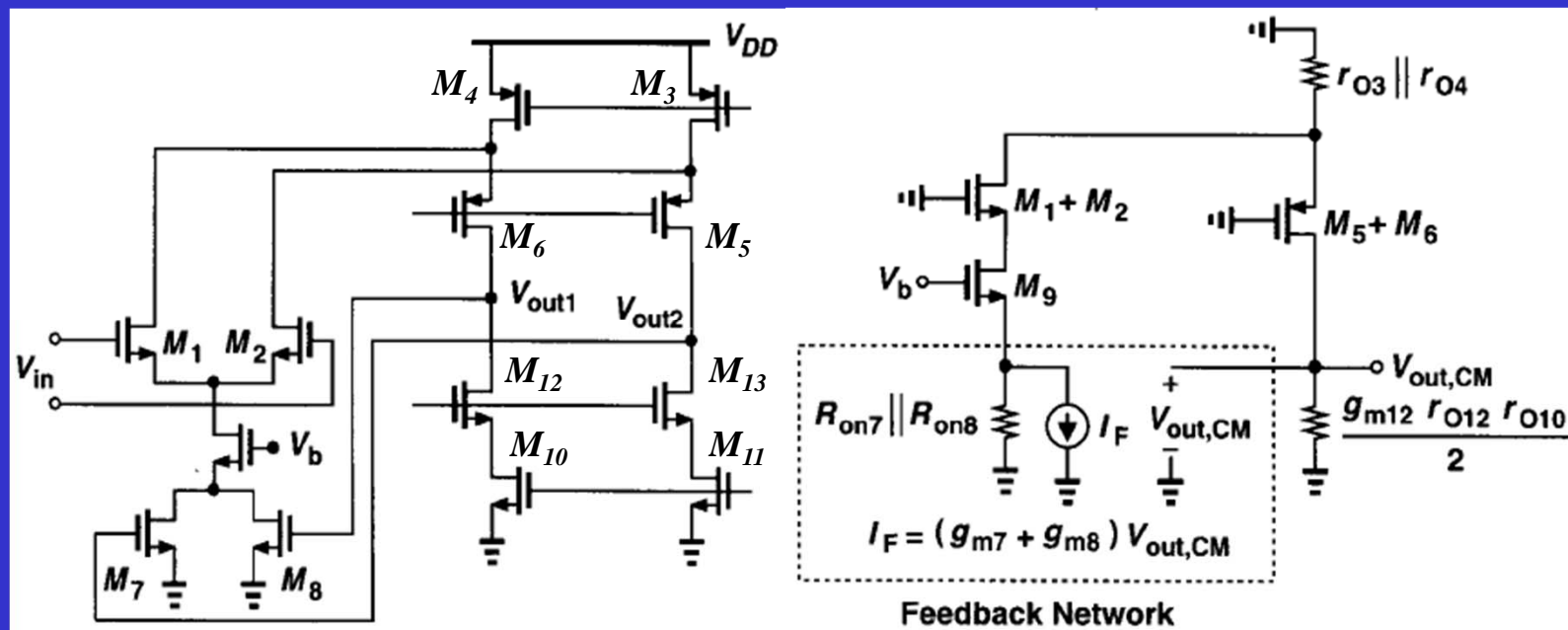
线性区的跨导: $g_{m7,8} = \mu_n C_{ox} \frac{W}{L} V_{DS7,8}$

对深线性区, $V_{DS7,8}$ 通常不超过几百mV

❖ 设计得好的电路, 其环路增益必定很高, 使闭环增益为 $1/B$

❖ 电压-电压反馈





$$\begin{aligned} \beta &= \left. \frac{V_2}{V_1} \right|_{I_2=0} \\ &= -(g_{m7} + g_{m8})(R_{on7} \parallel R_{on8}) \\ &= -2\mu_n C_{ox} \left(\frac{W}{L} \right)_{7,8} V_{DS7,8} \\ &= -\frac{V_{DS7,8}}{V_{GS7,8} - V_{TH7,8}}, \end{aligned}$$

$$\left. \frac{dV_{out,CM}}{dV_b} \right|_{closed} \approx \frac{V_{GS7,8} - V_{TH7,8}}{V_{DS7,8}}$$

输出共模电平 $V_{GS7,8}$ 在 $V_{DD}/2$ 附近。

$$\frac{1}{2\mu_n C_{ox} (W/L)_{7,8} (V_{GS7,8} - V_{TH7,8})}$$

要降低 $V_{out,CM}$ 对 V_b 的敏感度，需 $V_{DS7,8}$ 最大化

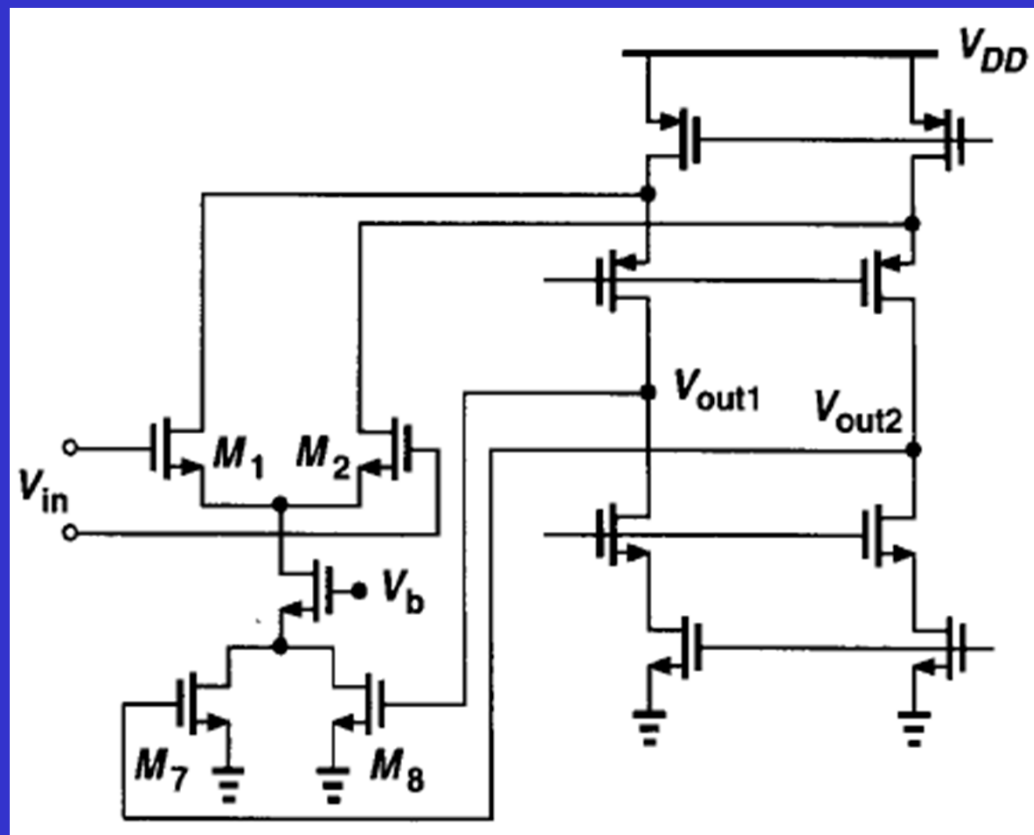
改进基于深线性区MOS管的CMFB

□ 已知其缺点

- ❖ M_7 和 M_8 加在输入对管的尾电流源上，降低对输出摆幅的影响
- ❖ 输出共模电压是器件参数的函数

□ 改进目标

- ❖ $V_{out,CM}$ 独立于器件参数

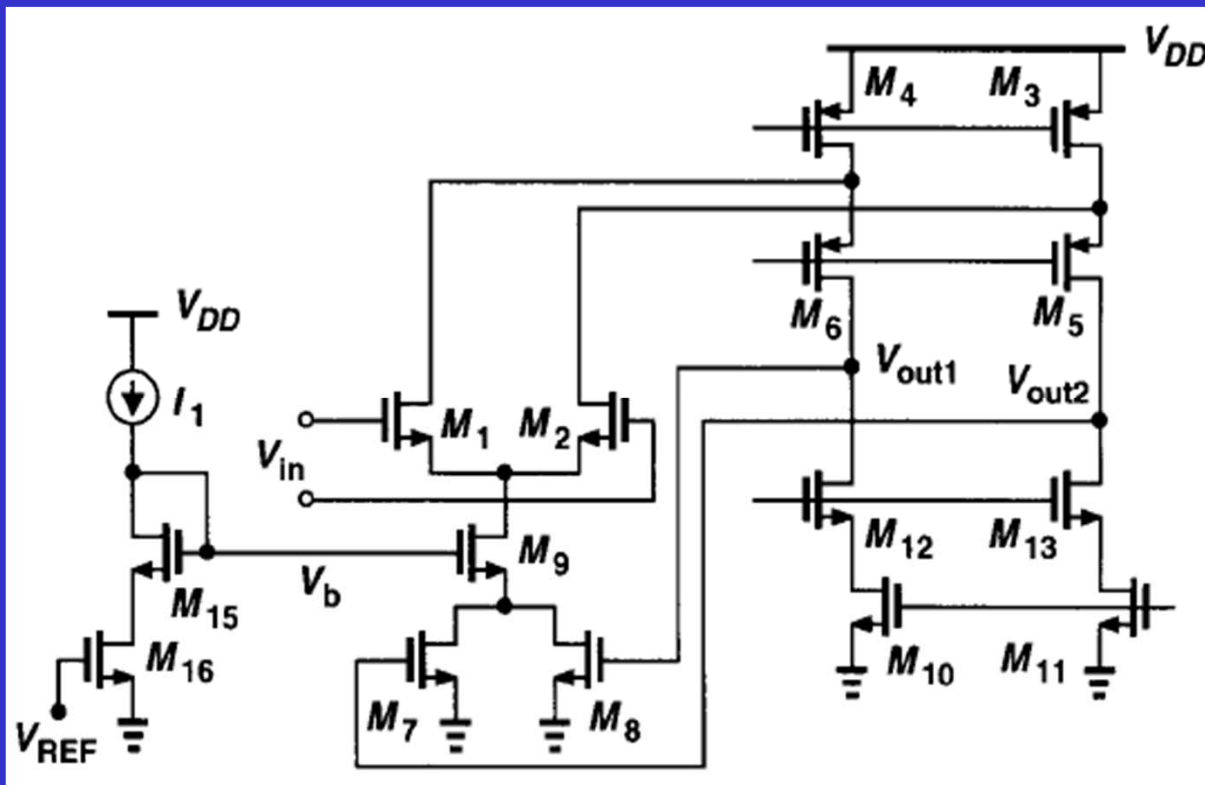


改进基于深线性区MOS管的CMFB

□ 通过电流镜来确定 V_b ，使 I_{D9} 跟踪 I_1 和 V_{REF}

□ 为简化分析

$$(W/L)_{15} = (W/L)_9 \quad (W/L)_{16} = (W/L)_7 + (W/L)_8.$$

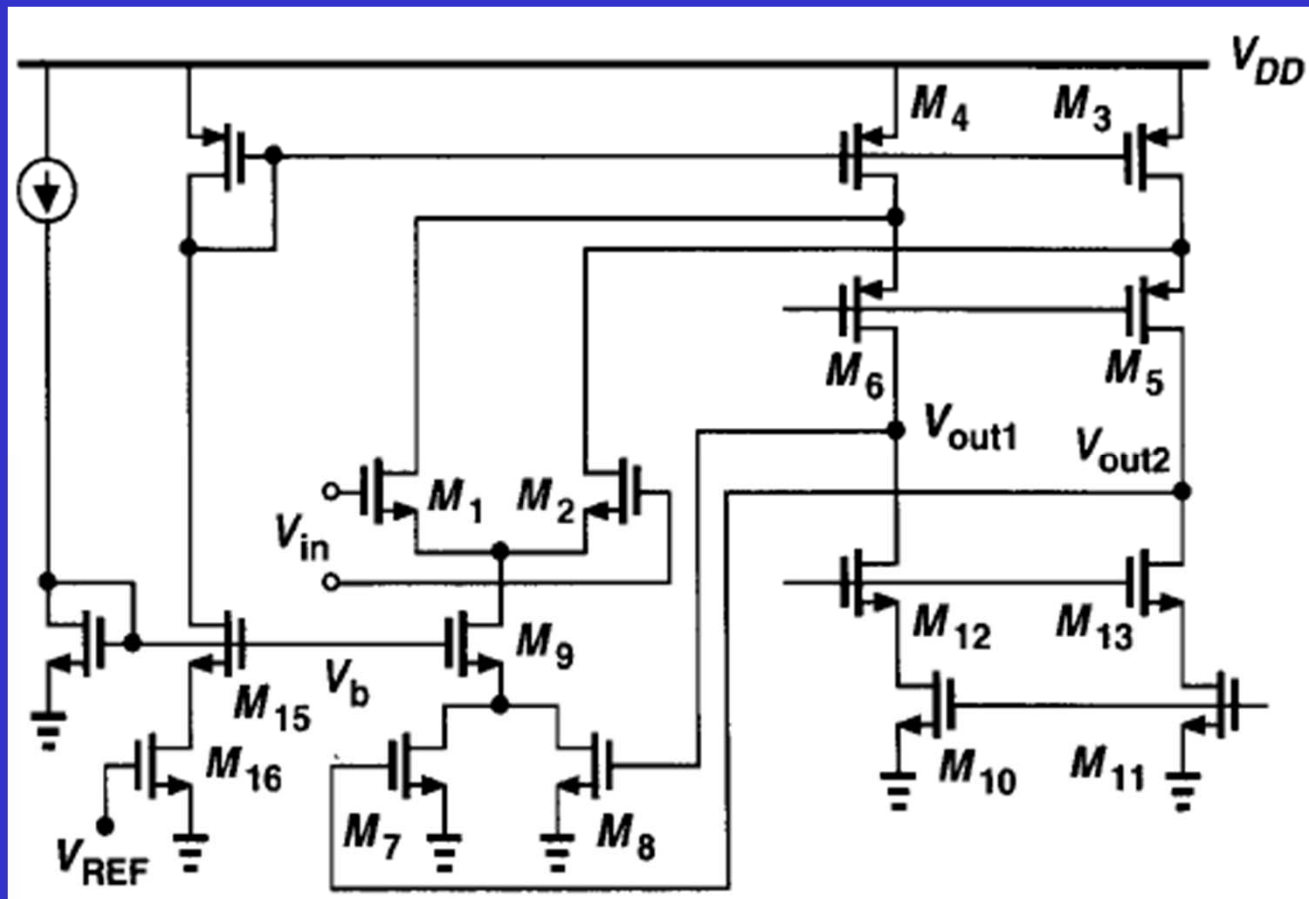


只有当
 $V_{out,CM} = V_{REF}$ 时，
才有 $I_{D9} = I_1$

$$V_{out,CM} = V_{REF}$$

整个电路可简化
为下图

改进基于深线性区MOS管的CMFB

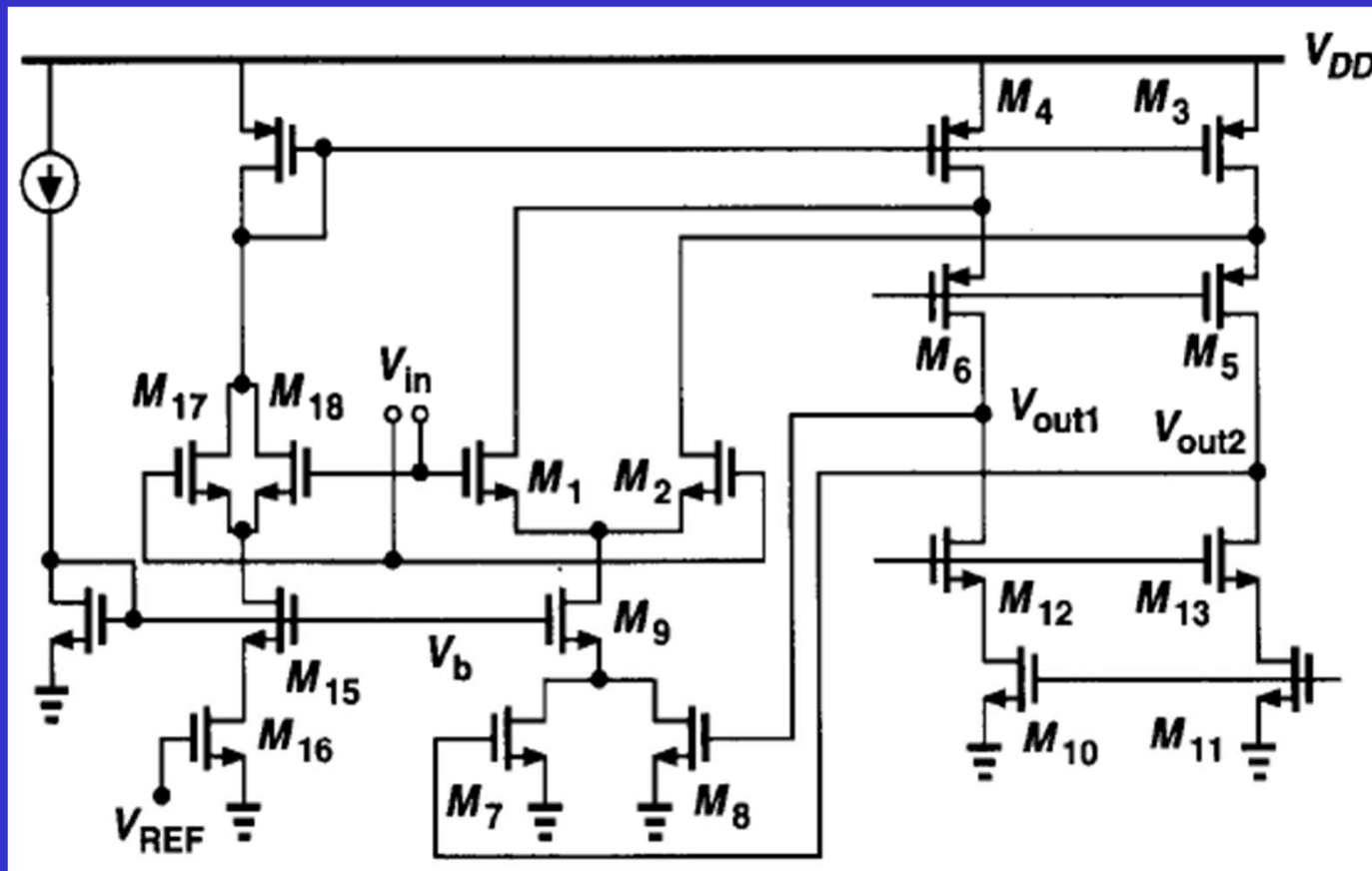


$$V_{out,CM} = V_{REF}$$

$V_{DS9} \neq V_{DS15}$, 沟长调制效应会使 $I_{D9} \neq I_{D15}$, 有误差

□ 为了抑制该误差，再改进电路

改进基于深线性区MOS管的CMFB



□ M_{17} 和 M_{18} 使 M_{15} 的漏端电压等于 M_9 的漏端电压

另一种共模CMFB电路

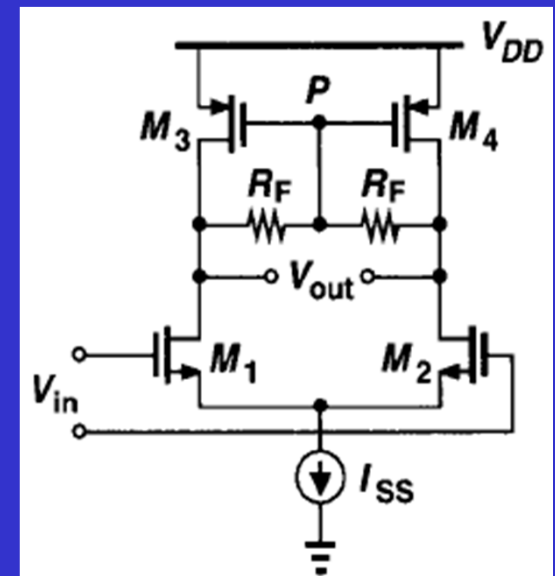
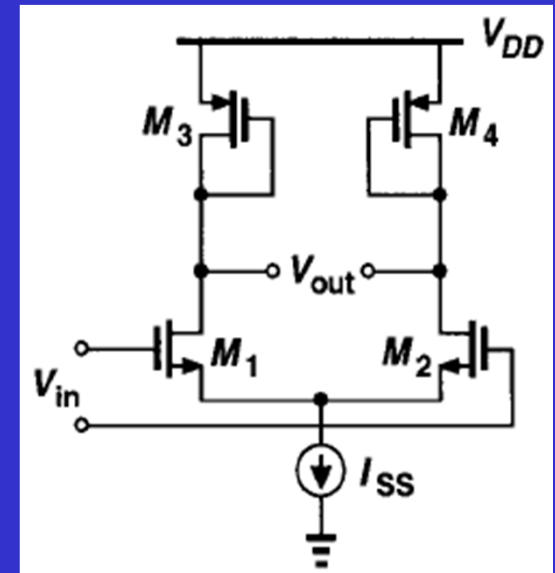
□ 二极管做负载的差动级

- ❖ 输出共模电平: $V_{DD} - V_{GS3,4}$
- ❖ 电压增益低
- ❖ 为提高增益, 可以改进电路

□ 改进后的电路

- ❖ 对差分信号, P点虚地
- ❖ 电压增益为 $g_{m1,2}(r_{O1,2} \parallel r_{O3,4} \parallel R_F)$
- ❖ 输出共模电平不变

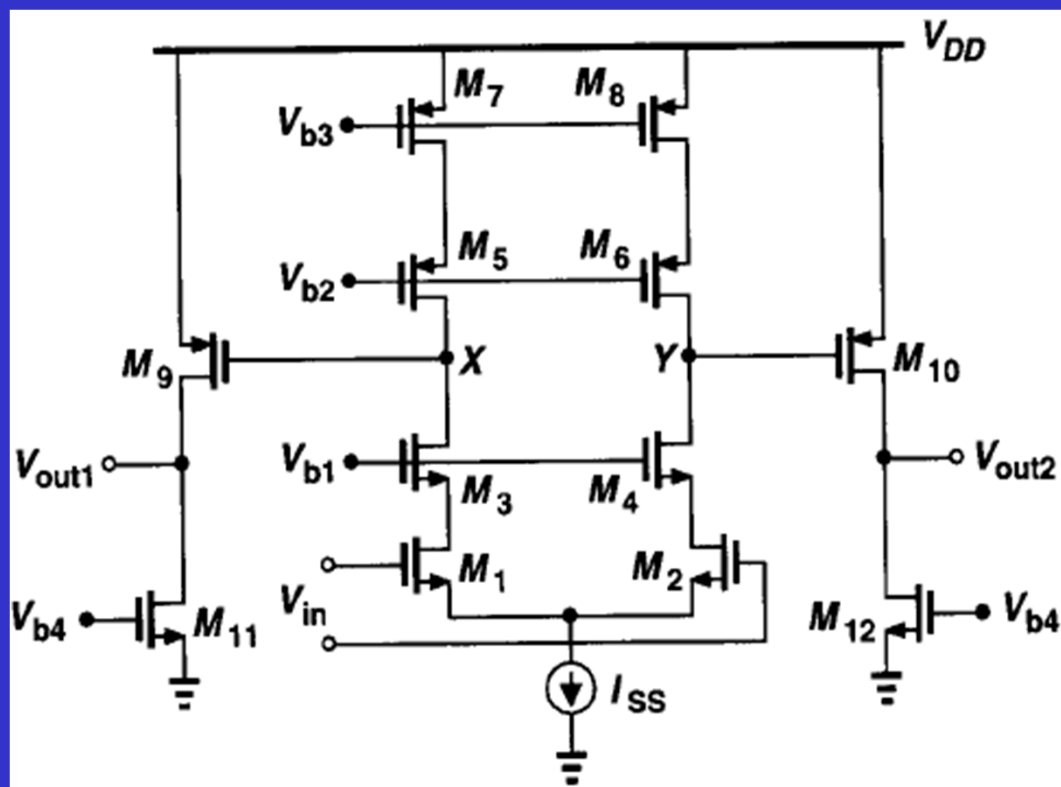
□ 该CMFB在低增益应用中被证明有用



复杂电路中CMFB电路可能需要多个

□全差分两级运放

- ❖ 需要两个CMFB电路，分别确定每一级的输出共模电平



第9章 运算放大器

□ 9.1 概述

- ❖ 9.1.1 性能指标

□ 9.2 一级运放

- ❖ 9.2.1 基本差分运放

- ❖ 9.2.2 套筒式共源共栅运放

- ❖ 9.2.3 折叠式共源共栅运放

□ 9.3 两级运放

□ 9.4 增益的提高

□ 9.5 性能比较

□ 9.6 共模反馈

□ 9.7 输入范围限制

□ 9.8 转换速率

□ 9.9 电源抑制

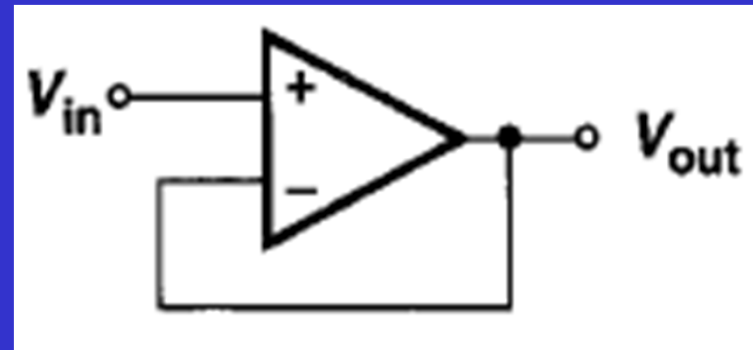
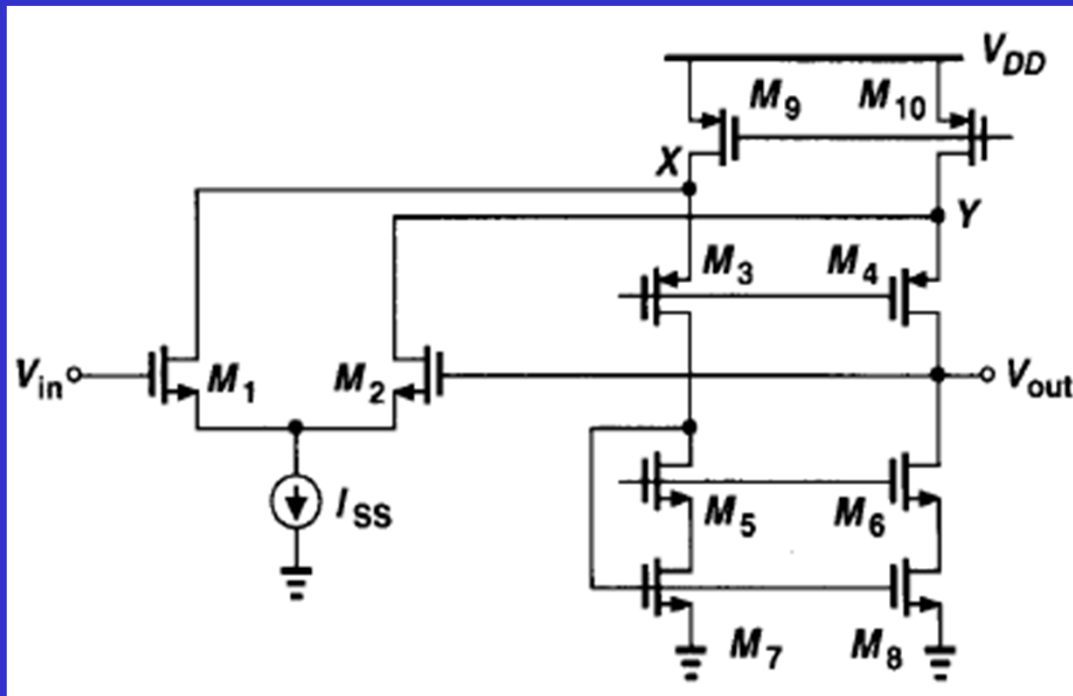
□ 9.10 运放的噪声

9.7 输入范围限制

□ 输入共模电压范围

- ❖ 前面讨论较多的是差分输出摆幅，希望大
- ❖ 差分输入摆幅通常很小， $V_{out,swing}/A_v$
- ❖ 共模输入范围有时需要范围很大

单位增益缓冲器



输入摆幅几乎等于输出摆幅
摆幅下限由输入对管决定

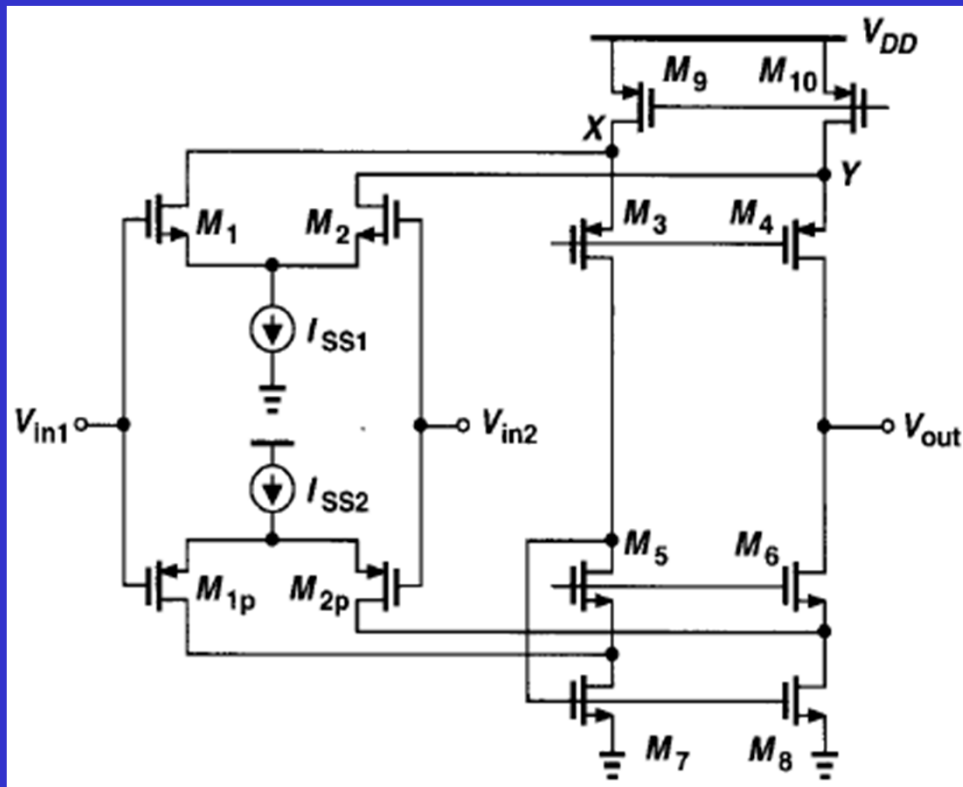
$$V_{in,min} \approx V_{out,min} = V_{GS1,2} + V_{ISS}$$

比输出端摆幅下限高1个 V_{TH}

扩大输入摆幅范围

宽摆幅运放

- ❖ NMOS和PMOS对管共同构成差分输入级
- ❖ Rail-to-rail运放



V_{in} 很高时:

PMOS差分对截止, NMOS差分对导通; $G_m \approx g_{mn}$

V_{in} 很低时:

PMOS差分对导通, NMOS差分对截止; $G_m \approx g_{mp}$

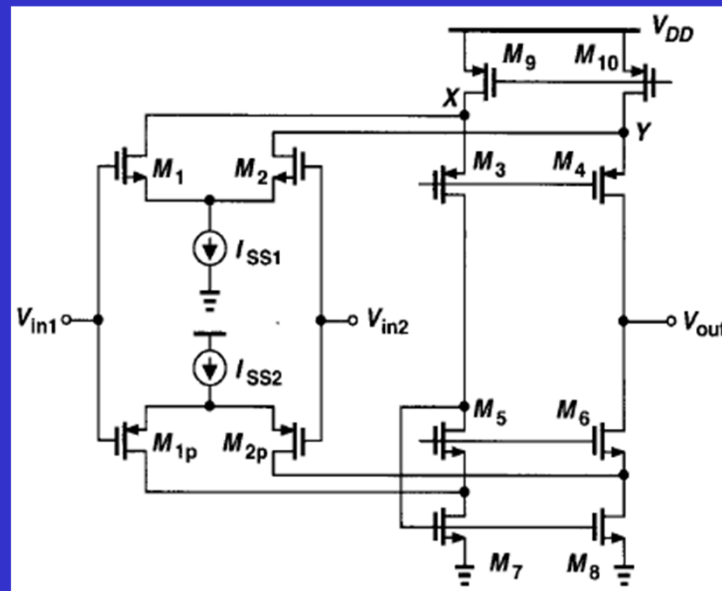
V_{in} 居中间范围时:

PMOS和NMOS差分对同时导通, $G_m \approx g_{m,tot}$

Rail-to-rail运放

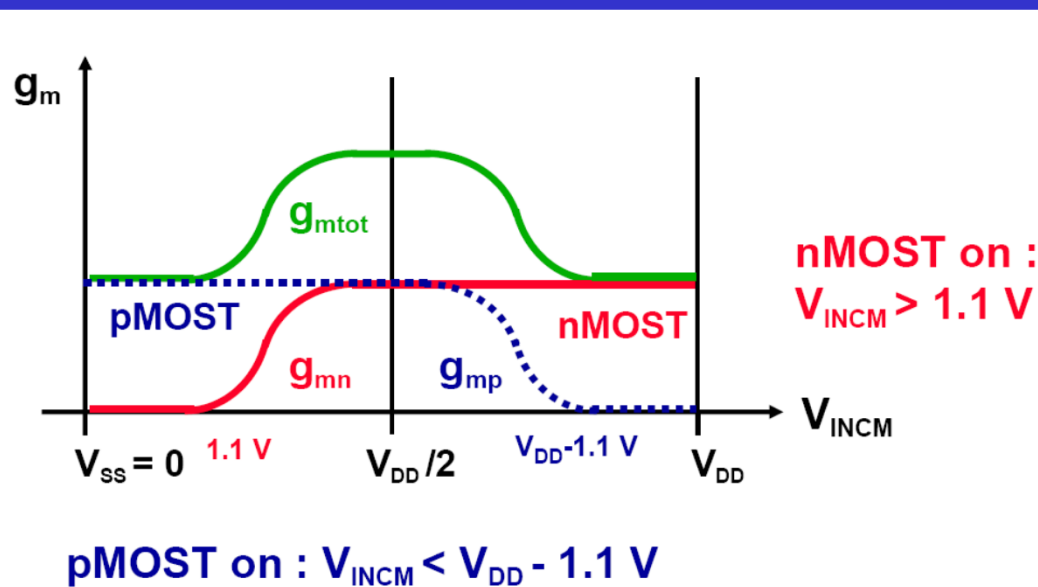
□ 总跨导随 $V_{in,CM}$ 变化而变化

- ❖ 导致GBW、增益、速度、噪声等不确定
- ❖ 不希望总跨导变化

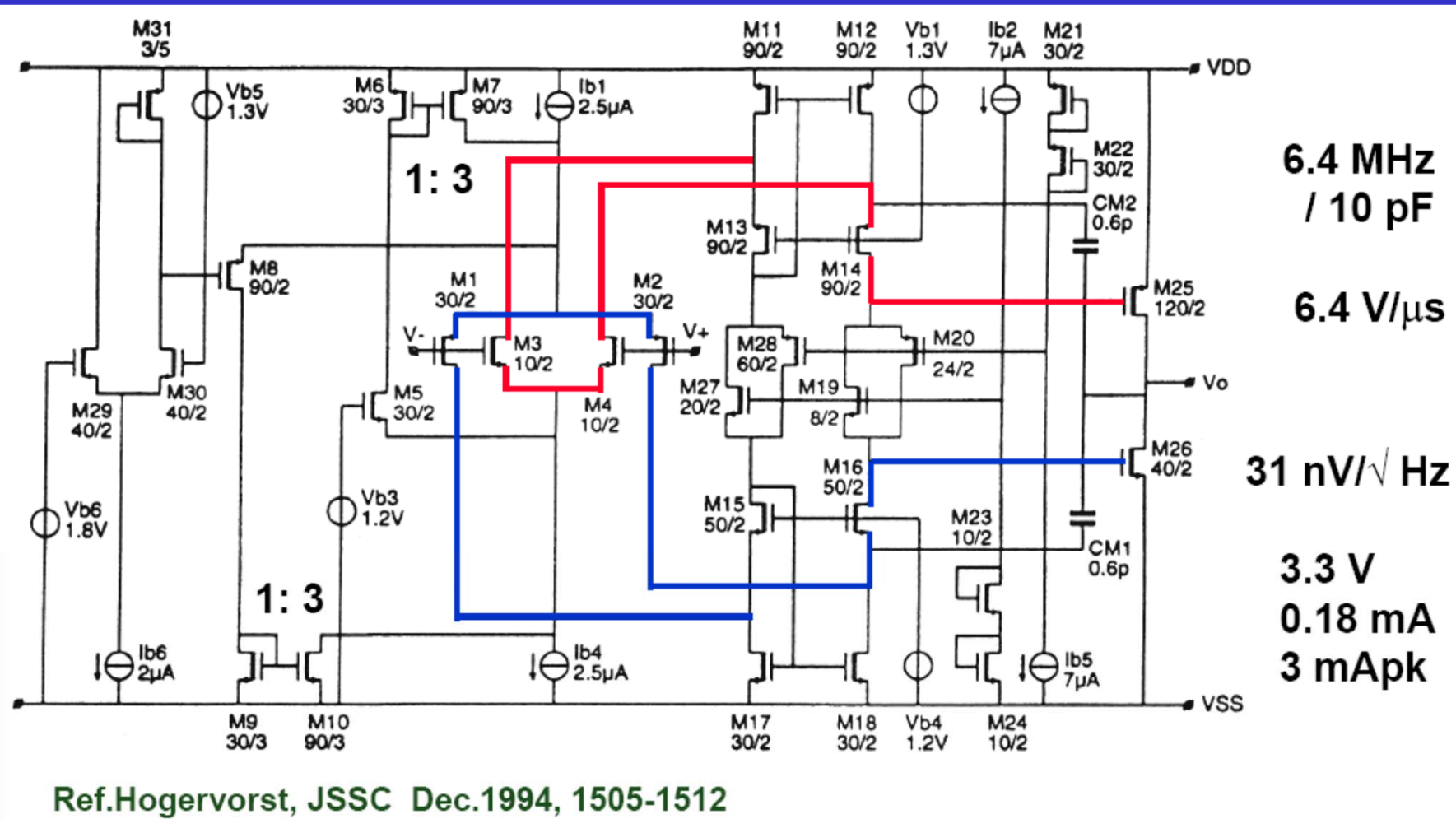


恒定跨导的Rail-to-rail运放实例

《CMOS 电路设计、布局与仿真》，P466



恒定跨导的Rail-to-rail运放

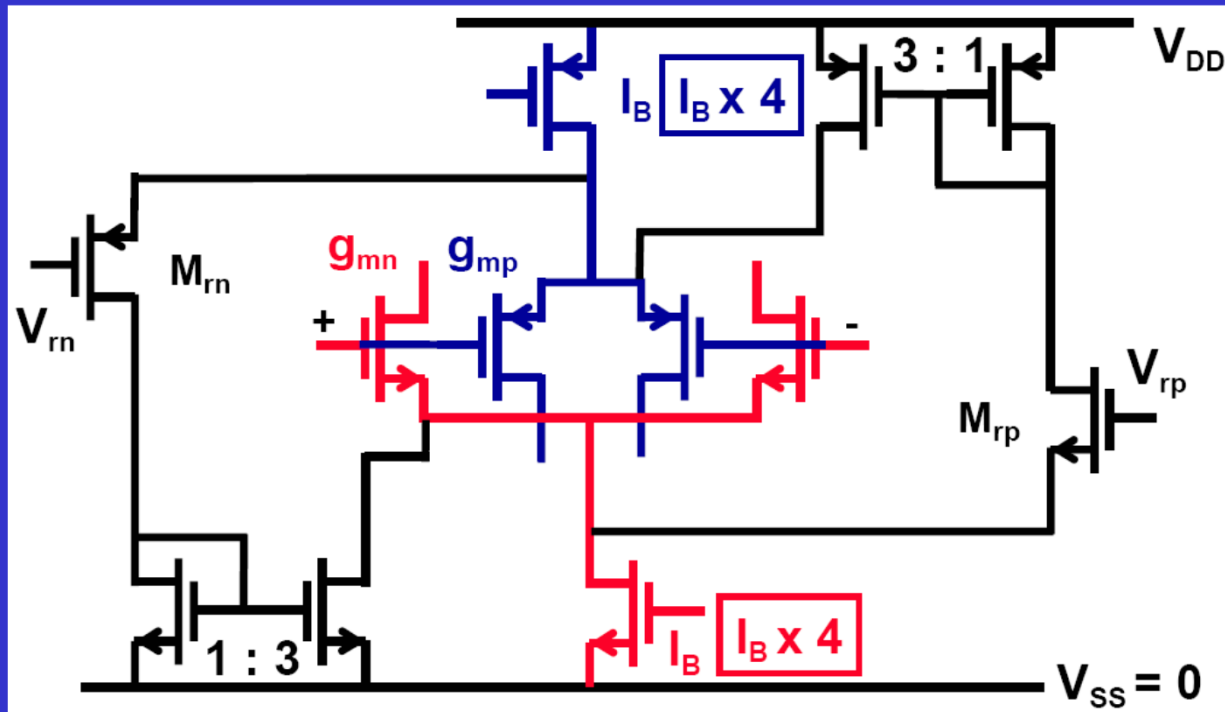


恒定跨导的Rail-to-rail运放

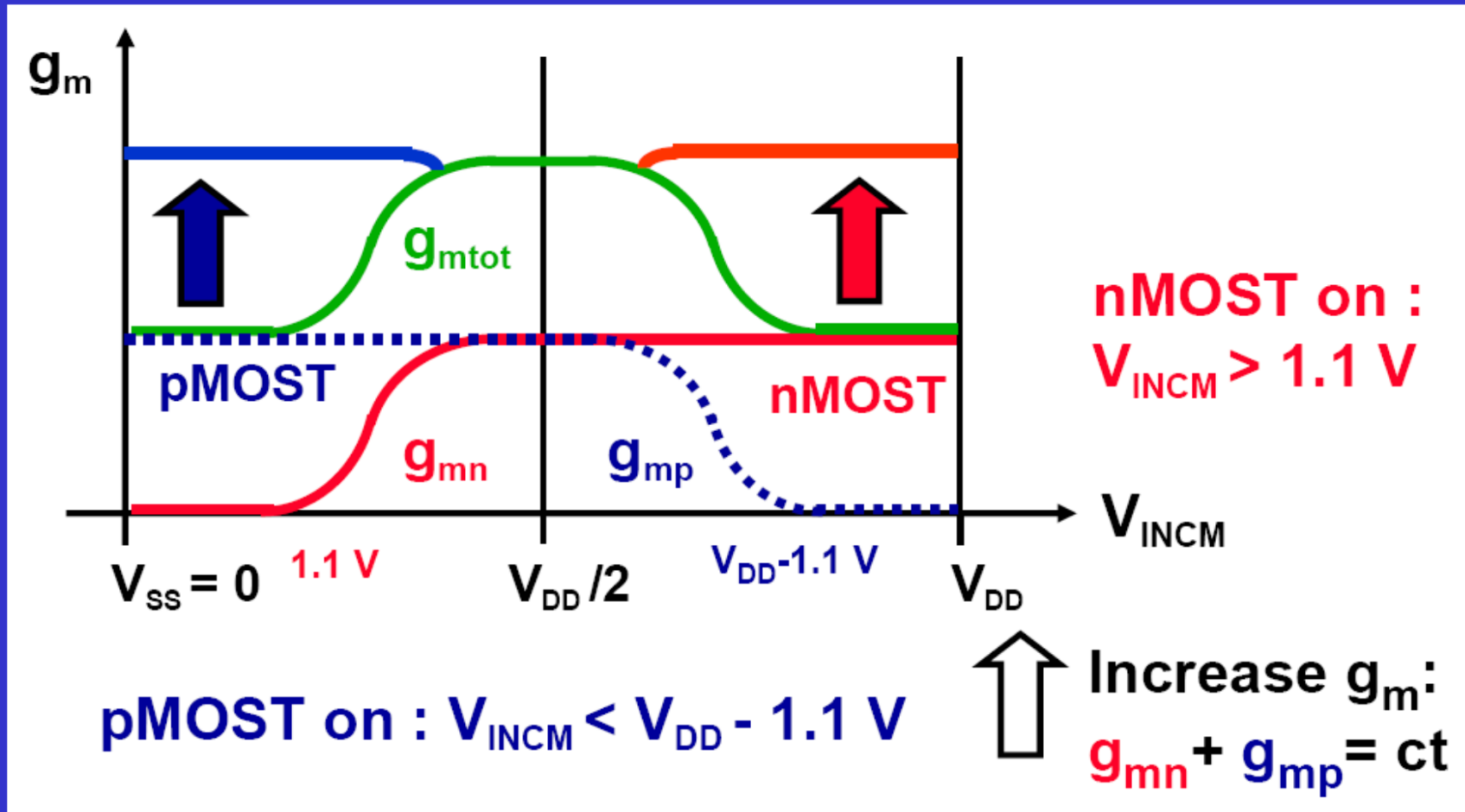
□原理

❖ 当仅NMOS对管或仅PMOS对管导通时， I_{bias} 变为同时导通时的4倍

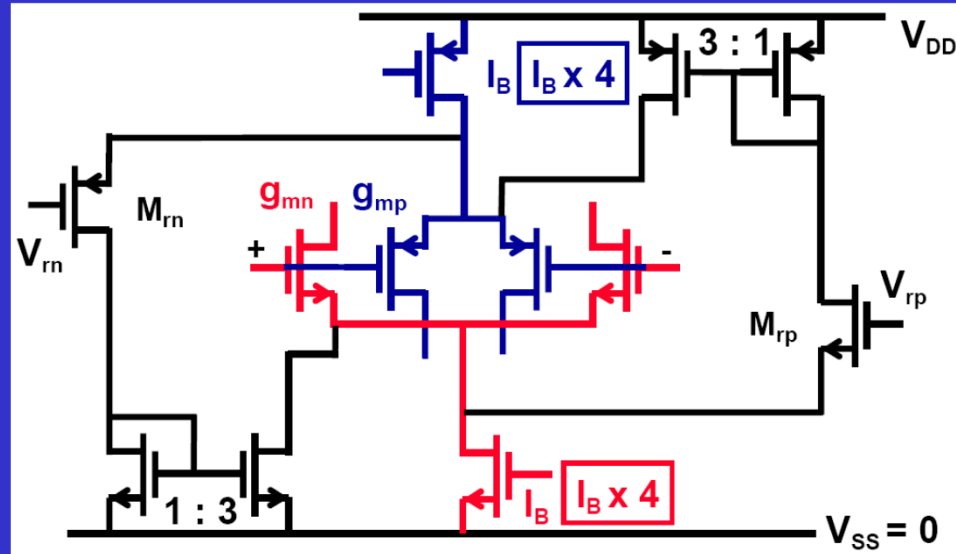
$$g_m = \sqrt{2I_{DS}\mu_n C_{OX} \frac{W}{L}}$$



恒定跨导的Rail-to-rail运放



恒定跨导的Rail-to-rail运放



$$g_{mn} + g_{mp} = ct1$$

$$\sqrt{2I_{D,n}\mu_n C_{OX} \frac{W_n}{L_n}} + \sqrt{2I_{D,p}\mu_p C_{OX} \frac{W_p}{L_p}} = ct1$$

$$\sqrt{I_{D,n}} + \sqrt{I_{D,p}} = ct2$$

$$\sqrt{1} + \sqrt{1} = \sqrt{0} + \sqrt{4}$$

第9章 运算放大器

- 9.1 概述
- 9.2 一级运放
- 9.3 两级运放
- 9.4 增益的提高
- 9.5 性能比较
- 9.6 共模反馈
- 9.7 输入范围限制
- 9.8 转换速率
 - ❖ 线性运放的阶跃响应
 - ❖ 实际运放的阶跃响应
 - ❖ 各种运放的压摆率限制问题
- 9.9 电源抑制
- 9.10 运放的噪声

9.8 转换速率

□ Slew rate

- ❖ 又称为“压摆率”，描述大信号特性的一个参数
- ❖ 运放用于构成反馈电路时，会表现出这种大信号特性

□ 先考察一个线性系统

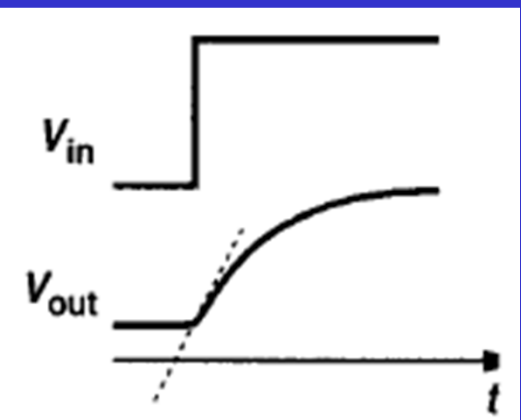
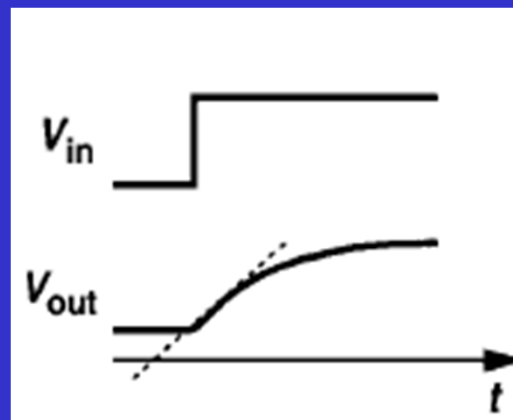
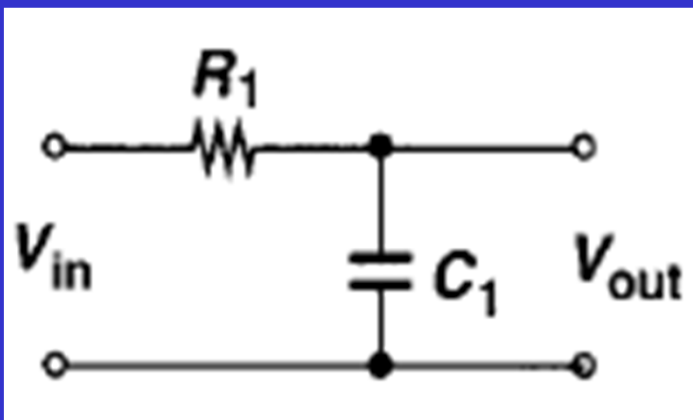
- ❖ 简单RC网络对理想阶越的响应

$$\frac{dV_{out}}{dt} = \frac{V_0}{\tau} \exp \frac{-t}{\tau}$$

$$V_{out} = V_0[1 - \exp(-t/\tau)]$$

$$\tau = RC$$

斜率正比于最终值



简单RC网络的理想阶越响应

□简单RC网络对理想阶越的响应

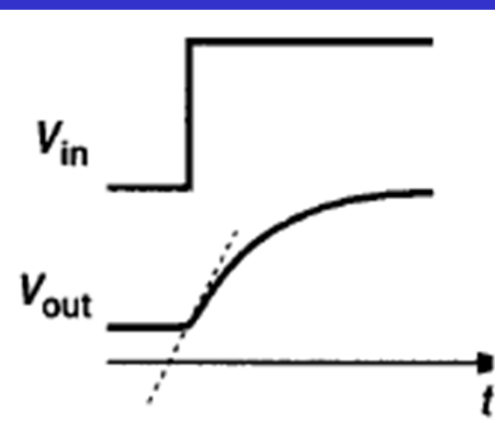
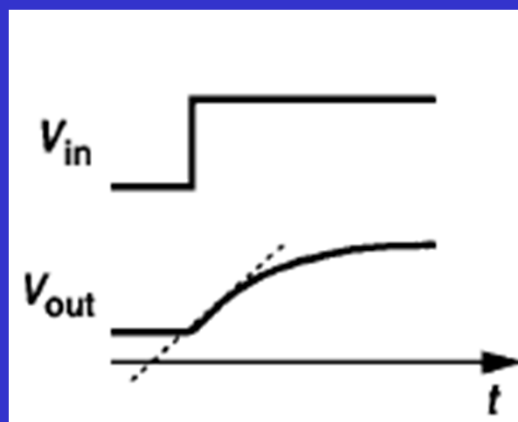
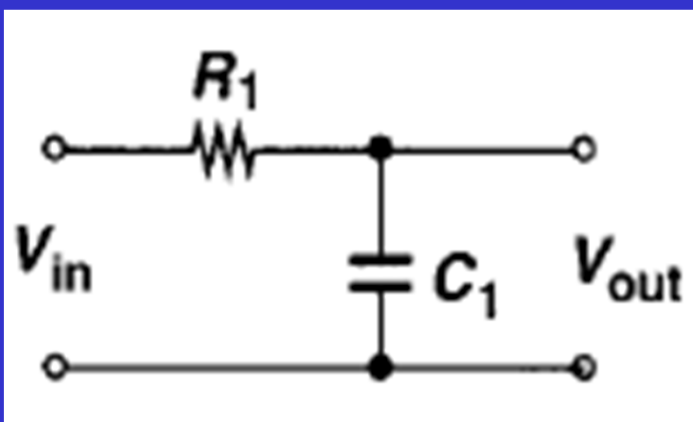
- ❖若最终值增大，则上升速度更快
- ❖这是线性系统的基本特性

$$\frac{dV_{out}}{dt} = \frac{V_0}{\tau} \exp \frac{-t}{\tau}.$$

$$V_{out} = V_0[1 - \exp(-t/\tau)]$$

$$\tau = RC$$

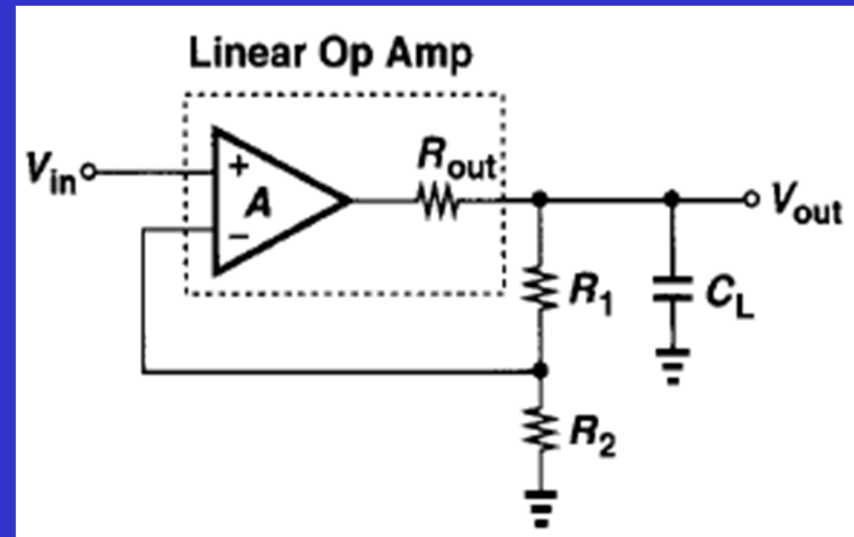
斜率正比于最终值



线性运放的阶越响应

□ 假定图中运放为线性运放

- ❖ 假定 $R_1 + R_2 \gg R_{out}$
- ❖ 低频增益下降 $(1 + BA_0)$ 倍
- ❖ 带宽增大 $(1 + BA_0)$ 倍



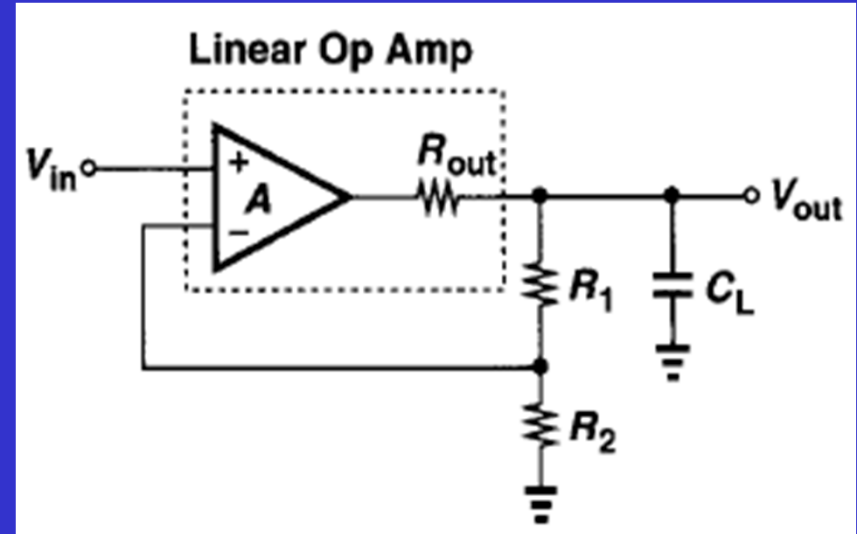
$$\left[\left(V_{in} - V_{out} \frac{R_2}{R_1 + R_2} \right) A - V_{out} \right] \frac{1}{R_{out}} = \frac{V_{out}}{R_1 + R_2} + V_{out} C_L s.$$

$$\frac{V_{out}}{V_{in}}(s) \approx \frac{A}{\left(1 + A \frac{R_2}{R_1 + R_2} \right) \left[1 + \frac{R_{out} C_L}{1 + A R_2 / (R_1 + R_2)} s \right]}.$$

线性运放的阶越响应

□ 假定图中运放为线性运放

- ❖ 假定 $R_1 + R_2 \gg R_{out}$
- ❖ 低频增益下降 $(1 + BA_0)$ 倍
- ❖ 带宽增大 $(1 + BA_0)$ 倍



$$\frac{V_{out}}{V_{in}}(s) \approx \frac{A}{\left(1 + A \frac{R_2}{R_1 + R_2}\right) \left[1 + \frac{R_{out} C_L}{1 + A R_2 / (R_1 + R_2)} s\right]}$$

阶越响应：
这种响应类型称为“线性稳定”

斜率正比于最终值

$$V_{out} = V_0 \frac{A}{1 + A \frac{R_2}{R_1 + R_2}} \left(1 - \exp \frac{-t}{\frac{C_L R_{out}}{1 + A R_2 / (R_1 + R_2)}}\right) u(t)$$

线性运放的阶越响应

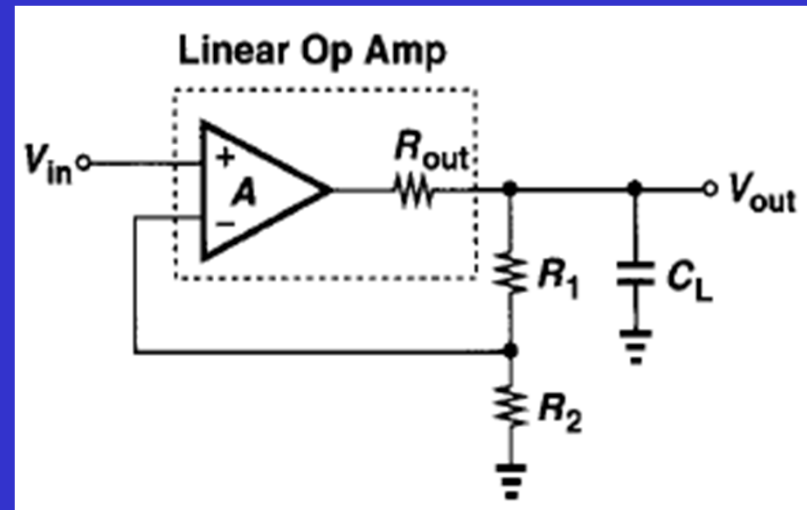
□ 假定图中运放为线性运放

- ❖ 假定 $R_1 + R_2 \gg R_{out}$
- ❖ 低频增益下降 $(1 + BA_0)$ 倍
- ❖ 带宽增大 $(1 + BA_0)$ 倍

□ “线性稳定”

❖ Linear Settling

- ❖ Settling, 多译为“建立”, 描述信号建立过程



$$V_{out} = V_0 \frac{A}{1 + A \frac{R_2}{R_1 + R_2}} \left(1 - \exp \frac{-t}{\frac{C_L R_{out}}{1 + A R_2 / (R_1 + R_2)}} \right) u(t)$$

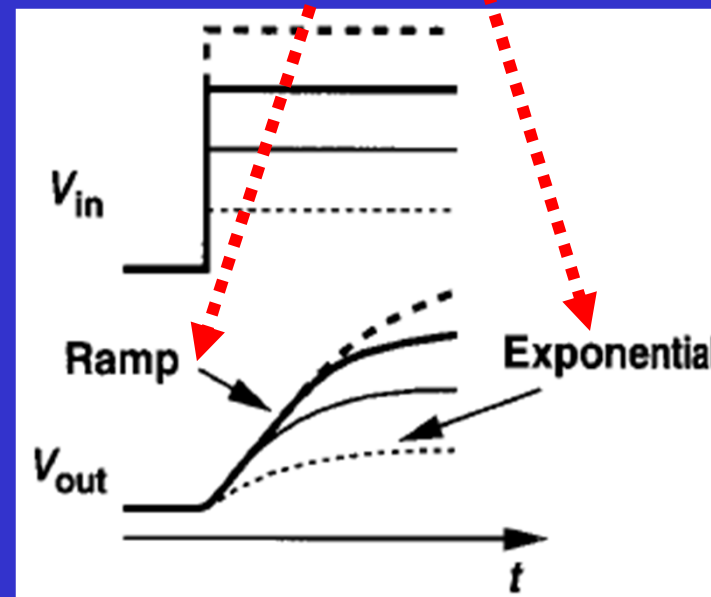
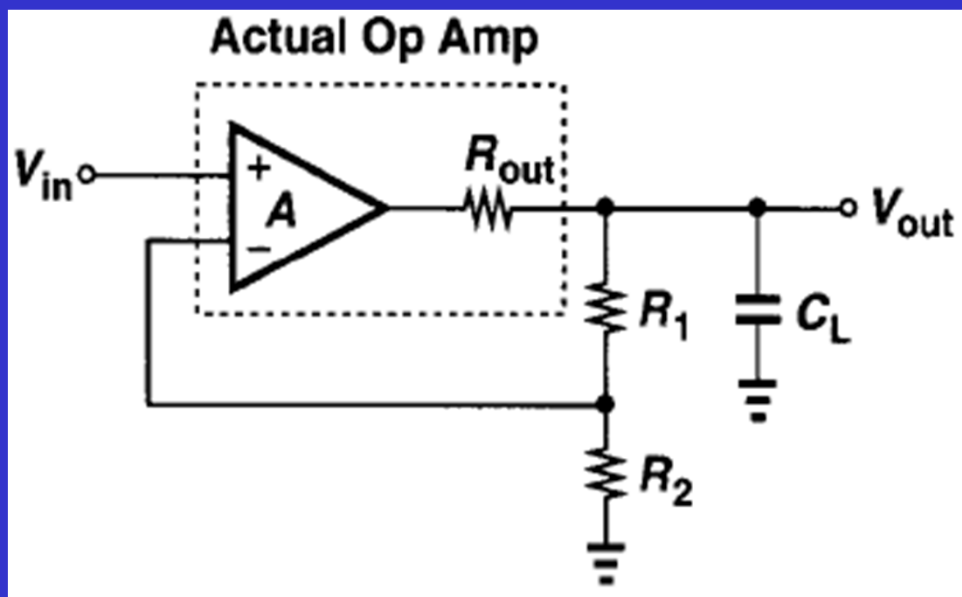
实际运放的阶跃响应

□ 当输入摆幅小时，遵从指数稳定过程

斜率正比于终值

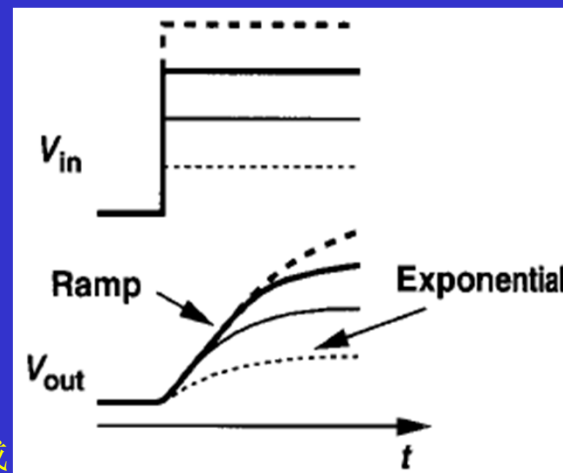
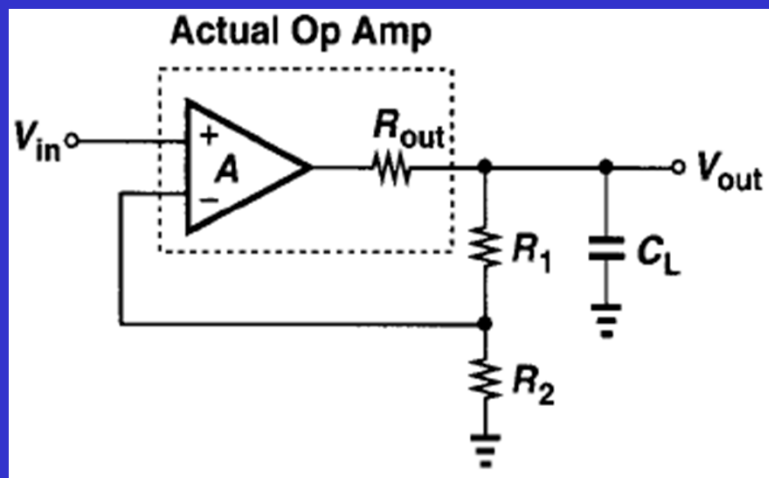
$$V_{out} = V_0 \frac{A}{1 + A \frac{R_2}{R_1 + R_2}} \left(1 - \exp \frac{-t}{\frac{C_L R_{out}}{1 + A R_2 / (R_1 + R_2)}} \right) u(t)$$

当输入摆幅增大时，开始偏离指数关系式，斜率保持不变



实际运放的阶跃响应

- 当输入摆幅小时，遵从指数稳定过程
- 当输入摆幅增大时，开始偏离指数关系式
 - ❖ 信号建立的初始阶段斜率保持恒定，最后阶段又回到“线性稳定”关系式
 - ❖ 称运放经历了“**slew**”，译为“**压摆率限制**”可能更贴切（电压摆动的速率受到了限制），译为“**转换**”没能体现其核心意思
 - ❖ 斜率称为slew rate，**压摆率**

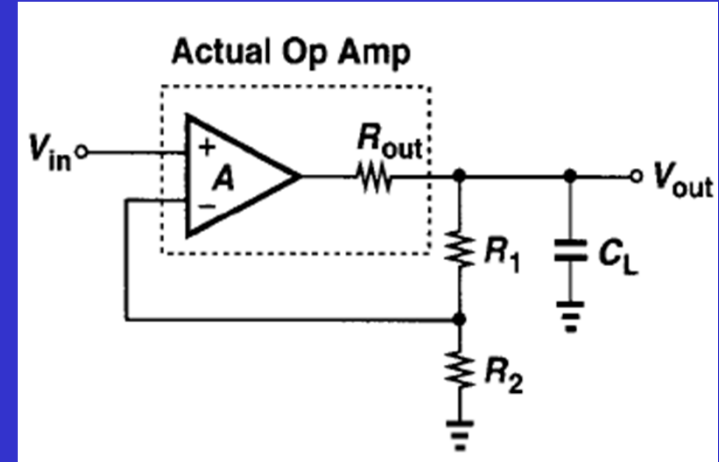


理解压摆率限制问题

□ 假设 $R_1 + R_2$ 很大

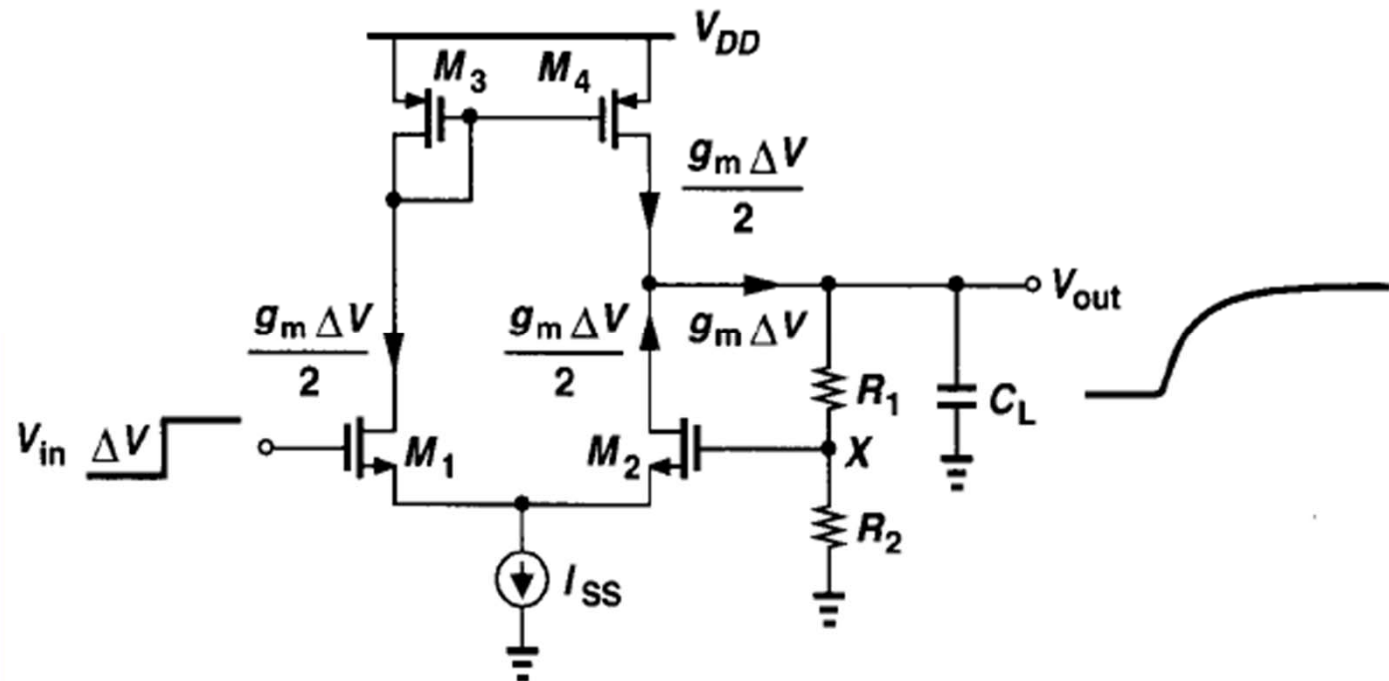
- ❖ 流过它们的电流很小很小
- ❖ 相比于对 C_L 的充/放电电流而言

□ 当阶跃幅度很小时，遵从指数稳定过程



$$V_{in1} = \frac{\Delta V}{2} + \frac{\Delta V}{2}$$

$$V_{in2} = -\frac{\Delta V}{2} + \frac{\Delta V}{2}$$



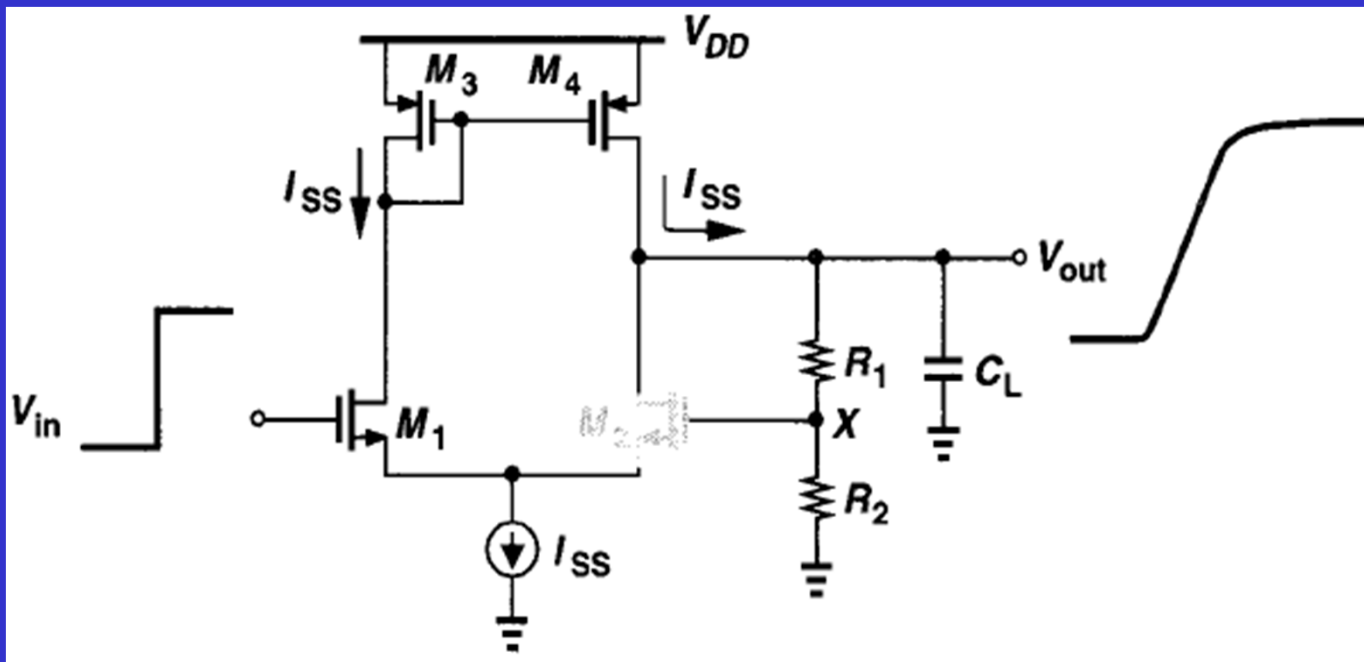
理解压摆率限制问题

□ 当阶跃幅度大到M1吸收了所有的 I_{SS} ，M2关断时

- ❖ 输出信号初始建立阶段的上升斜率为 I_{SS}/C_L
- ❖ 忽略流过 R_1+R_2 的电流和流过 r_{O4} 的电流时

$$\frac{dV_{out}}{dt} = \frac{d(Q_{out} / C_L)}{dt} = \frac{I_{SS}}{C_L}$$

只要M2维持关断，反馈回路就断开，对 C_L 的充电电流就维持不变

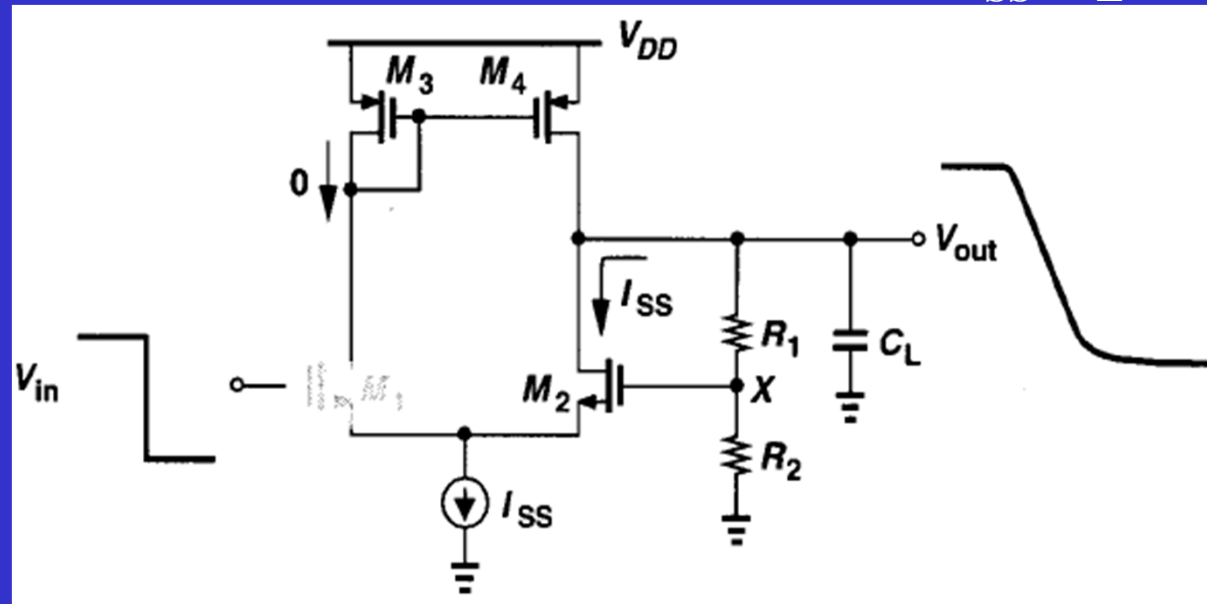


随着 V_{out} 的上升， V_X 逐渐接近 V_{in} ，M2恢复导通，开始线性建立过程

理解压摆率限制问题

□ 对下降的阶跃信号，幅度大到M2吸收了所有的 I_{SS} ，M1关断时，也会发生压摆率限制现象

❖ 输出信号初始建立阶段的下降斜率为 I_{SS}/C_L



□ 压摆率限制现象是一种非线性现象

❖ 若输入信号幅值加倍，并不是在输出信号的所有点上电压值都增加一倍

压摆率限制问题对电路的影响

□ 处理大信号的高速电路，不希望有压摆率限制问题

- ❖ 小信号时，带宽够大，能满足快速时域响应要求
- ❖ 大信号时，速度可能受到压摆率限制
 - 对主要电容的充/放电的电流太小
- ❖ 发生压摆率限制时，输出信号与输入信号之间不再是线性关系，表现出显著失真（**distorsion**）

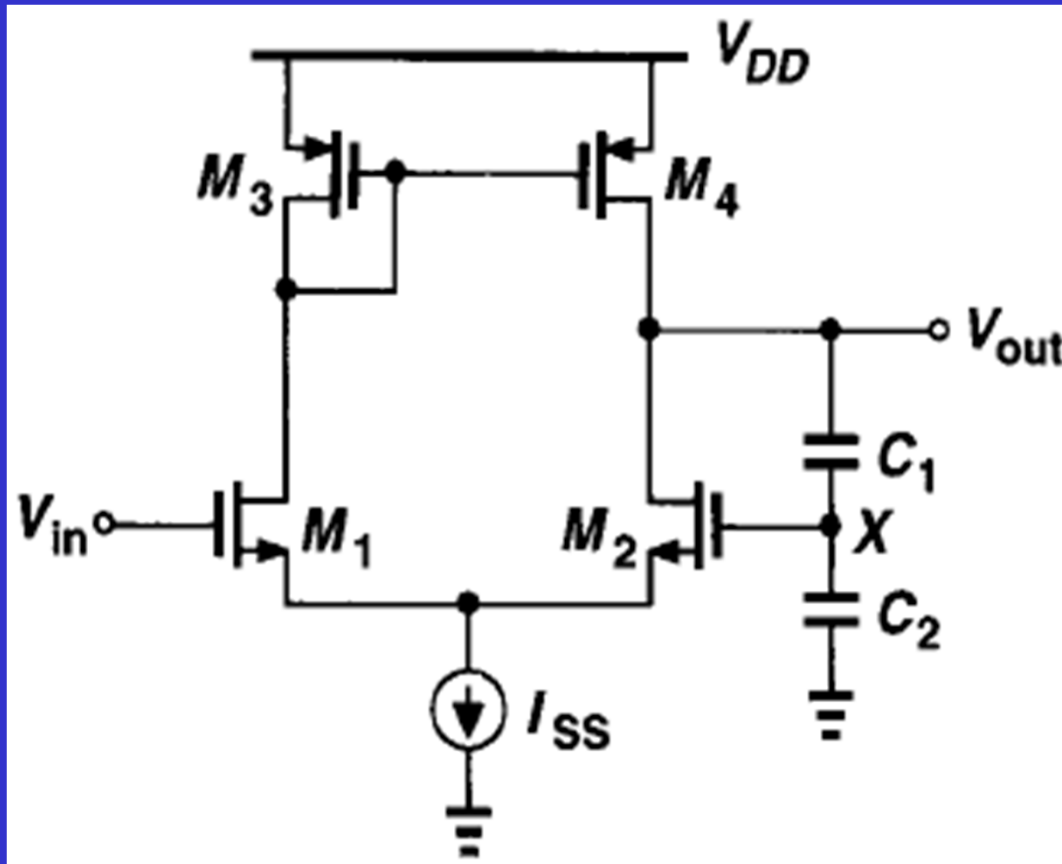
□ 若电路要放大正弦信号 $V_0 \sin \omega_0 t$

- ❖ 压摆率必须大于 $V_0 \omega_0$
- ❖ 否则，输出信号因压摆率限制，跟不上输入信号的变化

$$\frac{dV_0 \sin(\omega_0 t)}{dt} = V_0 \omega_0 \cos(\omega_0 t) \quad \text{斜率最大为 } V_0 \omega_0$$

例9.10

□对下图反馈放大器，1) 确定其小信号阶跃响应；2) 计算其正和负的压摆率



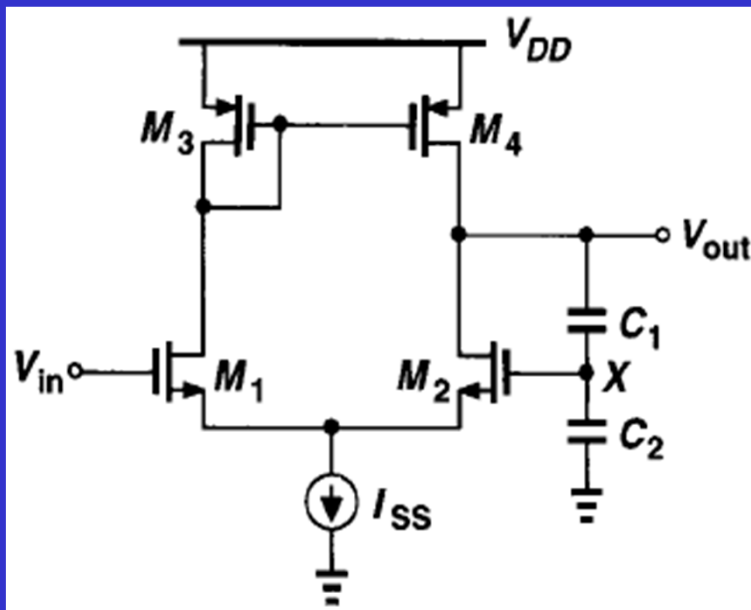
思路：

1、小信号阶跃响应由闭环电路的主极点和低频增益决定。通过求出闭环增益表达式即可求得。

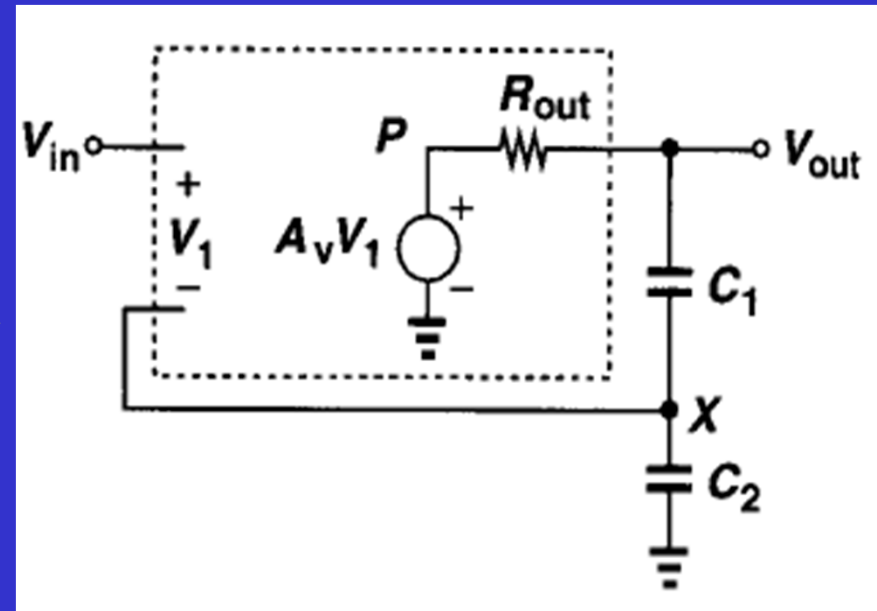
2、压摆率由充/放电电流和被充/放电的电容的大小决定。

例9.10

□对下图反馈放大器，1) 确定其小信号阶跃响应；2) 计算其正和负的压摆率



等效为



$$A_v = g_{m1,2}(r_{o2} \parallel r_{o4})$$

$$R_{out} = r_{o2} \parallel r_{o4}$$

1、小信号阶跃响应由闭环电路的主极点和低频增益决定。通过求出闭环增益表达式即可求得。

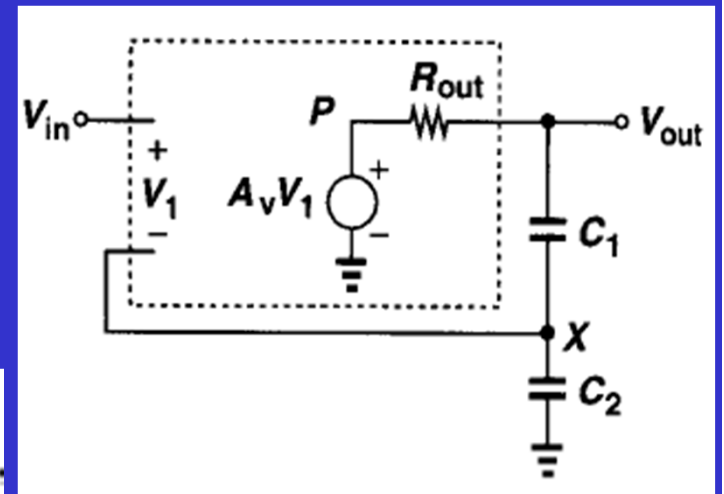
例9.10

□ 确定其小信号阶跃响应

$$\left[\left(V_{in} - \frac{C_1}{C_1 + C_2} V_{out} \right) A_v - V_{out} \right] \frac{1}{R_{out}} = V_{out} \frac{C_1 C_2}{C_1 + C_2} s.$$

$$\frac{V_{out}}{V_{in}}(s) = \frac{A_v / \left(1 + A_v \frac{C_1}{C_1 + C_2} \right)}{1 + \frac{C_1 C_2}{C_1 + C_2} R_{out} s / \left(1 + A_v \frac{C_1}{C_1 + C_2} \right)}$$

$$V_{out}(t) = \frac{A_v}{1 + A_v \frac{C_1}{C_1 + C_2}} V_0 \left(1 - \exp \frac{-t}{\tau} \right) u(t).$$

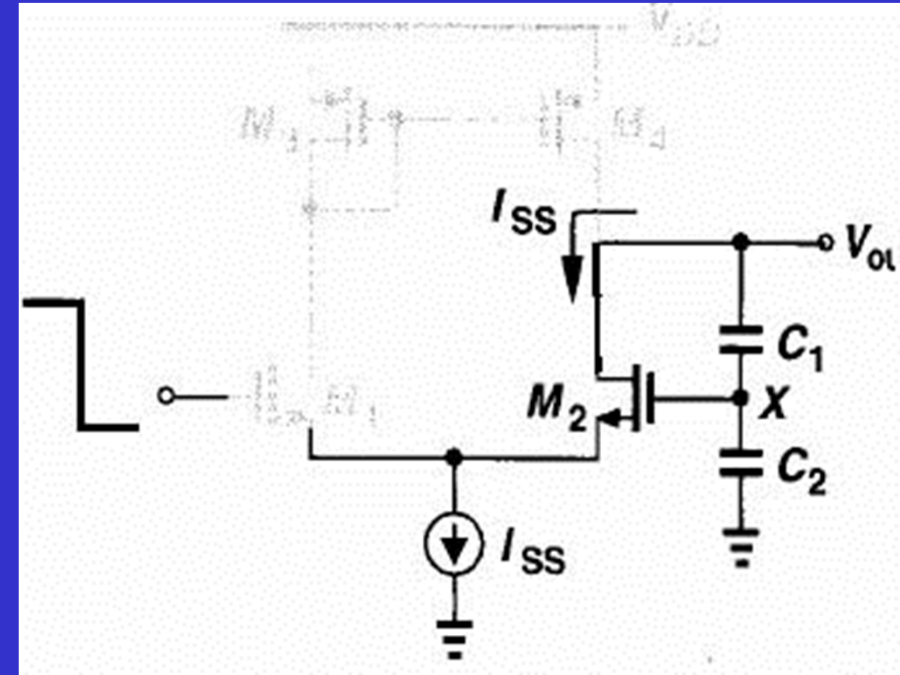
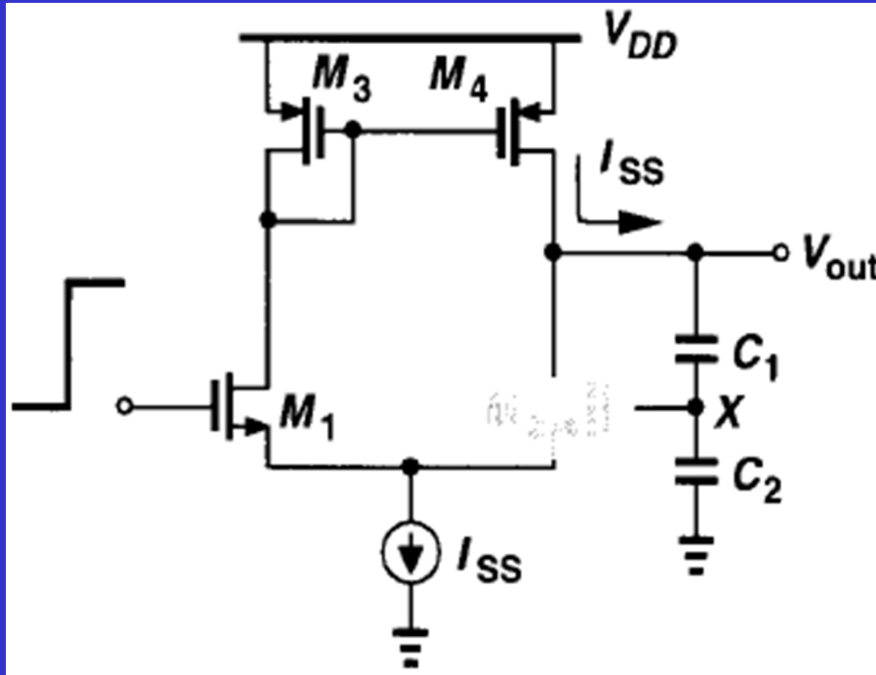


闭环低频增益和主极点相比
与开环，乘以或除以因子：

$$\tau = \frac{C_1 C_2}{C_1 + C_2} R_{out} / \left(1 + A_v \frac{C_1}{C_1 + C_2} \right) \quad 1 + A_v C_1 / (C_1 + C_2).$$

例9.10

□2) 计算其正和负的压摆率



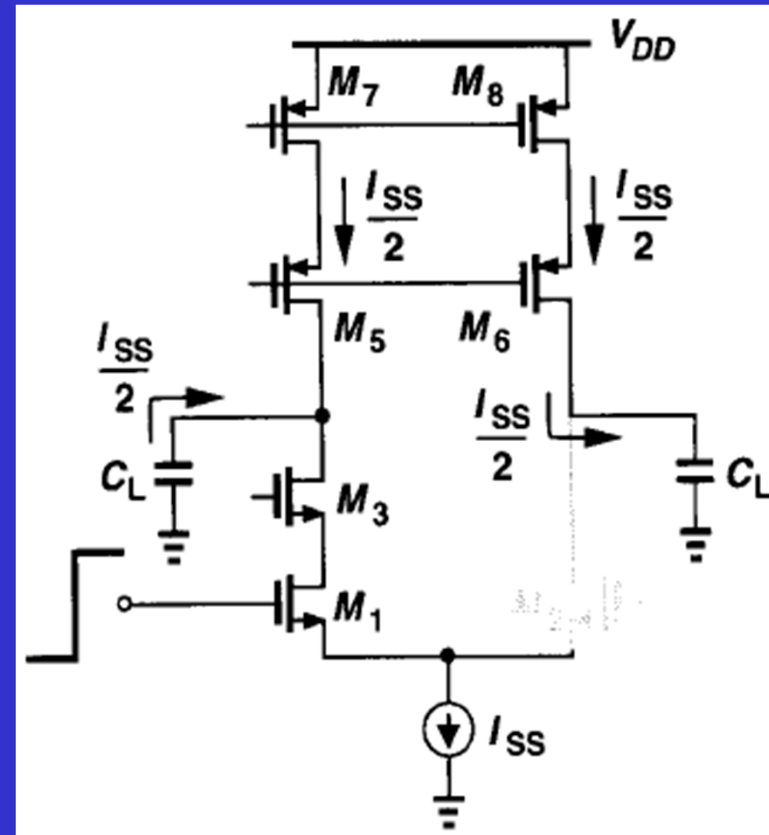
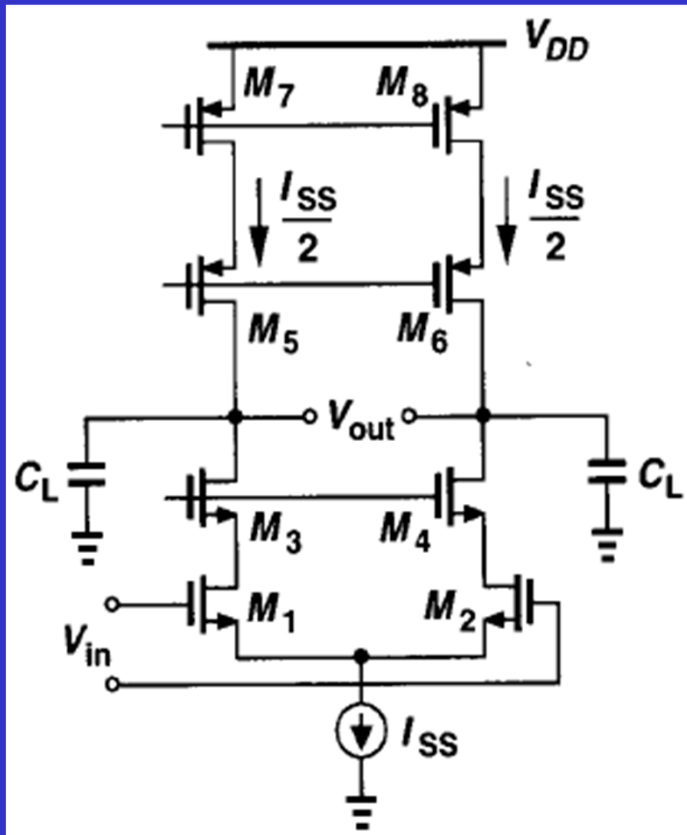
假定 V_{out} 初始电压为零:

$$V_{out}(t) = I_{SS} / [C_1 C_2 / (C_1 + C_2)] t$$

$$V_{out} = -I_{SS} / [C_1 C_2 / (C_1 + C_2)] t$$

差分输出的套筒式运放的压摆率

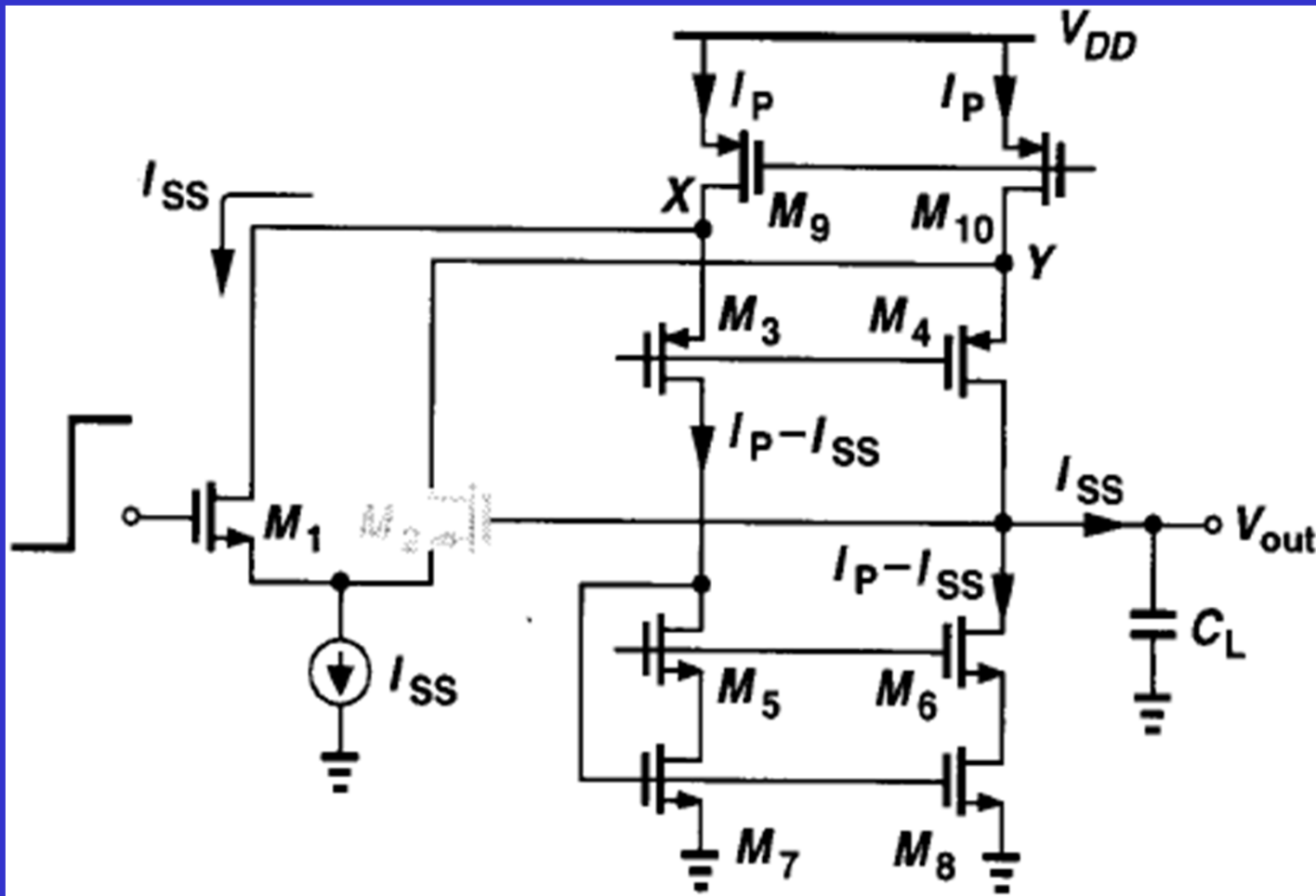
□ 差分输入很大，导致 I_{SS} 全流过 M_1 ， M_2 截止



差分输入-差分输出 V_{out1} 和 V_{out2} 斜率为: $\pm I_{SS} / (2C_L)$
 $(V_{out1} - V_{out2})$ 的斜率为: I_{SS} / C_L

单端输出的折叠运放的压摆率

□ 正的阶跃输入；单位增益缓冲器接法



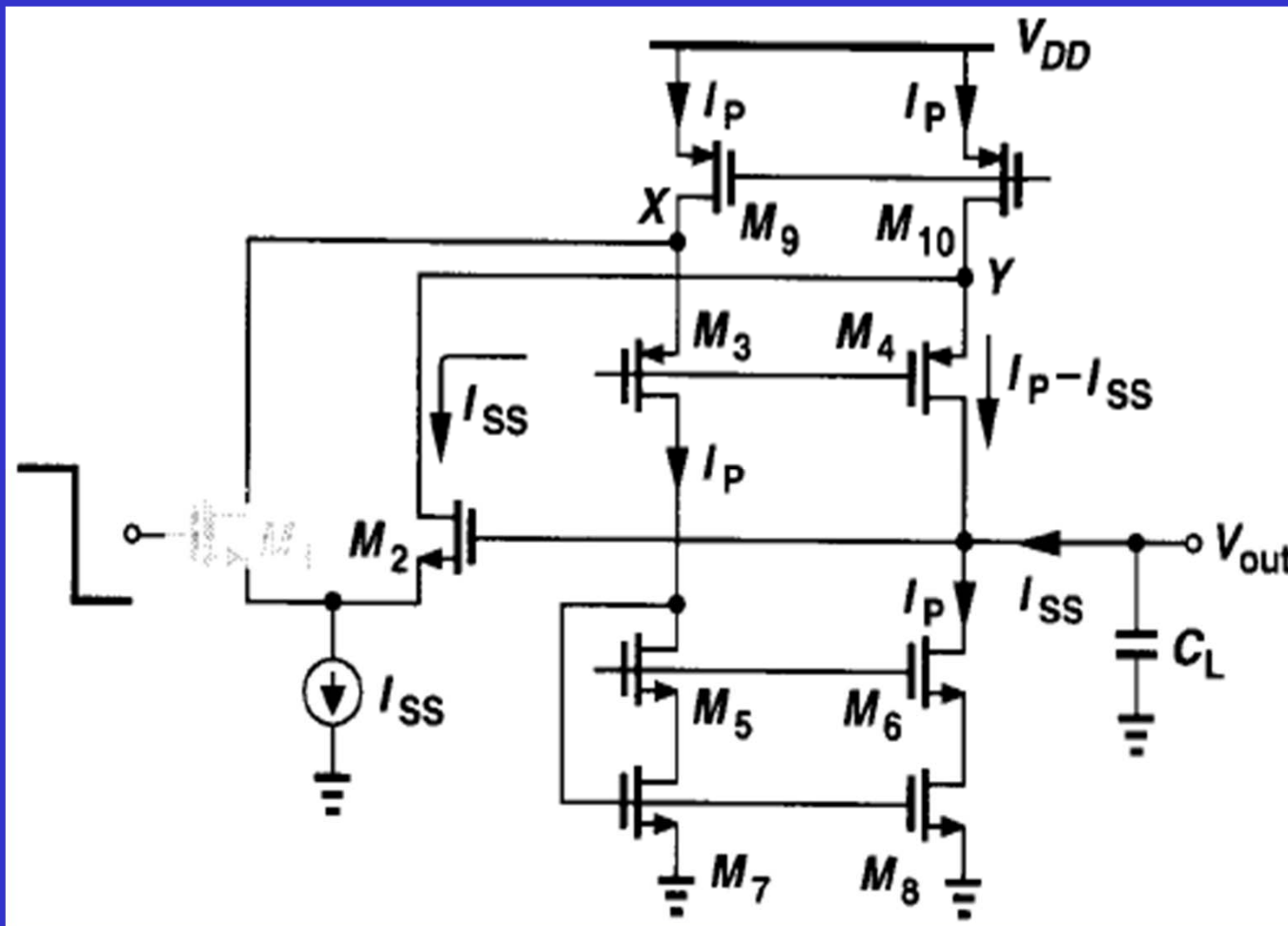
如果 $I_P \geq I_{SS}$

压摆率: I_{SS}/C_L

压摆率与 I_P 无关

单端输出的折叠运放的压摆率

□ 负的阶跃输入；单位增益缓冲器接法



如果 $I_P \geq I_{SS}$

压摆率: I_{SS}/C_L

压摆率与 I_P 无关

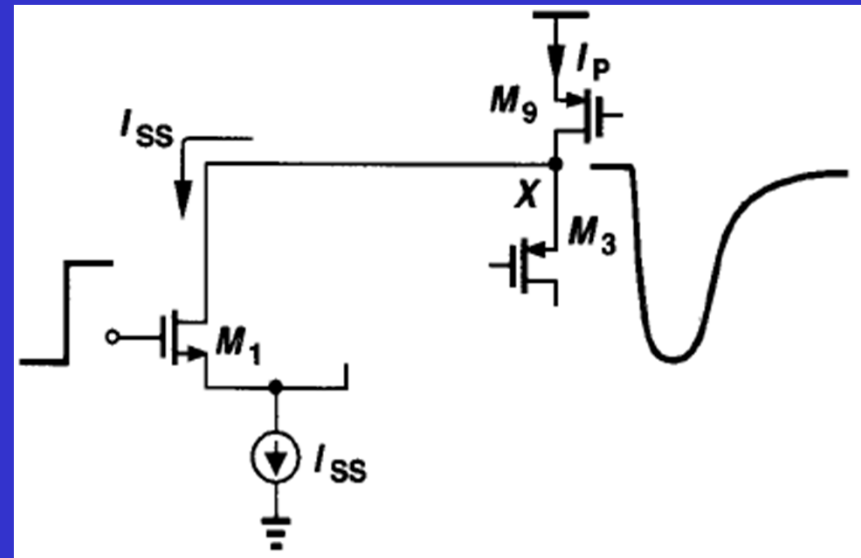
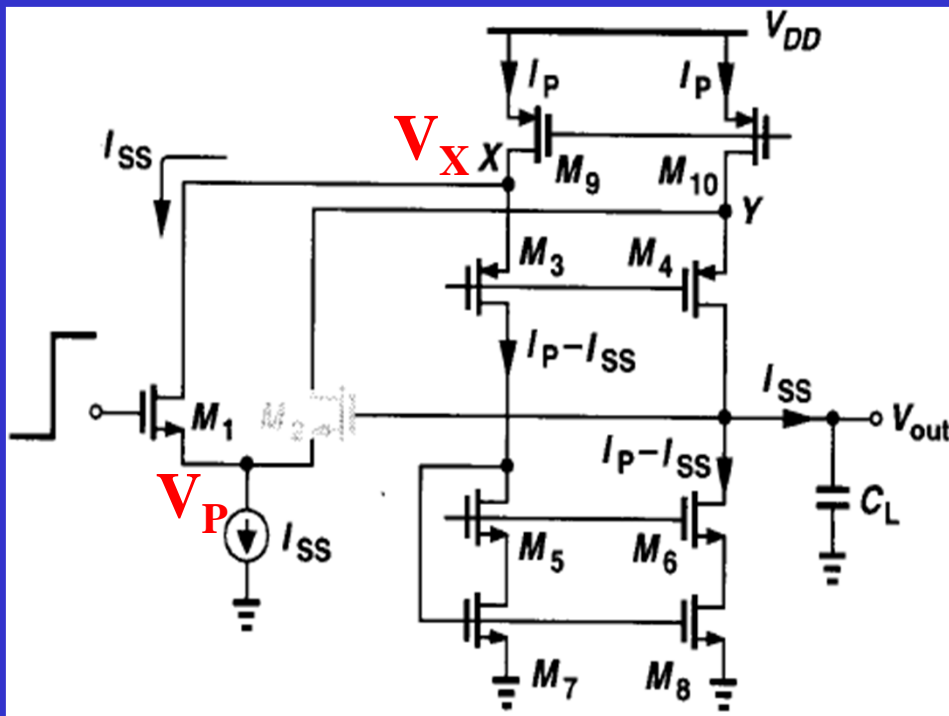
实际设计该类运放时，
通常取 $I_P \approx I_{SS}$

如果 $I_P < I_{SS}$ ，
压摆率如何？

单端输出的折叠运放的压摆率

□ 当 $I_P < I_{SS}$ 时

阶跃幅度大时， I_{SS} 全流过 M_1 ， M_3 无电流流过。由于 I_P 不足以供应 I_{SS} ，因此， V_X 和 V_P 会下降，以降低 I_{D1} 和 I_{SS} ，至等于 I_P 。 V_X 和 V_P 下降会导致 M_1 和尾电流源进入线性区



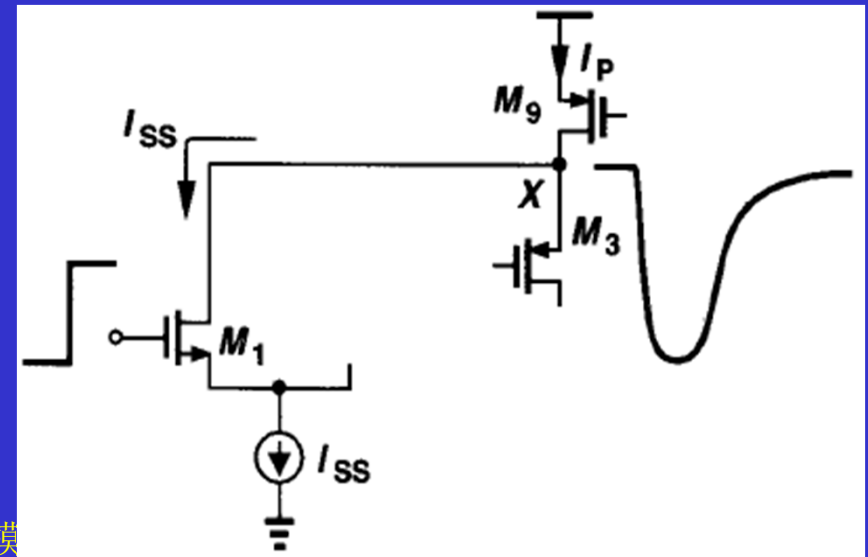
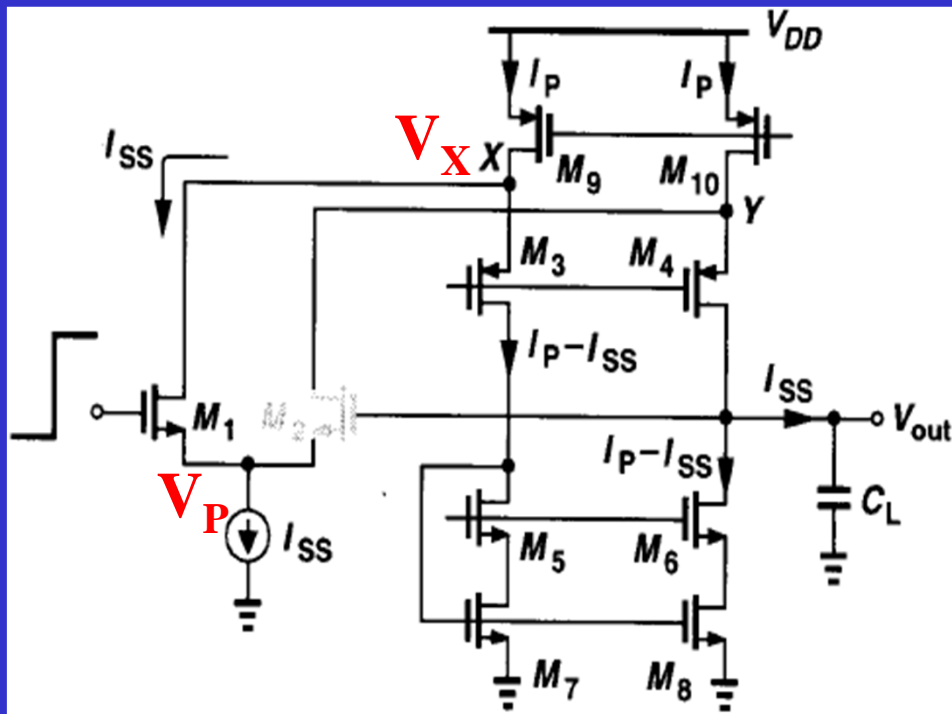
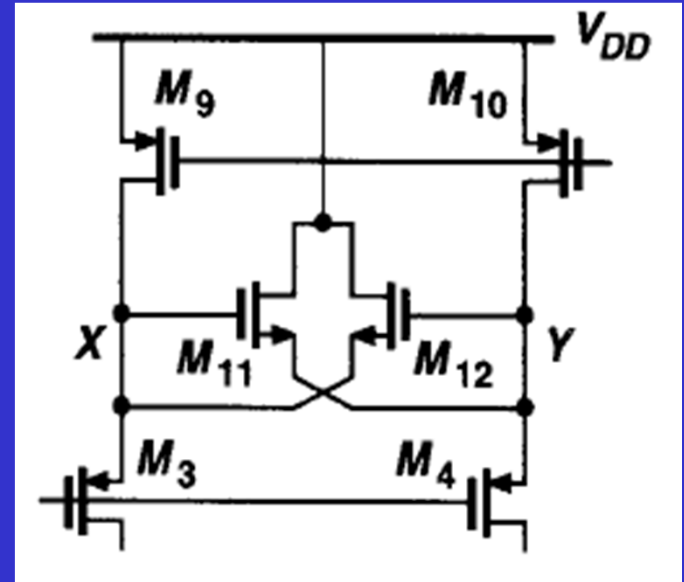
如何减轻该问题？

M_2 重新导通后，电路要回到平衡态， V_X 要经历一个大摆幅才能回到，延缓建立过程

单端输出的折叠运放的压摆率

□ 如何减轻压摆率限制发生后的建立时间过长问题？

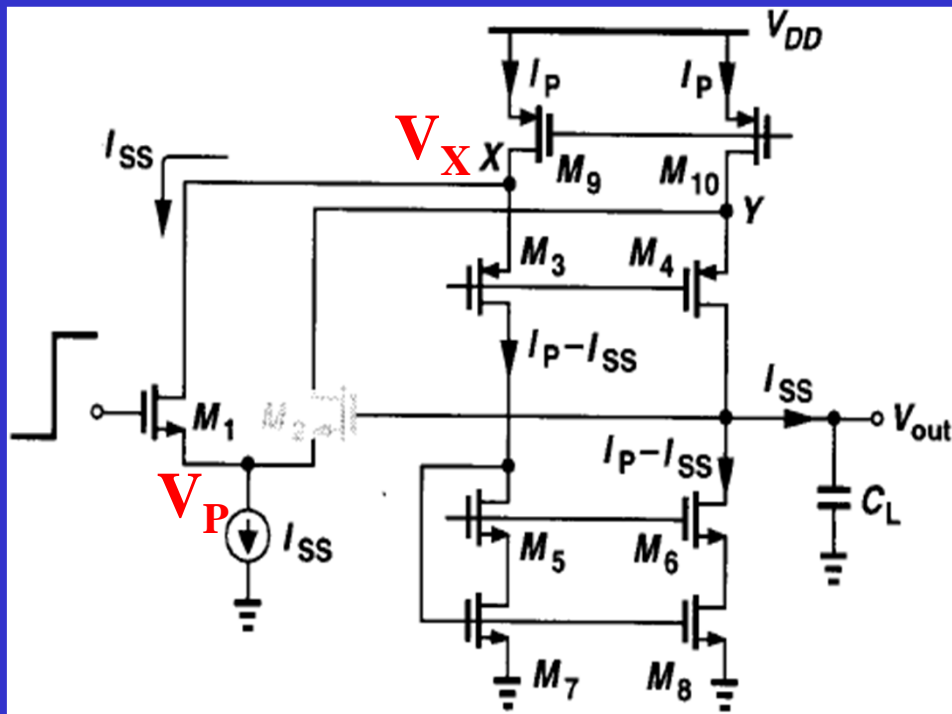
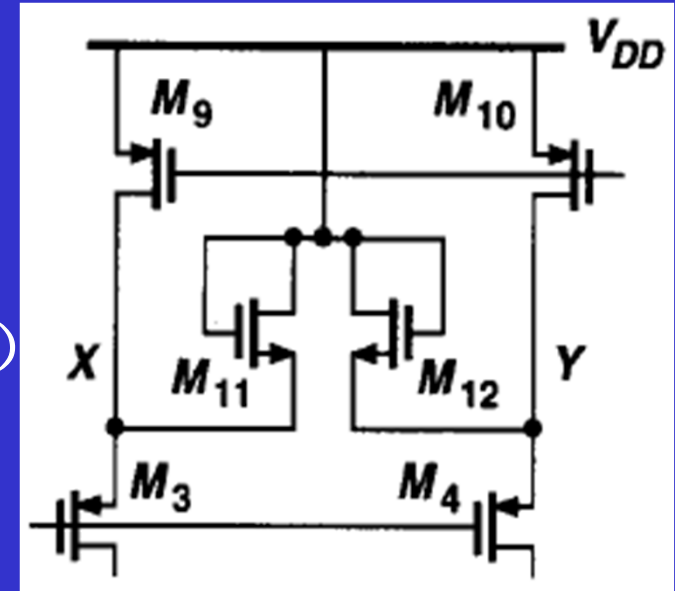
- ❖ 增加钳位管M11和M12
- ❖ 大的正阶跃发生时， V_X 下降，到一定程度时M12导通，提供电流($I_{SS}-I_P$)



单端输出的折叠运放的压摆率

□ 如何减轻压摆率限制发生后的建立时间过长问题？

- ❖ 另一种方法
- ❖ 发生压摆率限制时，M11和M12使 V_X 和 V_Y 被钳位在 $(V_{DD} - V_{TH11,12} - V_{OV11,12})$



小信号工作状态时（没发生压摆率限制）， V_X 和 V_Y 的平衡值通常高于 $(V_{DD} - V_{TH11,12})$ ，M11和M12处于截止态

压摆率和其他指标的关系

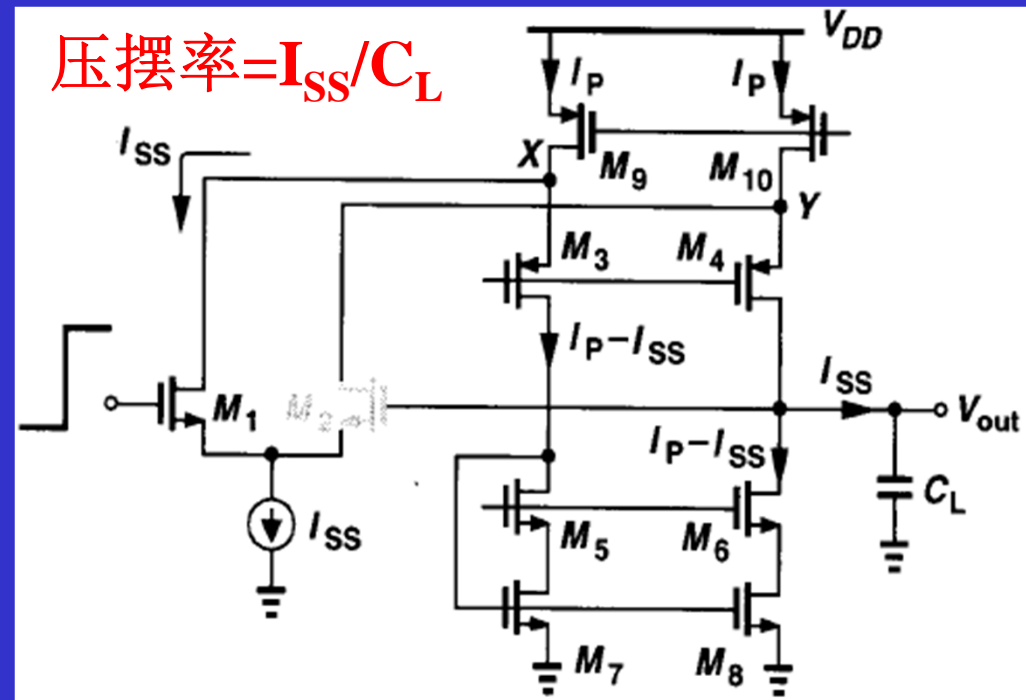
□ 压摆率会影响大输入信号时的建立时间

❖ 因此，对该指标有一定要求

□ 给定负载电容情况下
下

❖ 增大 I_{SS} 以增大压摆率，会牺牲功耗

❖ 增大 I_{SS} 时，要维持输出摆幅不变，需按比例增大 W/L ，导致寄生电容增大；开环增益不变



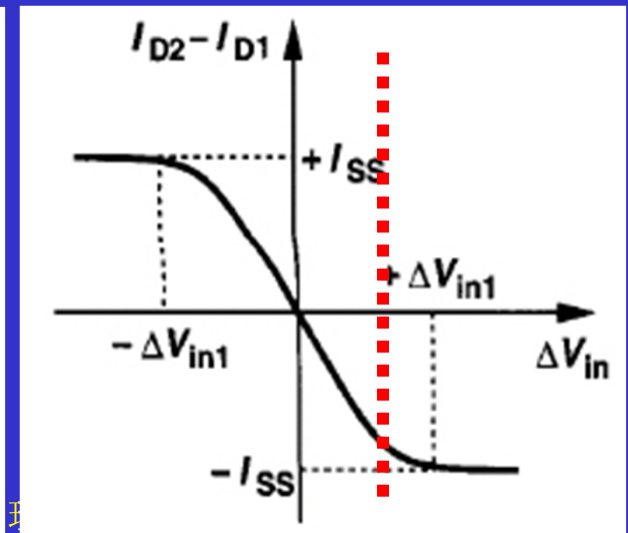
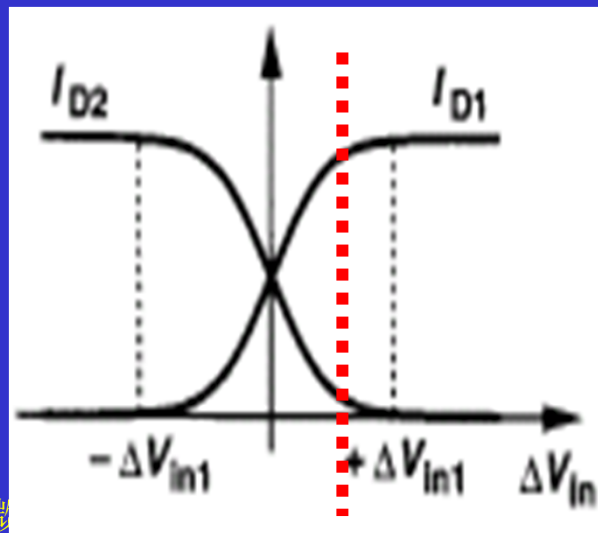
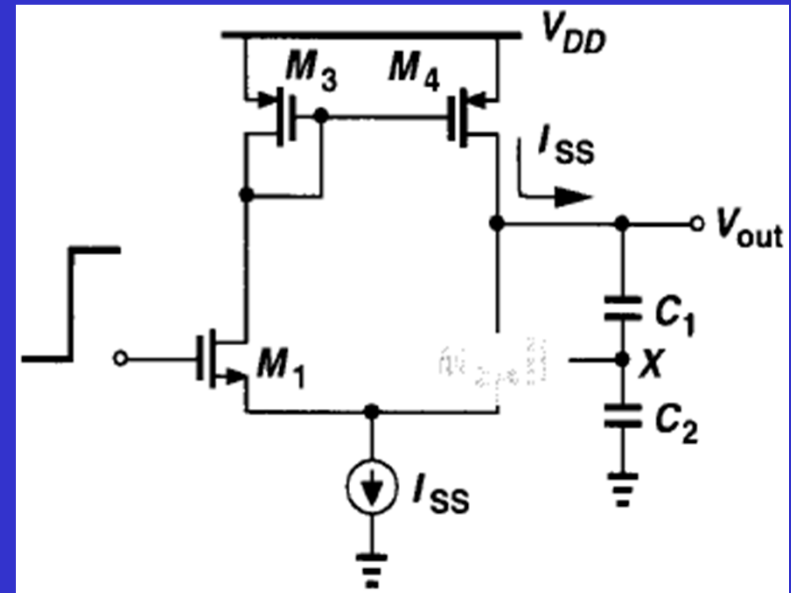
压摆率限制阶段到线性建立阶段的转换

□ 输入发生大的正阶跃后

- ❖ 开始是压摆率限制的建立阶段
- ❖ 等M2“导通”后，进入“线性建立”阶段

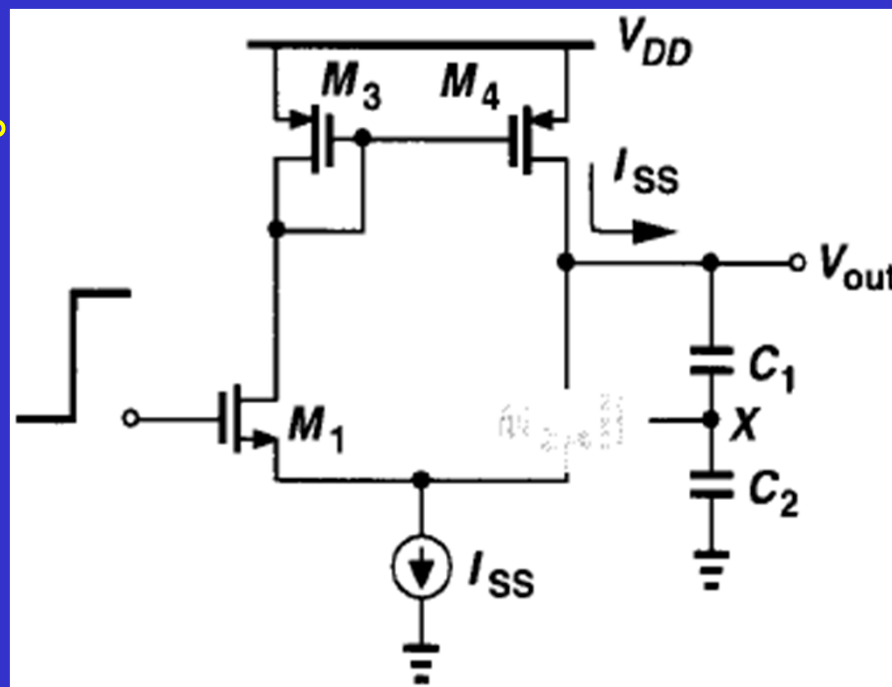
□ M2何时算“导通”？

- ❖ M2刚有导通电流时，线性度很差
- ❖ ΔV_{in} 足够小时，线性度好
- ❖ “线性”建立阶段的开始时刻，由线性度要求决定



例9.11

□ 对右图电路，输入施加大的正阶跃信号，幅度为 V_0 。运放开始处于压摆率限制的建立阶段， V_{out} 和 V_X 逐渐上升，最终M2管开始导通， I_{D2} 逐渐增大。当 $(I_{D1}-I_{D2}) < \alpha I_{SS}$ 时，认为电路开始工作在线性建立阶段了。请确定电路从施加输入阶跃信号到开始进入线性建立阶段，需要多长时间？



思路：

1、 $(I_{D1}-I_{D2}) = \alpha I_{SS}$ 时，所对应的 ΔV_{in} ？

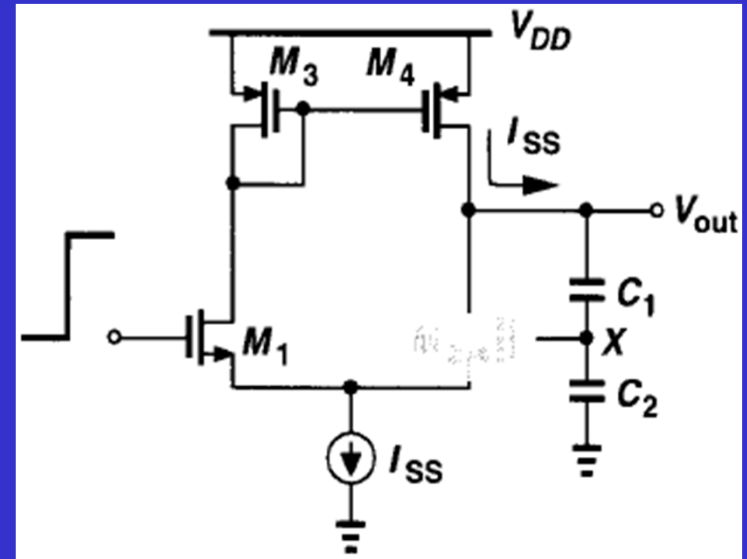
2、该 ΔV_{in} 需多长时间达到？

例9.11

思路:

1、 $(I_{D1}-I_{D2}) = \alpha I_{SS}$ 时, 所对应的 ΔV_{in} ?

第4章, 分析过差分放大级的大信号差分特性



$$\alpha I_{SS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{in1} - V_{in2}) \sqrt{\frac{4I_{SS}}{\mu_n C_{ox} \frac{W}{L}} - (V_{in1} - V_{in2})^2},$$

$$\Delta V_G^4 - \Delta V_G^2 \frac{4I_{SS}}{\mu_n C_{ox} \frac{W}{L}} + \left(\frac{2\alpha I_{SS}}{\mu_n C_{ox} \frac{W}{L}} \right)^2 = 0$$

$$\Delta V_G \approx \alpha \sqrt{\frac{I_{SS}}{\mu_n C_{ox} \frac{W}{L}}}$$

电流差为 αI_{SS} 时, V_X 为 $V_0 - \Delta V_G$

例9.11

ΔV_{in} 也可以这样计算:

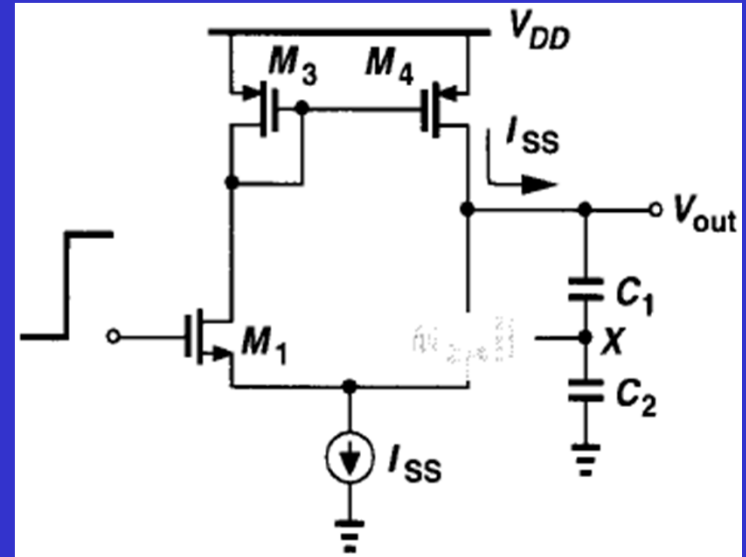
当 $(I_{D1}-I_{D2}) = \alpha I_{SS}$ 足够小, 小信号近似是有效的, 此时有:

$$\alpha I_{SS} = g_{m1,2} \Delta V_G$$

$$\Delta V_G = \alpha I_{SS} / g_{m1,2}$$

与大信号关系式计算的结果一致

$$\Delta V_G \approx \alpha \sqrt{\frac{I_{SS}}{\mu_n C_{OX} \frac{W}{L}}} = \frac{\alpha I_{SS}}{\sqrt{I_{SS} \mu_n C_{OX} \frac{W}{L}}} = \frac{\alpha I_{SS}}{g_{m1,2}}$$

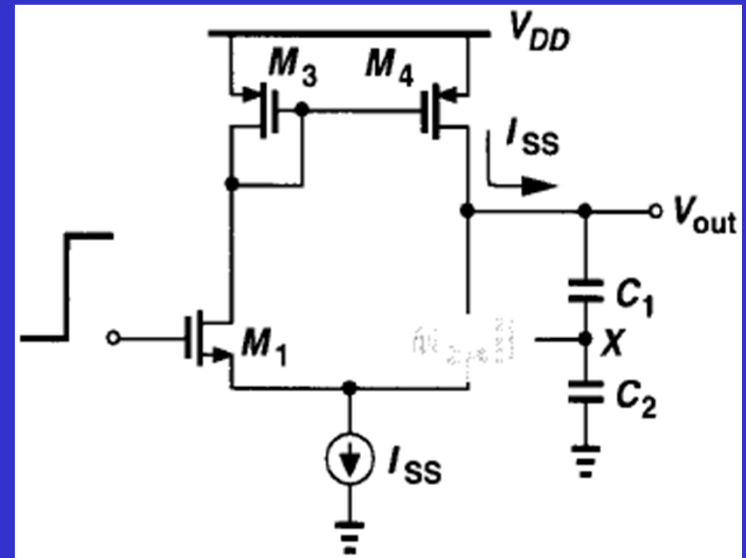


例9.11

思路:

2、该 ΔV_{in} 需多长时间达到?

$$\Delta V_G \approx \alpha \sqrt{\frac{I_{SS}}{\mu_n C_{OX} \frac{W}{L}}}$$



$$V_X = V_0 - \Delta V_G = V_{out} \frac{C_1}{C_1 + C_2} \quad V_{out} = (V_0 - \Delta V_G) \left(1 + \frac{C_2}{C_1}\right)$$

$$\text{压摆率} = \frac{I_{SS} (C_1 + C_2)}{C_1 C_2}$$

$$t = \frac{V_{out}}{\text{压摆率}} = (V_0 - \Delta V_G) \left(\frac{C_1 + C_2}{C_1}\right) \cdot \frac{C_1 C_2}{I_{SS} (C_1 + C_2)}$$

基于假设: M2导通后对电容的充电电流仍恒值

北大微电子

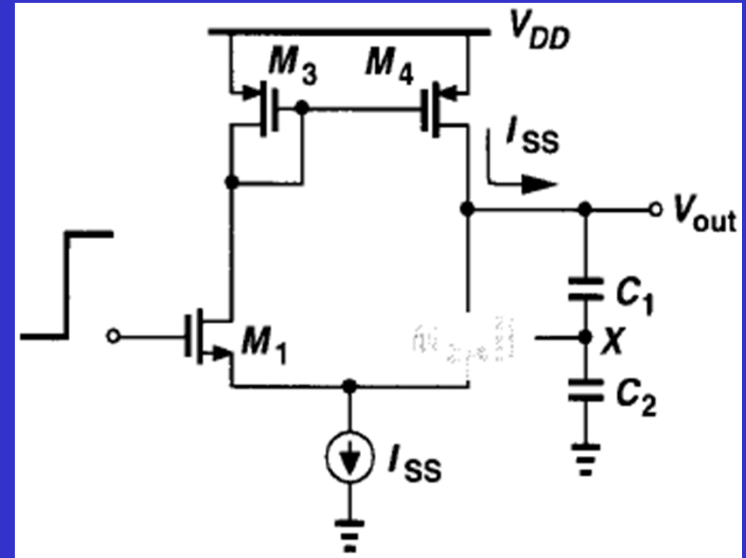
$$= \frac{C_2}{I_{SS}} \left(V_0 - \alpha \sqrt{I_{SS} / \left(\mu_n C_{OX} \frac{W}{L} \right)} \right)$$

例9.11

思路:

2、该 ΔV_{in} 需多长时间达到?

$$t = \frac{V_{out}}{\text{压摆率}} = \frac{C_2}{I_{SS}} \left(V_0 - \alpha \sqrt{I_{SS} / \left(\mu_n C_{OX} \frac{W}{L} \right)} \right)$$



结论:

- 1、 α 值决定了 t ，决定何时开始从”压摆率限制建立阶段“进入”线性建立阶段“；
- 2、 α 的大小与对线性度的要求有关。1%的非线性所要求的 α 可能远大于0.1%的非线性所要求的 α

例9.11

□更正1

❖式 (9.37) ， 原著对， 译著错

$$\Delta V_G \approx \alpha \sqrt{\frac{I_{SS}}{\mu_n C_{ox} \frac{W}{L}}}$$

□更正2

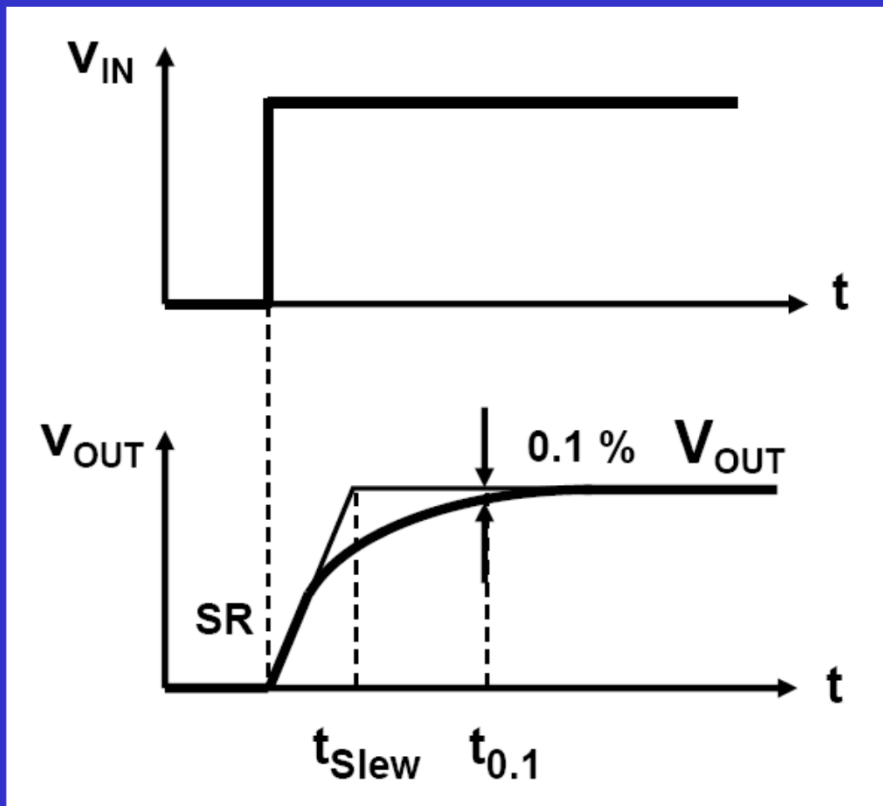
❖P274 (9.37) 式下面， “我们还记得……
是差动对中每个管子的平衡过驱动电压”

减号改为除号， 原著对

$$\sqrt{I_{SS} / [\mu_n C_{ox} (W / L)]}$$

大信号时总的稳定时间

□总建立时间的估算



$$t_{SR} \approx \frac{V_{OUT}}{SR}$$

$$t_{0.1\%} \approx \frac{\ln 1000}{2\pi f_{BW}}, \text{ 其中 } f_{BW} = \beta GBW$$

$$t_{total} \approx t_{SR} + t_{0.1\%} \approx \frac{V_{OUT}}{SR} + \frac{1.1}{f_{BW}}$$

大信号时总的稳定时间

$$SR = \frac{I_{SS}}{C_L} \quad t_{SR} \approx \frac{\Delta V}{SR} \approx \frac{C_L}{I_{SS}} \Delta V$$

$$GBW = \frac{g_{m1}}{2\pi C_L} = \frac{2I_{D1}}{2\pi C_L V_{dsat1}} = \frac{I_{SS}}{2\pi C_L V_{dsat1}} \quad t_{0.1\%} \approx \frac{\ln 1000}{2\pi f_{BW}} \approx \frac{C_L}{I_{SS}} \left(\frac{6.9}{\beta} \times V_{dsat1} \right)$$

当 $\Delta V \approx \frac{6.9}{\beta} V_{dsat1}$ 时, $t_{SR} \approx t_{0.1\%}$

结论：若 $\Delta V \ll \frac{6.9}{\beta} V_{dsat1}$, $t_{total} \approx t_{0.1\%}$;

否则, t_{total} 必须考虑 t_{SR} 的贡献

$$t_{total} \approx \frac{C_L}{I_{SS}} \left(\Delta V + \frac{6.9}{\beta} \times V_{dsat1} \right)$$

第9章 运算放大器

- 9.1 概述
- 9.2 一级运放
- 9.3 两级运放
- 9.4 增益的提高
- 9.5 性能比较
- 9.6 共模反馈
- 9.7 输入范围限制
- 9.8 转换速率
- 9.9 电源抑制
- 9.10 运放的噪声

9.9 电源抑制

□ 电源网络通常含噪声，会对输出信号有影响

❖ 应该抑制该影响

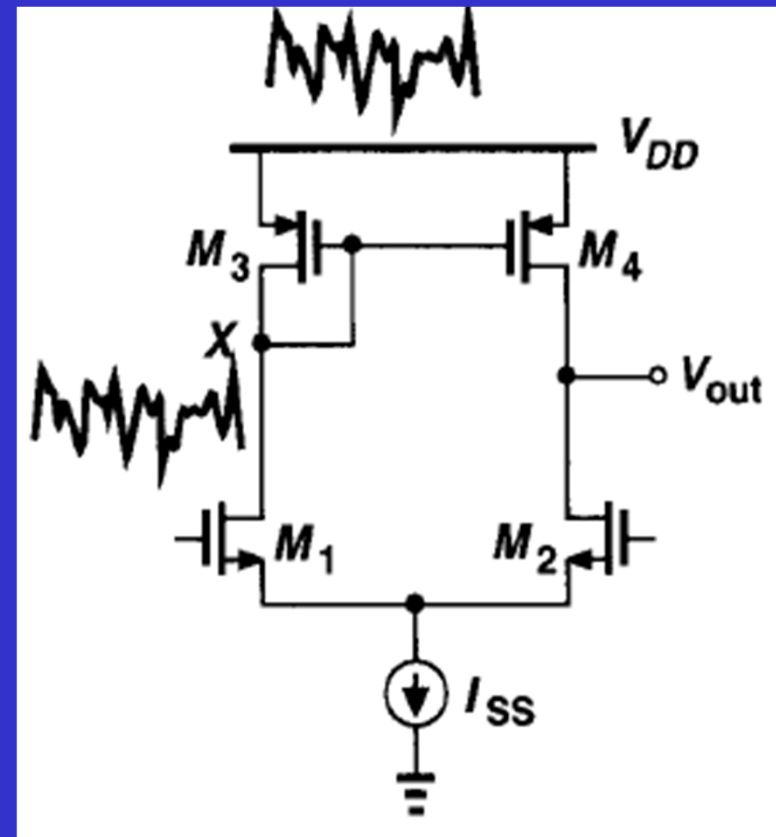
□ 对电流镜做负载的差分放大级

电路对称，得： $V_X = V_{out}$

支路电流恒为 $I_{SS} / 2$ ，

因此， V_{DD} 改变多少， V_X 改变多少；

从 V_{DD} 到 V_{out} 的增益近似为1.



如何衡量运放的电源抑制能力？

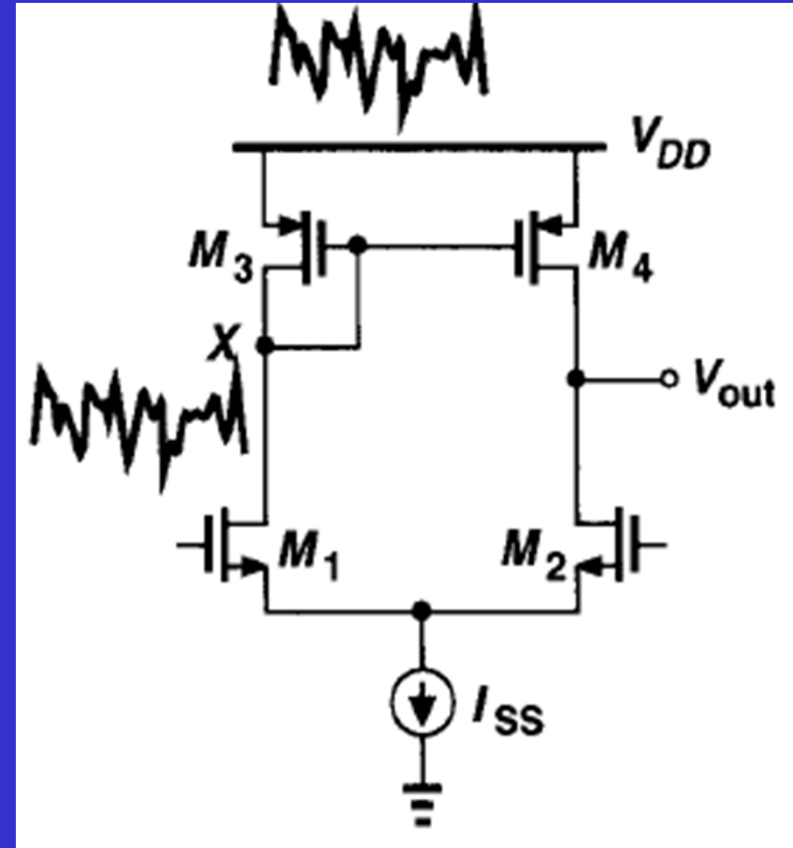
电源抑制比

□ PSRR

❖ Power Supply Rejection Ratio

□ 定义

- ❖ 输入到输出的增益除以电源到输出的增益
- ❖ 低频时，右图电路的PSRR约为 $g_{m1}(r_{OP} \parallel r_{ON})$



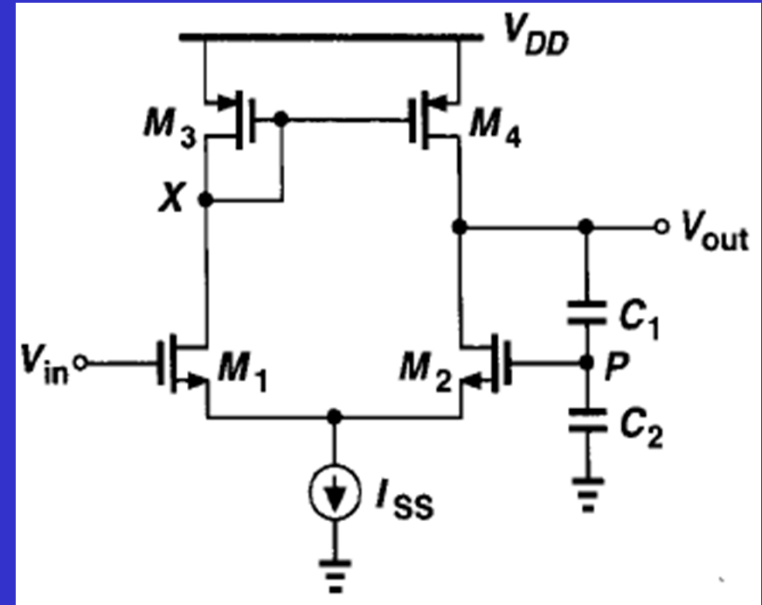
例9.12 计算PSRR

□ 计算右图电路的低频PSRR

思路:

- 1、推导 V_{out}/V_{DD}
- 2、 V_{out}/V_{in} 除以 V_{out}/V_{DD}

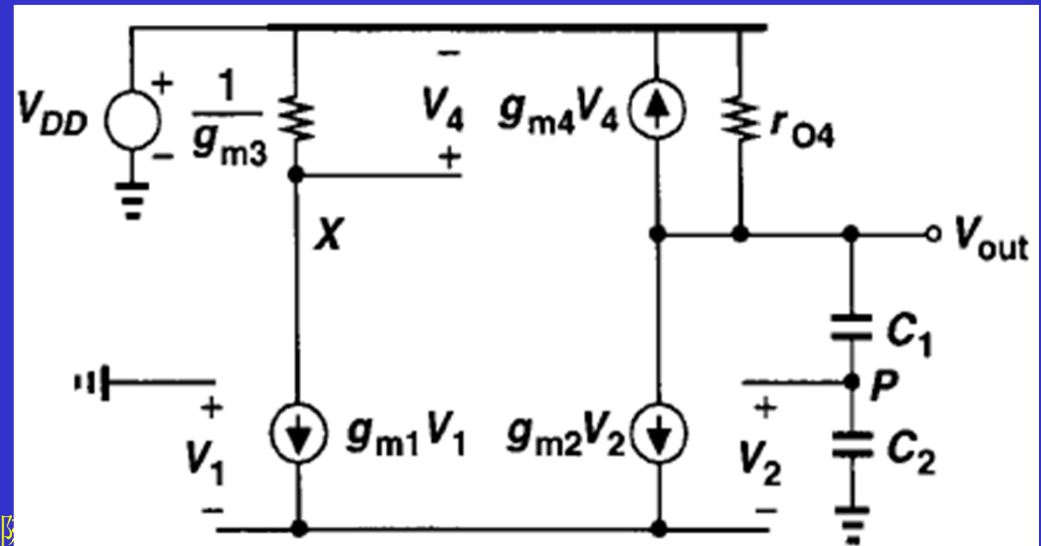
忽略M1-M3的 r_o ，只考虑 r_{o4} ，以简化分析



$$V_{out} \frac{C_1}{C_1 + C_2} - V_2 = -V_1$$

$$g_{m1} V_1 + g_{m2} V_2 = 0$$

$$V_2 = \frac{V_{out}}{2} \frac{C_1}{C_1 + C_2}$$



例9.12 计算PSRR

□ 计算右图电路的低频PSRR

$$V_{out} \frac{C_1}{C_1 + C_2} - V_2 = -V_1$$

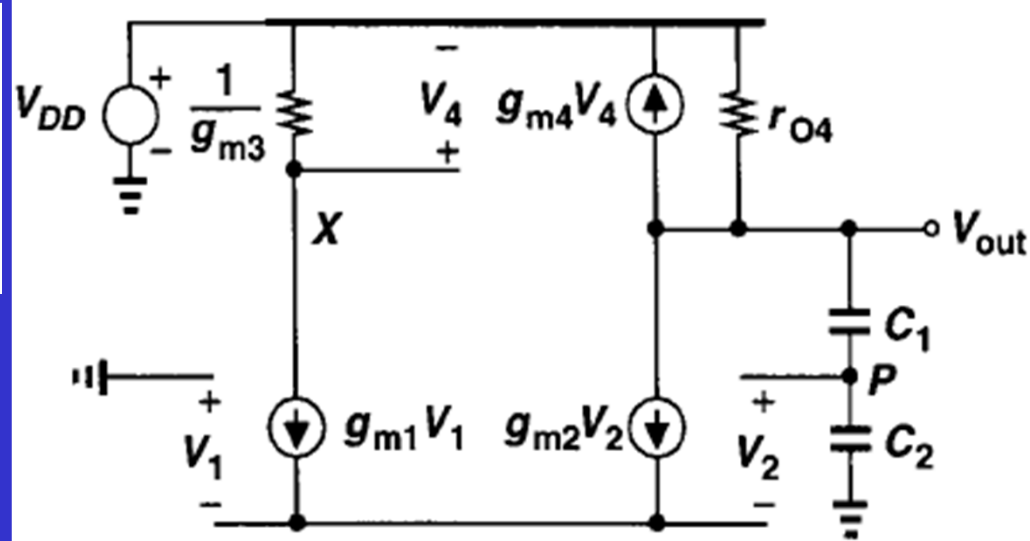
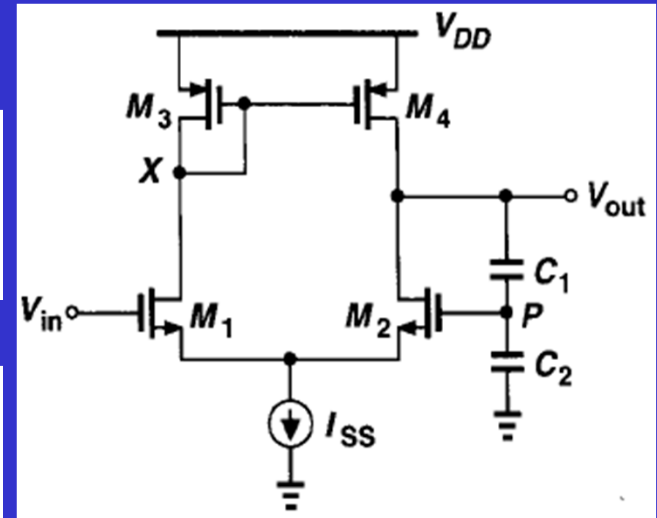
$$V_2 = \frac{V_{out}}{2} \frac{C_1}{C_1 + C_2}$$

$$g_{m1} V_1 + g_{m2} V_2 = 0$$

$$-\frac{g_{m1} V_1}{g_{m3}} g_{m4} - \frac{V_{DD} - V_{out}}{r_{O4}} + g_{m2} V_2 = 0$$

$$\frac{V_{out}}{V_{DD}} = \frac{1}{g_{m2} r_{O4} \frac{C_1}{C_1 + C_2} + 1}$$

再推出 V_{out}/V_{in} ，并除以已求的 V_{out}/V_{DD} ，即得到 PSRR



例9.12 计算PSRR

□ 计算右图电路的低频PSRR

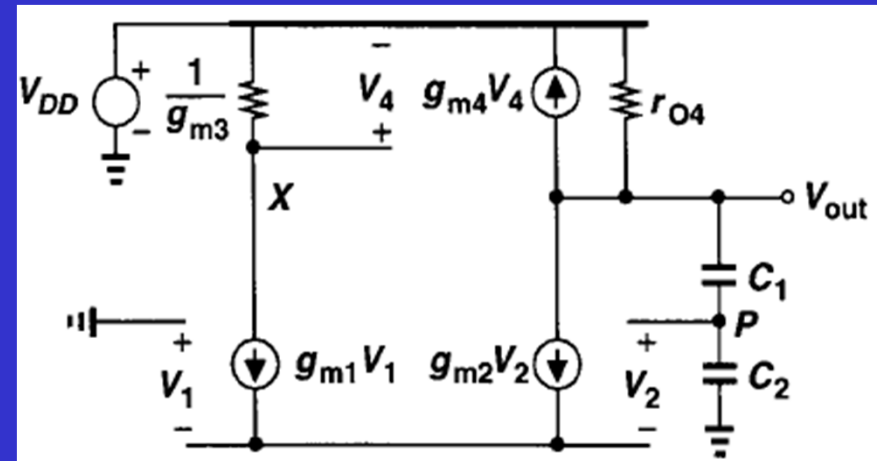
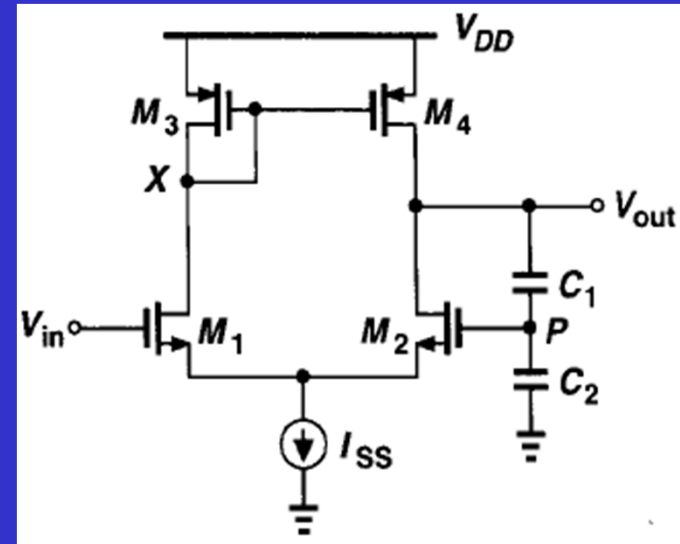
$$\frac{V_{out}}{V_{DD}} = \frac{1}{g_{m2}r_{O4} \frac{C_1}{C_1 + C_2} + 1}$$

$$\frac{V_{out}}{V_{in}} = \frac{1}{\beta} = \frac{C_1 + C_2}{C_1} = 1 + \frac{C_2}{C_1}$$

$$PSRR = \frac{V_{out} / V_{in}}{V_{out} / V_{DD}}$$

原著中本结果错了，新版译著中已更正

$$= \left(1 + \frac{C_2}{C_1}\right) \left(g_{m2}r_{O4} \frac{C_1}{C_1 + C_2} + 1\right)$$



第9章 运算放大器

□ 9.1 概述

- ❖ 9.1.1 性能指标

□ 9.2 一级运放

- ❖ 9.2.1 基本差分运放

- ❖ 9.2.2 套筒式共源共栅运放

- ❖ 9.2.3 折叠式共源共栅运放

□ 9.3 两级运放

□ 9.4 增益的提高

□ 9.5 性能比较

□ 9.6 共模反馈

□ 9.7 输入范围限制

□ 9.8 转换速率

□ 9.9 电源抑制

□ 9.10 运放的噪声

9.10 运放的噪声

□许多AIC需要用到低噪声的运放

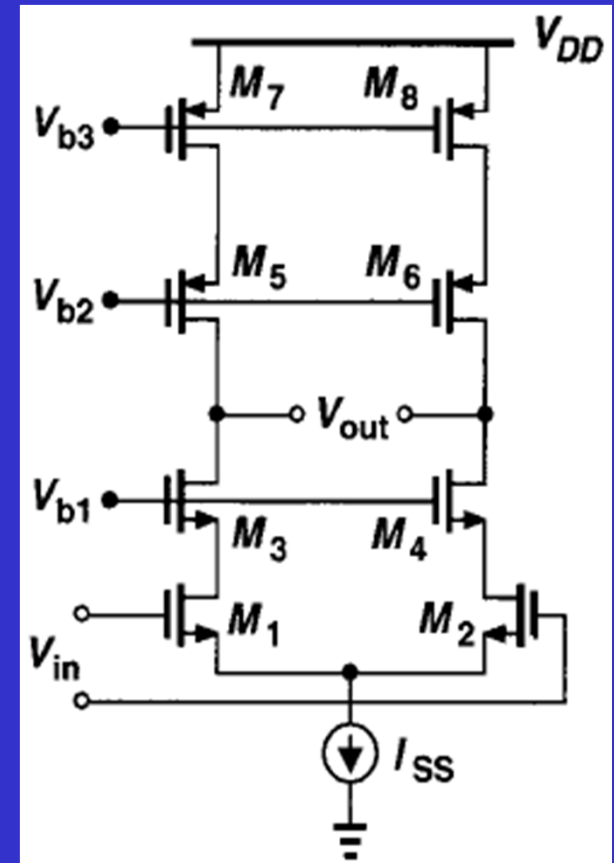
□分析方法同第7章

□主要噪声源的简单判定方法

❖在MOS栅级加测试电压，观察其输出响应的大小

套筒式运放的噪声

- 共栅管的噪声可忽略
- 主要噪声源为M1、M2、M7和M8
- 单位带宽的输入参考噪声电压
 - ❖ 推导过程类似第7章的例7.13



$$\overline{V_n^2} = 4kT \left(2 \frac{2}{3g_{m1,2}} + 2 \frac{2g_{m7,8}}{3g_{m1,2}^2} \right) + 2 \frac{K_N}{(WL)_{1,2} C_{ox} f} + 2 \frac{K_P}{(WL)_{7,8} C_{ox} f} \frac{g_{m7,8}^2}{g_{m1,2}^2}$$

折叠共源共栅运放的噪声

□ 为简化分析，只考虑热噪声

□ 共栅管噪声低频时可忽略

□ 尾电流源的噪声与跨导成正比

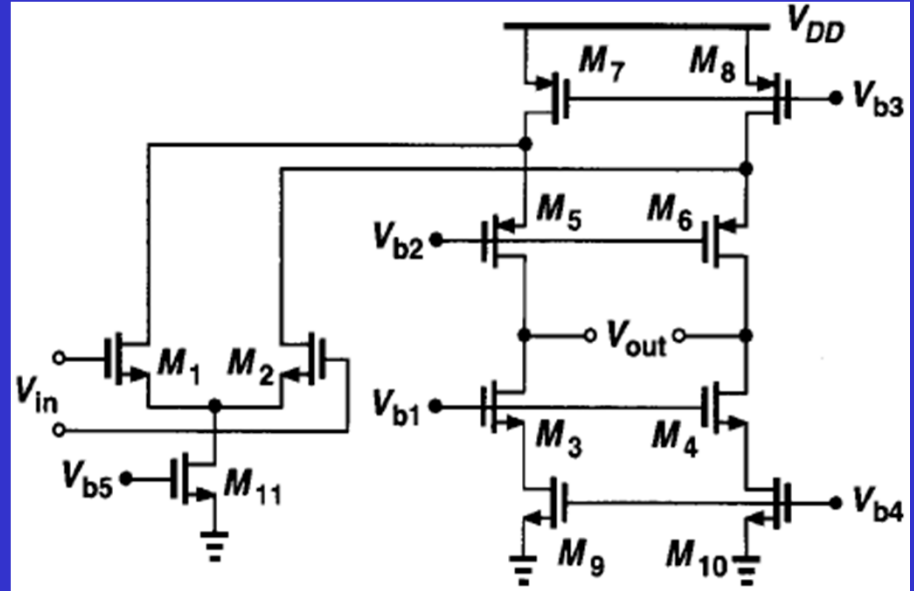
❖ 降低其噪声需降低跨导，需提高过驱动电压，会牺牲输出电压摆幅

□ 主要噪声源

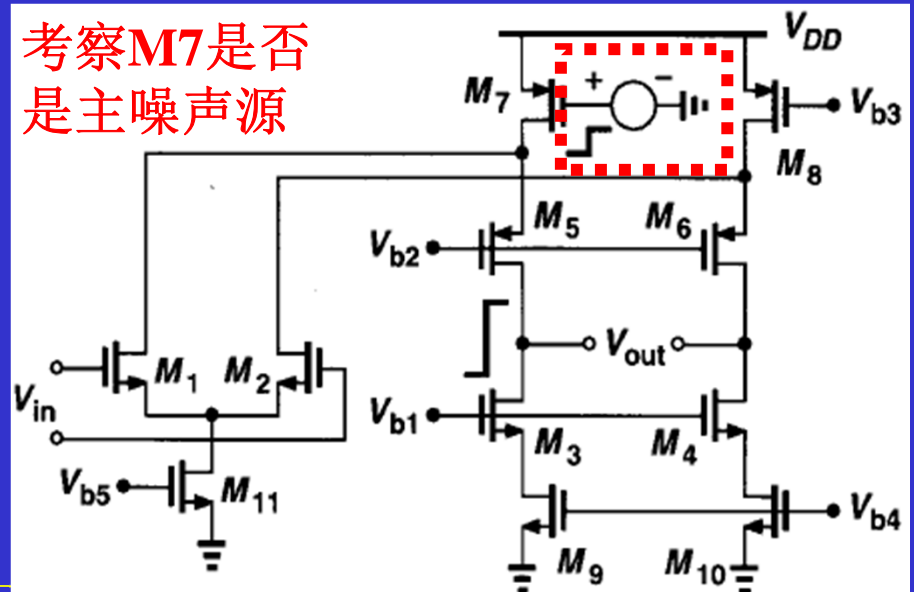
❖ M1、M2

❖ M7、M8

❖ M9、M10



考察M7是否是主噪声源

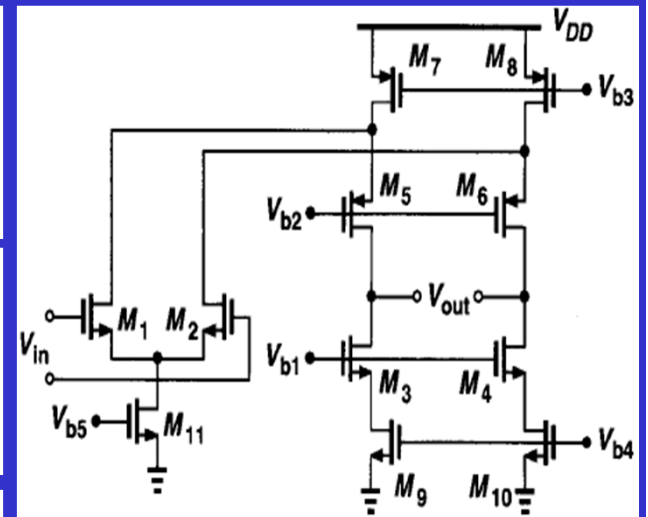


折叠共源共栅运放的噪声

$$\overline{V_{n,out}^2} |_{M7,8} = 2 \left(4kT \frac{2}{3g_{m7,8}} g_{m7,8}^2 R_{out}^2 \right)$$

$$\overline{V_{n,out}^2} |_{M9,10} = 2 \left(4kT \frac{2}{3g_{m9,10}} g_{m9,10}^2 R_{out}^2 \right)$$

$$\overline{V_{n,int}^2} = 8kT \left(\frac{2}{3g_{m1,2}} + \frac{2}{3} \frac{g_{m7,8}}{g_{m1,2}^2} + \frac{2}{3} \frac{g_{m9,10}}{g_{m1,2}^2} \right)$$



折叠共源共栅运放的噪声可能大于套筒式运放的噪声

套筒式运放的噪声：

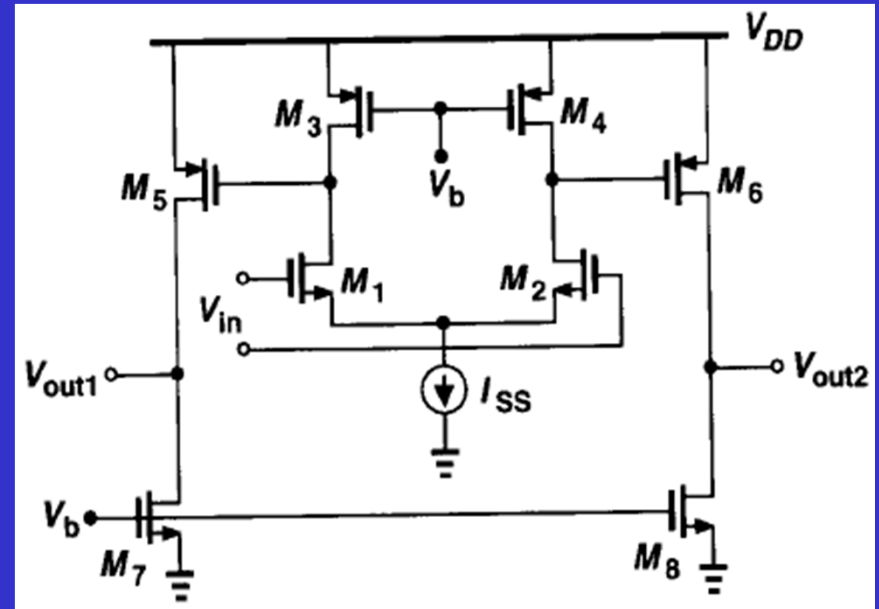
$$\overline{V_n^2} = 4kT \left(2 \frac{2}{3g_{m1,2}} + 2 \frac{2g_{m7,8}}{3g_{m1,2}^2} \right) + 2 \frac{K_N}{(WL)_{1,2} C_{ox} f} + 2 \frac{K_P}{(WL)_{7,8} C_{ox} f} \frac{g_{m7,8}^2}{g_{m1,2}^2}$$

两级运放的噪声

□ 低频电压增益

$$g_{m1}(r_{O1} \parallel r_{O3}) \times g_{m5}(r_{O5} \parallel r_{O7})$$

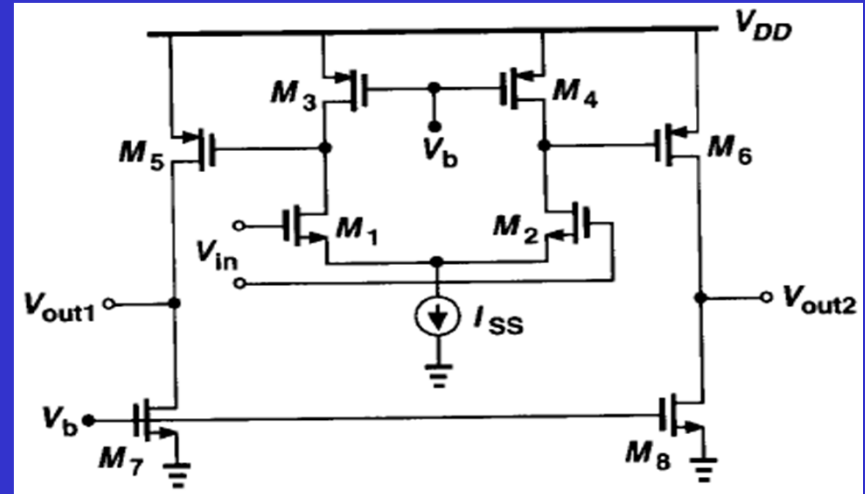
□ M5—M8对输入参考噪声电压的贡献



$$\begin{aligned} \overline{V_n^2}|_{M5-8} &= 2 \times 4kT \frac{2}{3} (g_{m5} + g_{m7})(r_{O5} \parallel r_{O7})^2 \frac{1}{g_{m1}^2 (r_{O1} \parallel r_{O3})^2 g_{m5}^2 (r_{O5} \parallel r_{O7})^2} \\ &= \frac{16kT}{3} \frac{g_{m5} + g_{m7}}{g_{m1}^2 g_{m5}^2 (r_{O1} \parallel r_{O3})^2} \end{aligned}$$

两级运放的噪声

□ M1-M4对输入参考噪声电压的贡献



$$\overline{V_n^2}|_{M1-4} = 2 \times 4kT \frac{2}{3} \frac{g_{m1} + g_{m3}}{g_{m1}^2}$$

$$\overline{V_n^2}|_{M5-8} = 2 \times 4kT \frac{2}{3} (g_{m5} + g_{m7})(r_{o5} \parallel r_{o7})^2 \frac{1}{g_{m1}^2 (r_{o1} \parallel r_{o3})^2 g_{m5}^2 (r_{o5} \parallel r_{o7})^2}$$

$$= \frac{16kT}{3} \frac{g_{m5} + g_{m7}}{g_{m1}^2 g_{m5}^2 (r_{o1} \parallel r_{o3})^2}$$

来自第二级的噪声通常可忽略；
它要除以第一级的增益

$$\overline{V_{n,tot}^2} = \frac{16kT}{3} \frac{1}{g_{m1}^2} \left[g_{m1} + g_{m3} + \frac{g_{m5} + g_{m7}}{g_{m5}^2 (r_{o1} \parallel r_{o3})^2} \right]$$

例9.13 两级运放的噪声

□ 计算右图所示两级运放的输入参考噪声电压。第一级是二极管做负载。已知：

$$(W/L)_{1,2} = 50/0.6,$$

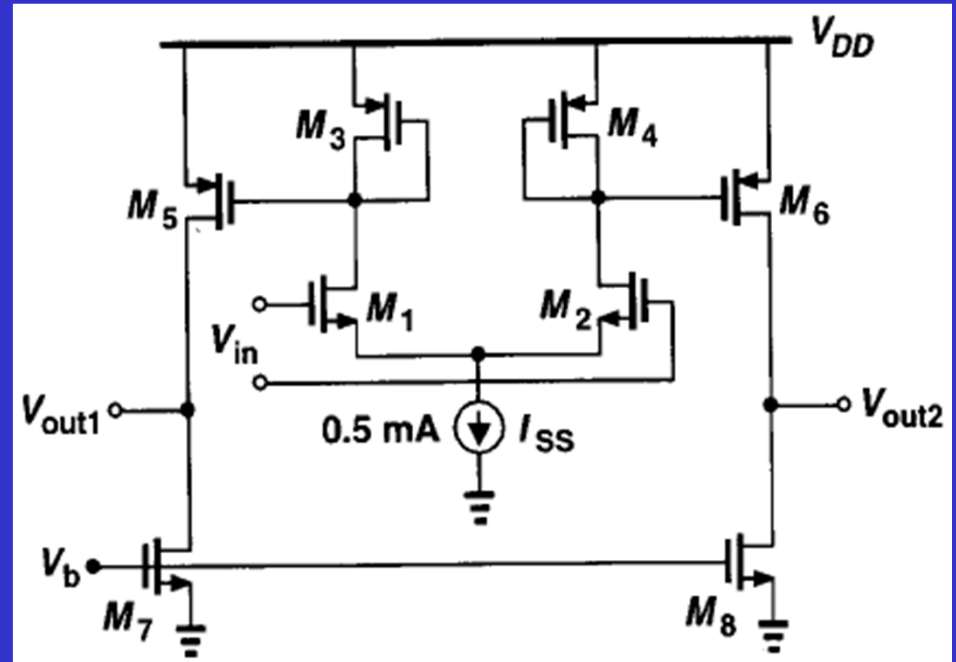
$$(W/L)_{3,4} = 10/0.6,$$

$$(W/L)_{5,6} = 20/0.6,$$

$$(W/L)_{7,8} = 56/0.6,$$

$$\mu_n C_{OX} = 75 \mu A/V^2,$$

$$\mu_p C_{OX} = 30 \mu A/V^2。$$



思路：

与电流源作第一级负载的两级运放的噪声分析相同

例9.13 两级运放的噪声

□ 计算右图所示两级运放的输入参考噪声电压。第一级是二极管做负载。已知： $(W/L)_{1,2}=50/0.6$ ， $(W/L)_{3,4}=10/0.6$ ， $(W/L)_{5,6}=20/0.6$ ， $(W/L)_{7,8}=56/0.6$ ， $\mu_n C_{OX}=75\mu A/V^2$ ， $\mu_p C_{OX}=30\mu A/V^2$ 。

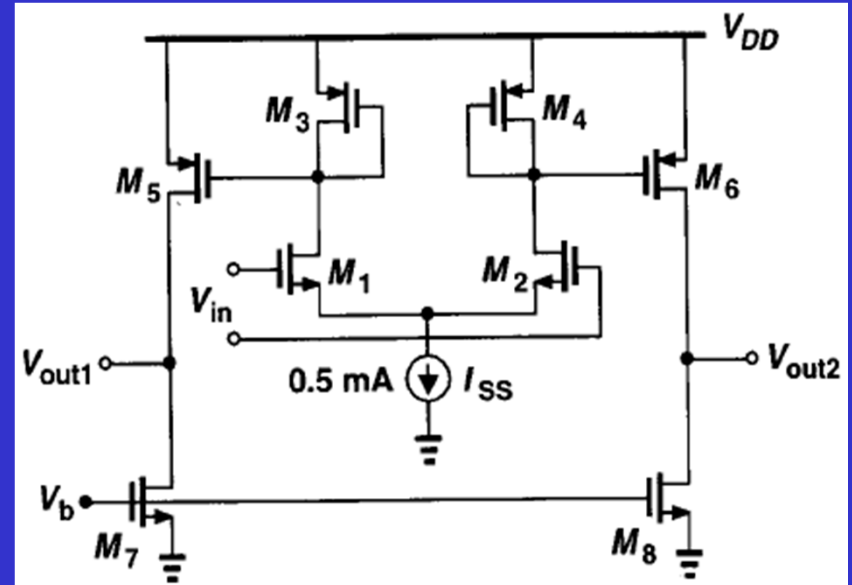
第一级的低频小信号电压增益：

$$A_{v1} \approx \frac{g_{m1}}{g_{m3}} = \sqrt{\frac{50 \times 75}{10 \times 30}} \approx 3.54$$

M5和M7的噪声等效到M5的栅级时：

$$4kT \frac{2}{3} \frac{g_{m5} + g_{m7}}{g_{m5}^2} = 2.87 \times 10^{-17} V^2 / Hz$$

M5和M7的噪声等效到 V_{in} 时： $\overline{V_n^2} \Big|_{M5,7} = 2.29 \times 10^{-18} V^2 / Hz$



例9.13 两级运放的噪声

□ 计算右图所示两级运放的输入参考噪声电压。第一级是二极管做负载。已知： $(W/L)_{1,2}=50/0.6$ ， $(W/L)_{3,4}=10/0.6$ ， $(W/L)_{5,6}=20/0.6$ ， $(W/L)_{7,8}=56/0.6$ ， $\mu_n C_{OX}=75\mu A/V^2$ ， $\mu_p C_{OX}=30\mu A/V^2$ 。

M5和M7的噪声等效到 V_{in} 时：

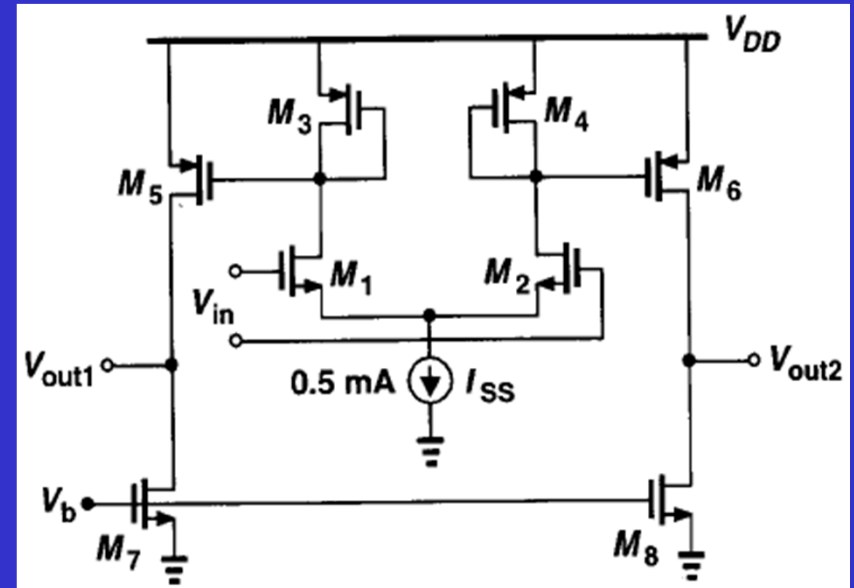
$$\overline{V_n^2} \Big|_{M5,7} = 2.29 \times 10^{-18} V^2 / Hz$$

M1和M3的噪声等效到 V_{in} 时：

$$\overline{V_n^2} \Big|_{M1,3} = (8kT / 3)(g_{m3} + g_{m1}) / g_{m1}^2 = 1.10 \times 10^{-17} V^2 / Hz$$

总输入参考噪声电压为：

$$\begin{aligned} \overline{V_{n,in}^2} &= 2(2.29 \times 10^{-18} + 1.10 \times 10^{-17}) \\ &= 2.66 \times 10^{-17} V^2 / Hz, \end{aligned}$$



若带宽为1MHz，则：

$$\begin{aligned} V_{in,n,rms} &= \sqrt{2.66 \times 10^{-11}} \\ &= 5.2mV \end{aligned}$$

总结

- 9.1 概述
- 9.2 一级运放
- 9.3 两级运放
- 9.4 增益的提高
- 9.5 性能比较
- 9.6 共模反馈
- 9.7 输入范围限制
- 9.8 转换速率
- 9.9 电源抑制
- 9.10 运放的噪声

重点掌握

□9.1 概述

- ❖ 掌握各性能指标的定义

□9.2 一级运放

- ❖ 基本运放、套筒式和折叠式cascode
- ❖ 理解原理，会分析，会设计

□9.3 两级运放

- ❖ 简单两级运放、Cascode的两级运放、多级运放
- ❖ 理解原理，会分析，会设计

□9.4 增益的提高

- ❖ 增益提高的套筒式和折叠式cascode运放
- ❖ 理解原理，会分析

重点掌握

□9.5 性能比较

- ❖ 套筒式cascode、折叠式cascode、两级的、增益提高的
- ❖ 了解

□9.6 共模反馈

- ❖ 电阻法、源跟随器—电阻法、电容法、深线性区MOS管法
- ❖ 理解原理，会分析

□9.7 输入范围限制

- ❖ 宽摆幅运放
- ❖ 理解原理，会分析

重点掌握

□9.8 转换速率

- ❖ 线性运放和实际运放的大阶跃响应
- ❖ 基本运放、套筒式和折叠式cascode运放的压摆率限制问题、压摆率限制对建立时间的影响
- ❖ 理解原理，会分析

□9.9 电源抑制

- ❖ PSRR的定义和推导方法
- ❖ 理解原理，会分析

□9.10 运放的噪声

- ❖ 套筒式和折叠式cascode运放的噪声
- ❖ 两级运放的噪声
- ❖ 理解原理，会分析

作业

□ 9.3

- ❖ 设计一个折叠共源共栅运放
- ❖ PMOS管做输入，双端输出

□ 9.14

- ❖ 对电流镜做负载的差分运放，分析压摆率限制发生时的建立时间问题

□ 9.18

- ❖ 设计一个两级运放
- ❖ 第一级是NMOS管做输入的差分放大级
- ❖ 第二级是NMOS管的共源级

□ 特别说明

- ❖ 本章内容比较重要，习题中没有布置成作业的最好也做一做

□ 交作业时间

- ❖ 听助教通知

下一讲

绪论, 2学时	重要性、一般概念
器件物理基础, 2学时	MOSFET结构、IV特性、二级效应、器件模型
单级放大器, 5学时	共源、共漏、共栅、共源共栅
EDA系统使用常识 和设计实习实例演示, 2学时	做设计实习所需软硬件系统的使用
差动放大器, 3学时	定性分析、定量分析、共模响应、吉尔伯特单元
无源/有源电流镜, 2学时	基本/共源共栅/有源电流镜
放大器的频率特性, 4学时	米勒效应、极点与节点关系、单级放大器频率特性分析
噪声, 4学时	统计特性、类型、电路表示、单级放大器噪声分析、噪声带宽
期中考试 2学时, 评卷 1学时。习题课若干学时	
反馈, 6学时	特性、四种反馈结构、负载影响、对噪声的影响
运算放大器, 6学时	性能参数、一级运放、两级运放、各指标分析
稳定性和频率补偿, 6学时	多极点系统、相位裕度、频率补偿
版图, 3学时	叉指、对称、ESD等