

版图、运放设计补充 (第30、31讲)

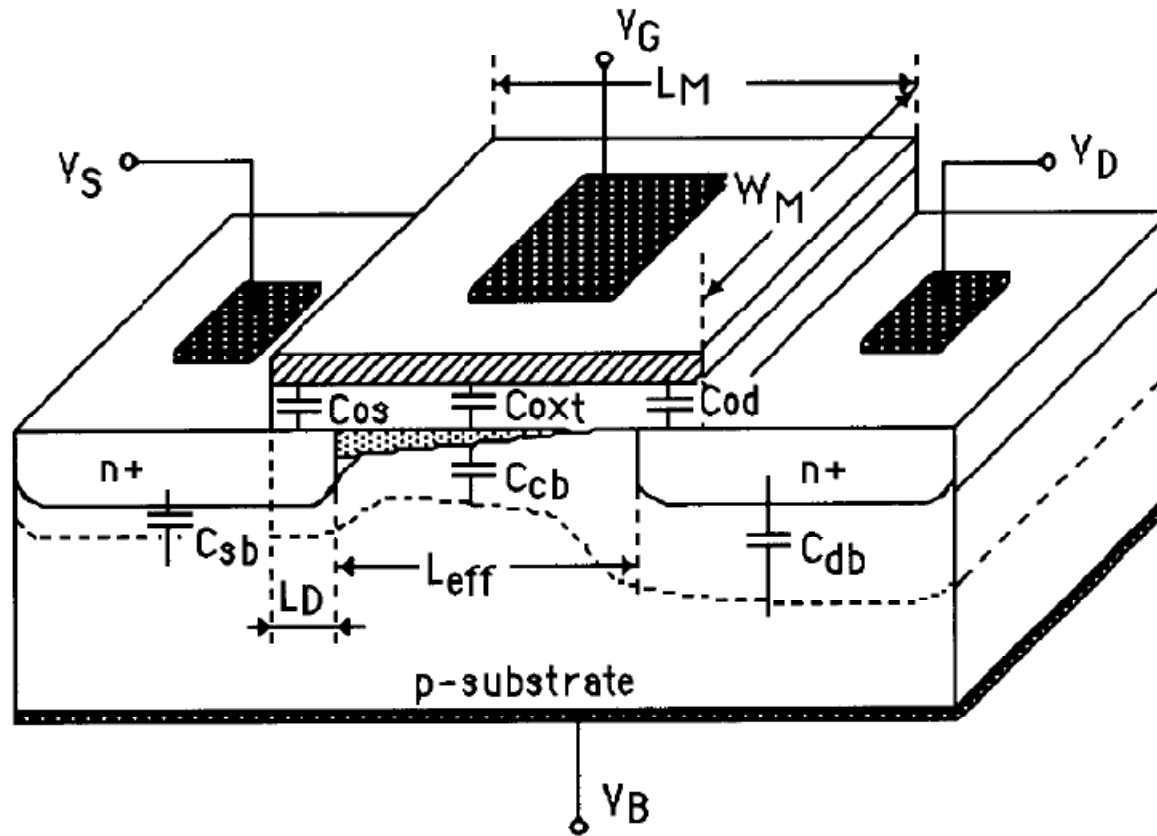
授课教师：鲁文高

Email: wglu@pku.edu.cn

本讲内容

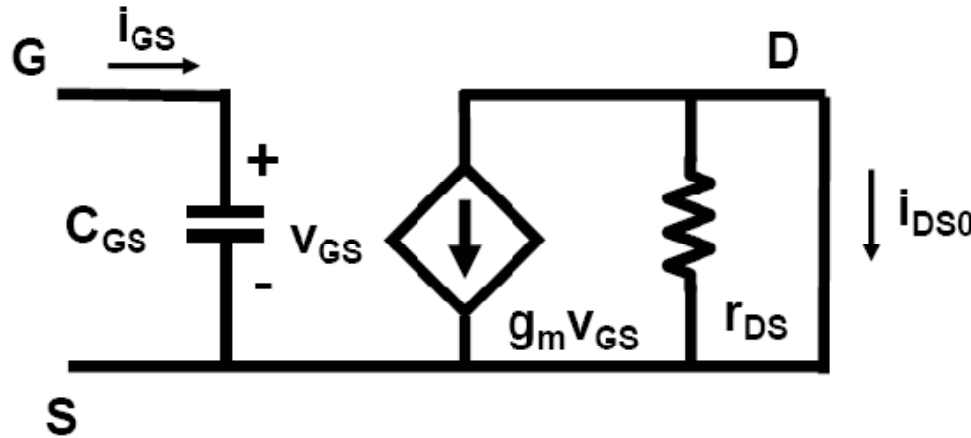
- 运放的带宽极限
- 偏置电路的设计
- 版图设计

MOSFET的寄生电容



$$C_{GS} \approx \frac{2}{3} W L C_{ox}$$

MOSFET的截至频率 f_T



$$i_{GS} = V_{GS} C_{GS} s$$

$$i_{DS} = g_m V_{GS}$$

$$C_{GS} = \frac{2}{3} W L C_{ox}, \text{ 而 } g_m = \mu_n C_{ox} \frac{W}{L} V_{dsat}, \quad C_{ox} = 3 \text{ fF} / \mu^2$$

$$i_{GS} = i_{DS} \text{ 时, MOSFET的截至频率 } f_T = \frac{g_m}{2\pi C_{GS}} \Rightarrow \frac{3}{2} \times \frac{\mu V_{dsat}}{2\pi L^2}$$

$$\mu_n C_{ox} = 60 \mu\text{A}/\text{V}^2, \quad \mu_p C_{ox} = 30 \mu\text{A}/\text{V}^2, \text{ 反推得 } \mu_n = 20 \times 10^9 \frac{\mu\text{m}^2}{\text{V}} \text{ Hz}, \quad \mu_p = 10 \times 10^9 \frac{\mu\text{m}^2}{\text{V}} \text{ Hz}$$

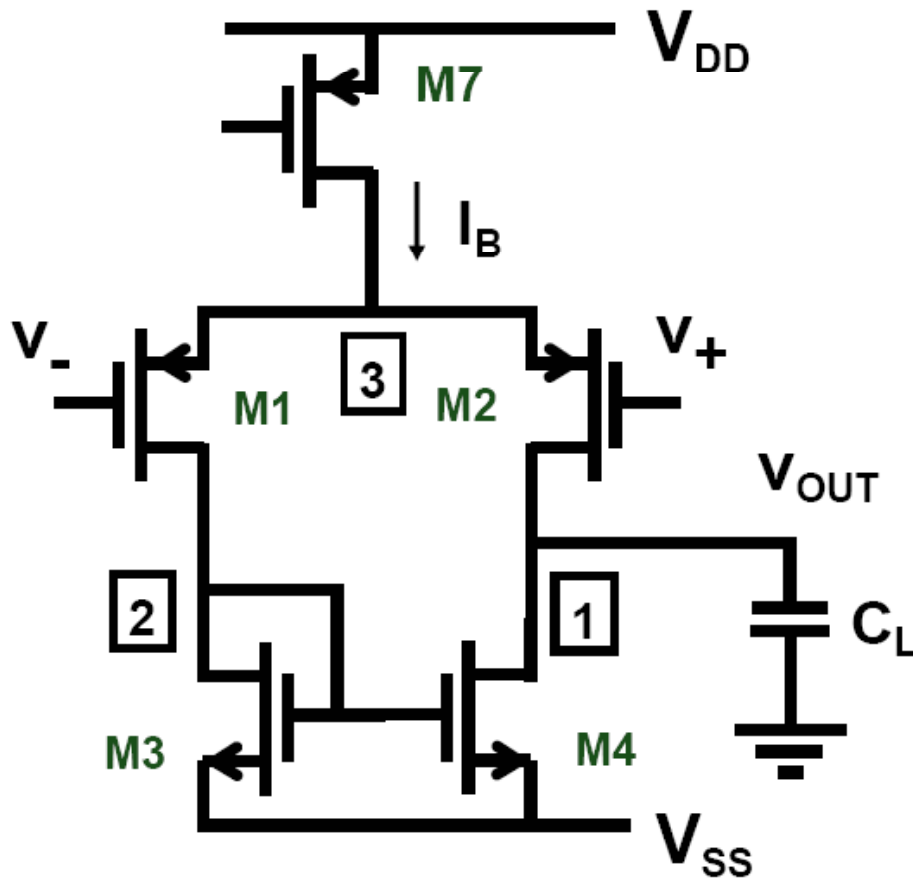
$$L_{\min} = 0.5 \mu, \quad \text{NMOS: } V_{dsat} = 0.2\text{V}, \quad f_T = \frac{3}{2} \times \frac{20 \times 10^9 \times 0.2}{6.28 \times 0.25} \text{ Hz} \approx 3.8\text{GHz}$$

高增益vs高速

	High gain	High speed
$V_{GS}-V_T$	Low (0.2 V)	High (0.5 V)
L	High	Low

$V_{GS}-V_T$ sets the ratio g_m/I_{DS} !

非主极点的极限频率 (1)



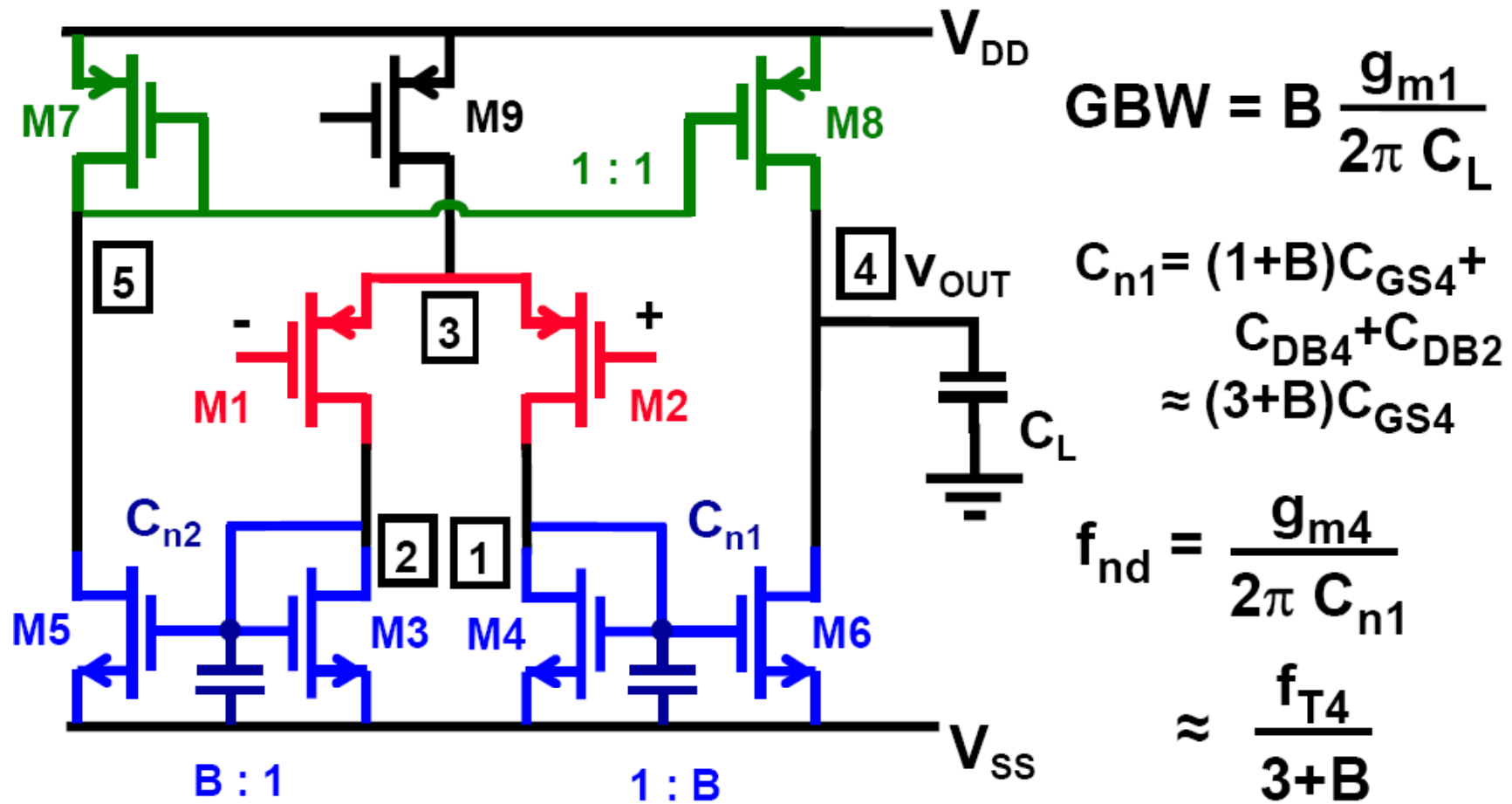
$$GBW = \frac{g_{m1}}{2\pi (C_L + C_{n1})}$$

$$f_{nd} = \frac{g_{m3}}{2\pi C_{n2}}$$

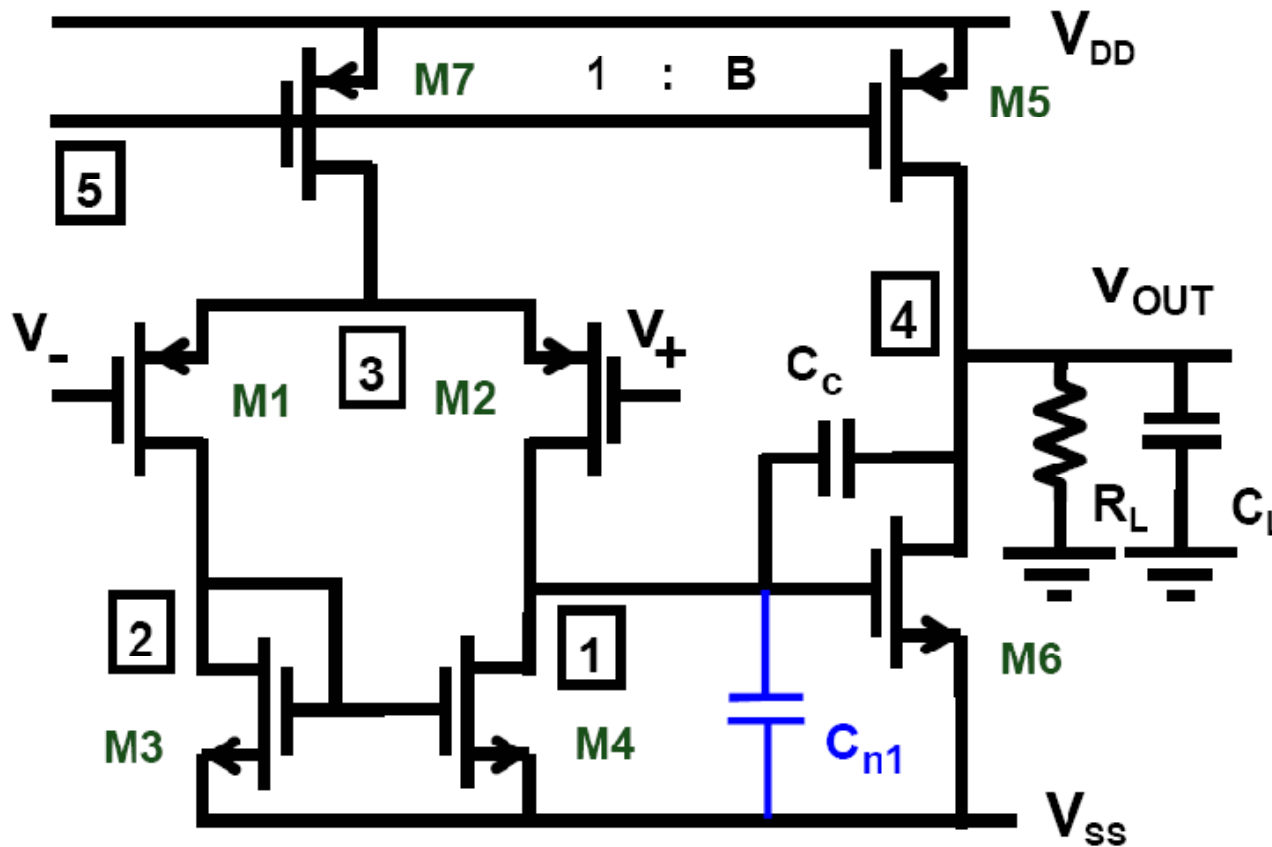
$$C_{n2} \approx 2C_{GS3} + C_{DB3} + C_{DB1} \approx 4 C_{GS3}$$

$$f_{nd} \approx \frac{f_{T3}}{4}$$

非主极点的极限频率 (2)



高速Miller运放的设计（1）



高速Miller运放的设计（2）

$$GBW = \frac{g_{m1}}{2\pi C_c}$$

$$C_L = \alpha C_c \quad \alpha \approx 2$$

$$C_c = \beta C_{n1} = \beta C_{GS6} \quad \beta \approx 3$$

$$f_{nd} = \frac{g_{m6}}{2\pi C_L} \frac{1}{1 + C_{n1}/C_c}$$

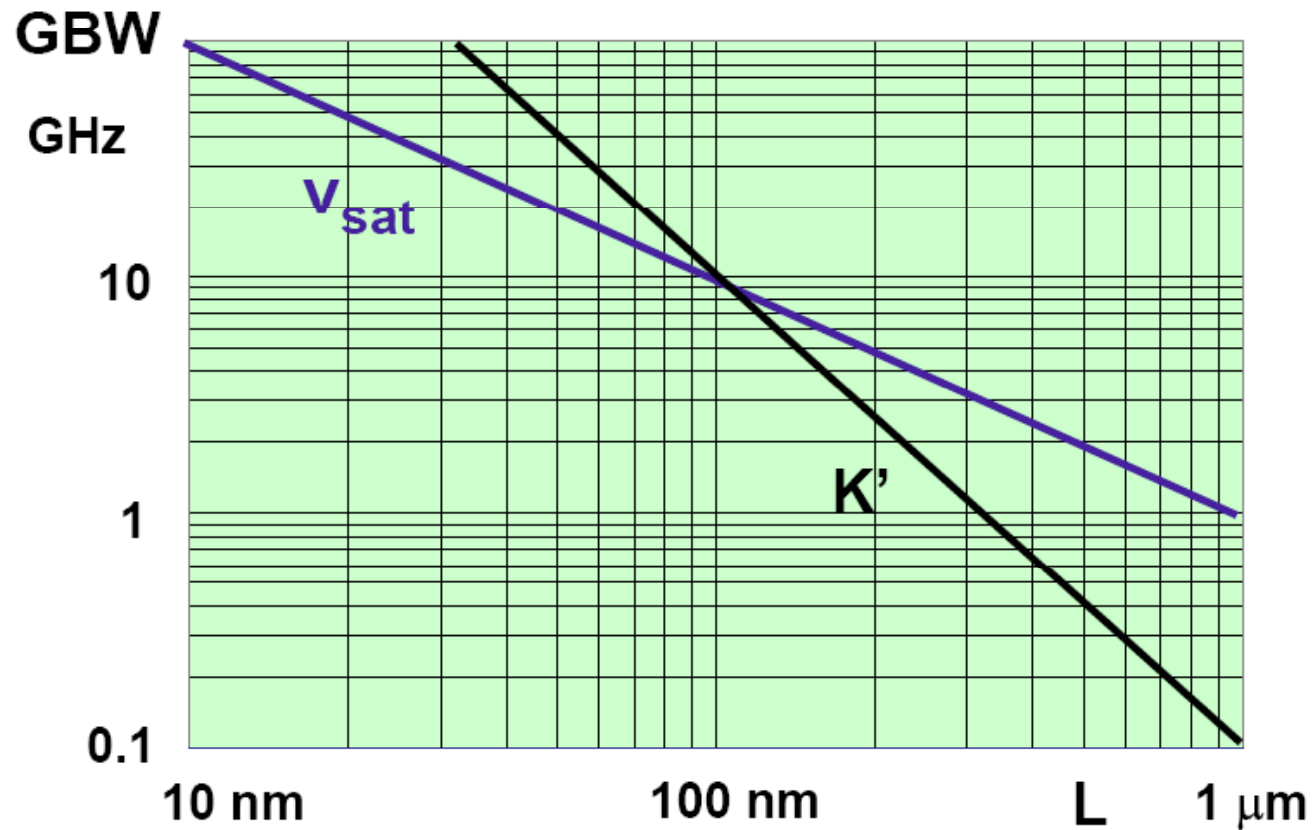
$$f_{nd} = \gamma GBW \quad \gamma \approx 2$$

$$C_L \approx \alpha\beta C_{GS6}$$

$$f_{nd} \approx \frac{g_{m6}}{2\pi C_L \left(1 + \frac{1}{\beta}\right)} \approx \frac{g_{m6}}{2\pi C_{GS6} \alpha\beta \left(1 + \frac{1}{\beta}\right)} \approx \frac{f_T}{\alpha\beta \left(1 + \frac{1}{\beta}\right)} \approx \frac{f_T}{8}$$

$$GBW \approx \frac{f_T}{16}$$

GBW最大值与L的关系



$$V_{GS} - V_T \approx 0.2 \text{ V}$$

$$\alpha \approx 2$$

$$\beta \approx 3$$

$$\gamma \approx 2$$

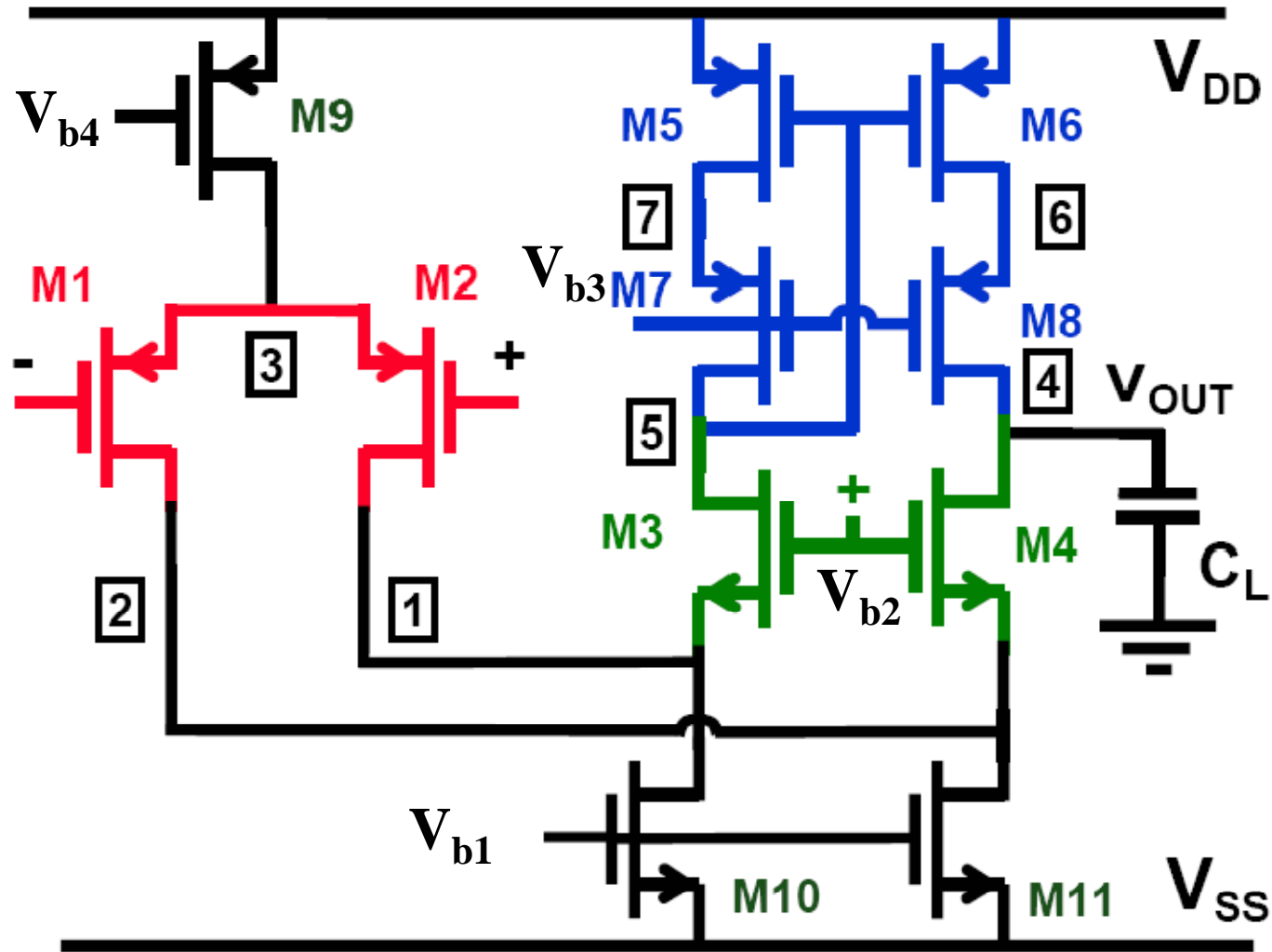
or 16 x

$$GBW \approx \frac{f_{T6}}{16}$$

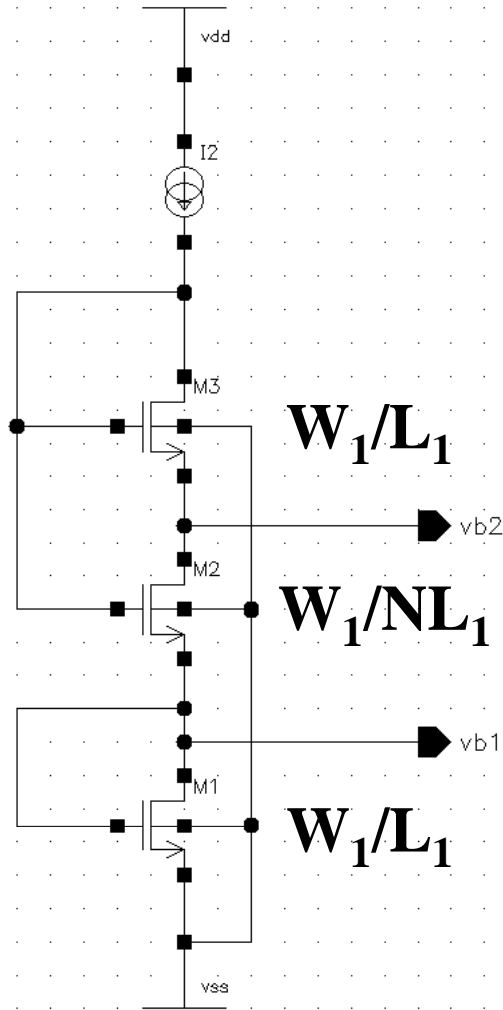
本讲内容

- 运放的带宽极限
- 偏置电路的设计
- 版图设计

折叠共源共栅运放



偏置电路(NMOS)



$$V_{b1} = V_{GS1} = V_{th1} + V_{dsat1}$$

$M2$ 、 $M3$ 串联后的晶体管 $M23$

$$V_{GS23}、V_{dsat23}$$

$$V_{b2} = V_{b1} + V_{GS23} - V_{GS2}$$

若 $M1$ 、 $M3$ 均取 $\frac{W_1}{L_1}$

而 $M2$ 取 $\frac{W_1}{N \times L_1}$ ，因此 $M23$ 的等效沟长 $(N + 1) \times L_1$

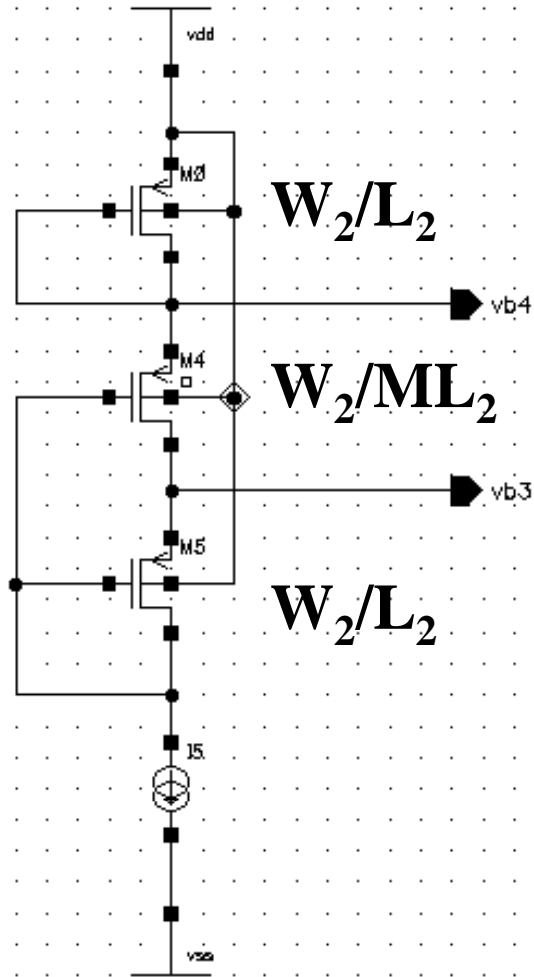
设 $V_{dsat1} = V_{dsat}$ ，则 $V_{dsat3} = V_{dsat}$ ， $V_{dsat23} = \sqrt{N + 1} \times V_{dsat}$

$$V_{b2} = V_{b1} + (\sqrt{N + 1} - 1) \times V_{dsat}$$

$V_{b2} - V_{b1} > V_{dsat}$ ，所以 $N > 3$

通常 N 的取值为 $4 \sim 6$

偏置电路(PMOS)



$$V_{b4} = V_{dd} - |V_{GS0}| = V_{dd} - |V_{th0}| - |V_{dsat0}|$$

$M4$ 、 $M5$ 串联后的晶体管 $M45$

$$V_{GS45}, V_{dsat45}$$

$$V_{b3} = V_{b4} - |V_{GS45}| + |V_{GS5}|$$

若 $M0$ 、 $M5$ 均取 $\frac{W_2}{L_2}$

而 $M4$ 取 $\frac{W_2}{M \times L_2}$ ，因此 $M45$ 的等效沟长 $(M + 1) \times L_1$

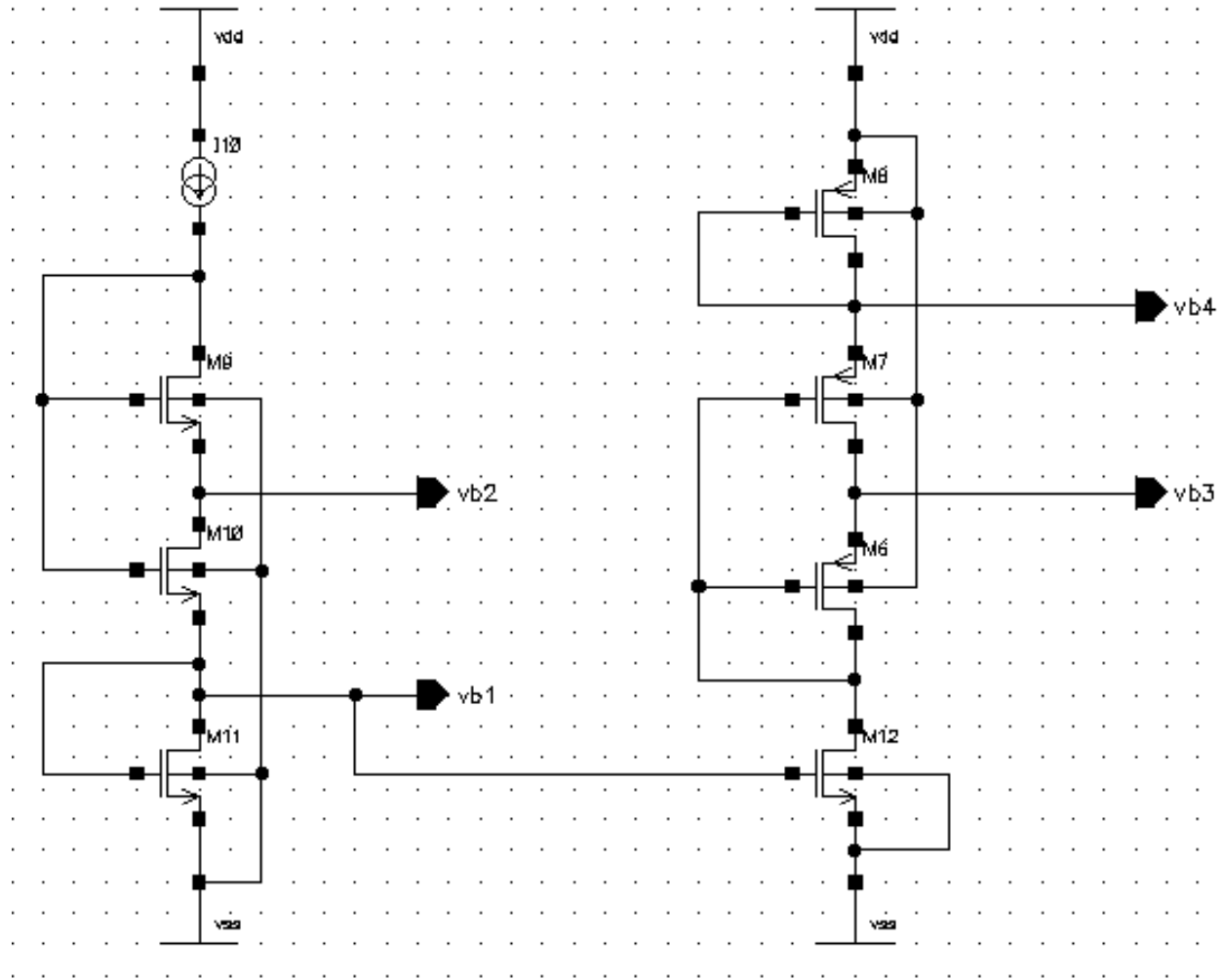
设 $|V_{dsat0}| = |V_{dsat}|$ ，则 $|V_{dsat5}| = |V_{dsat}|$ ， $|V_{dsat45}| = \sqrt{M + 1} \times |V_{dsat}|$

$$V_{b3} = V_{b4} - (\sqrt{M + 1} - 1) \times V_{dsat}$$

$V_{b4} - V_{b3} > V_{dsat}$ ，所以 $M > 3$

通常 M 的取值为 $4 \sim 6$

$V_{b1} \sim V_{b4}$ 的产生



本讲内容

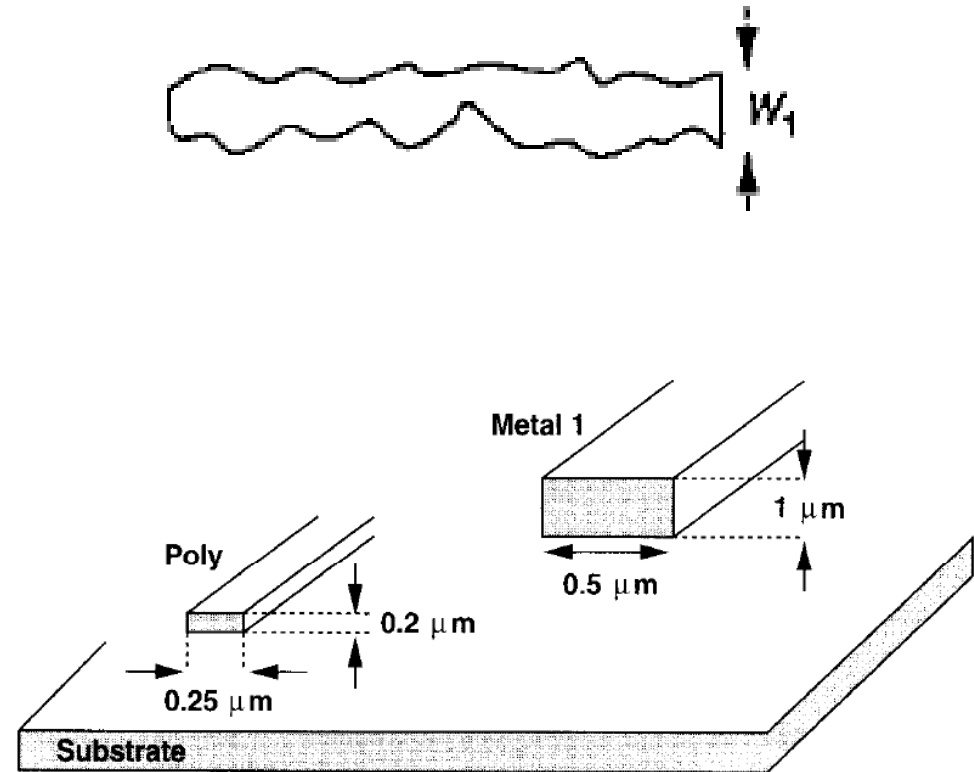
- 运放的带宽极限
- 偏置电路的设计
- 版图设计
 - 设计规则
 - 天线效应
 - 减小栅电阻与漏寄生电容
 - 对称性设计

设计规则

- 设计规则分类
 - 最小宽度(**width**)
 - 最小间距(**spacing**)
 - 最小包围(**enclosure**)
 - 最小延伸(**extension**)

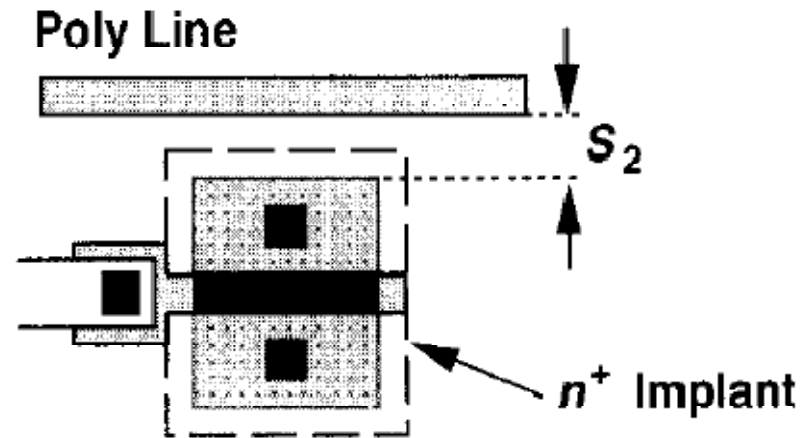
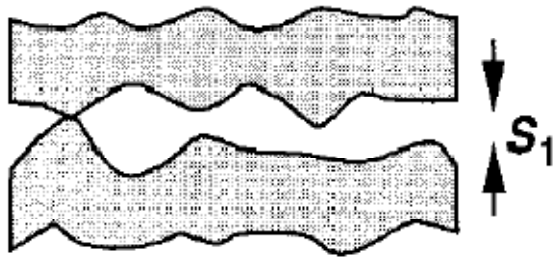
最小宽度(width)

- 掩模版定义的几何图形，其宽度必须大于某个值
- 偏差：取决于光刻和工艺水平
- 层厚度越小，该层允许的最小宽度也越小



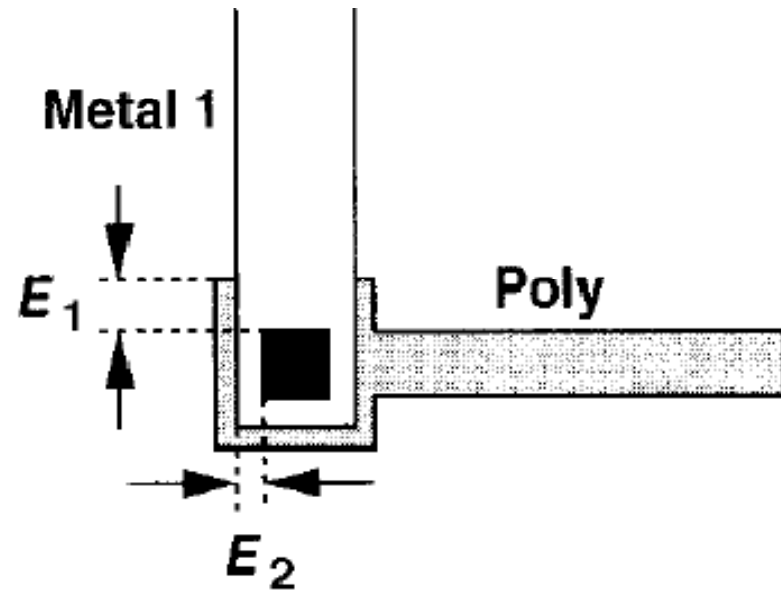
最小间距(spacing)

- 同层图形：
 - 金属短路
- 不同层图形：
 - 扩散区与多晶硅



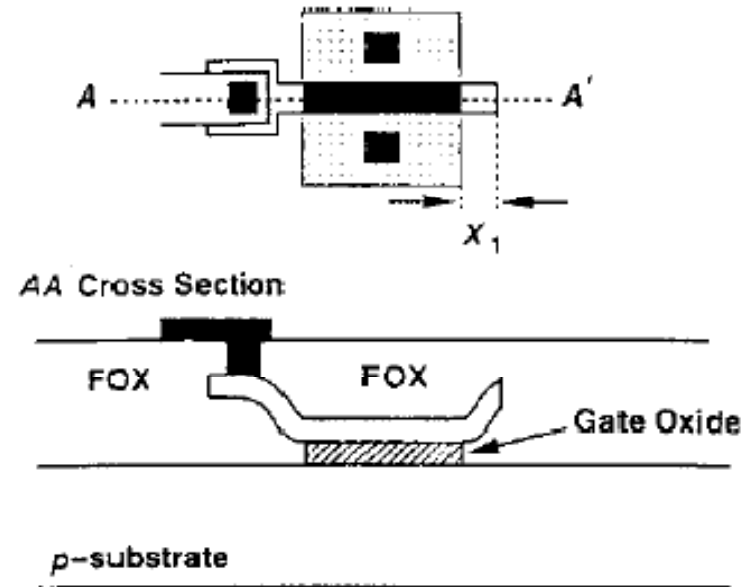
最小包围(enclosure)

- 如N扩散区应被N注入区包围
- Contact应被Poly或者Metal1包围
- 在被包围图形周围留够余量

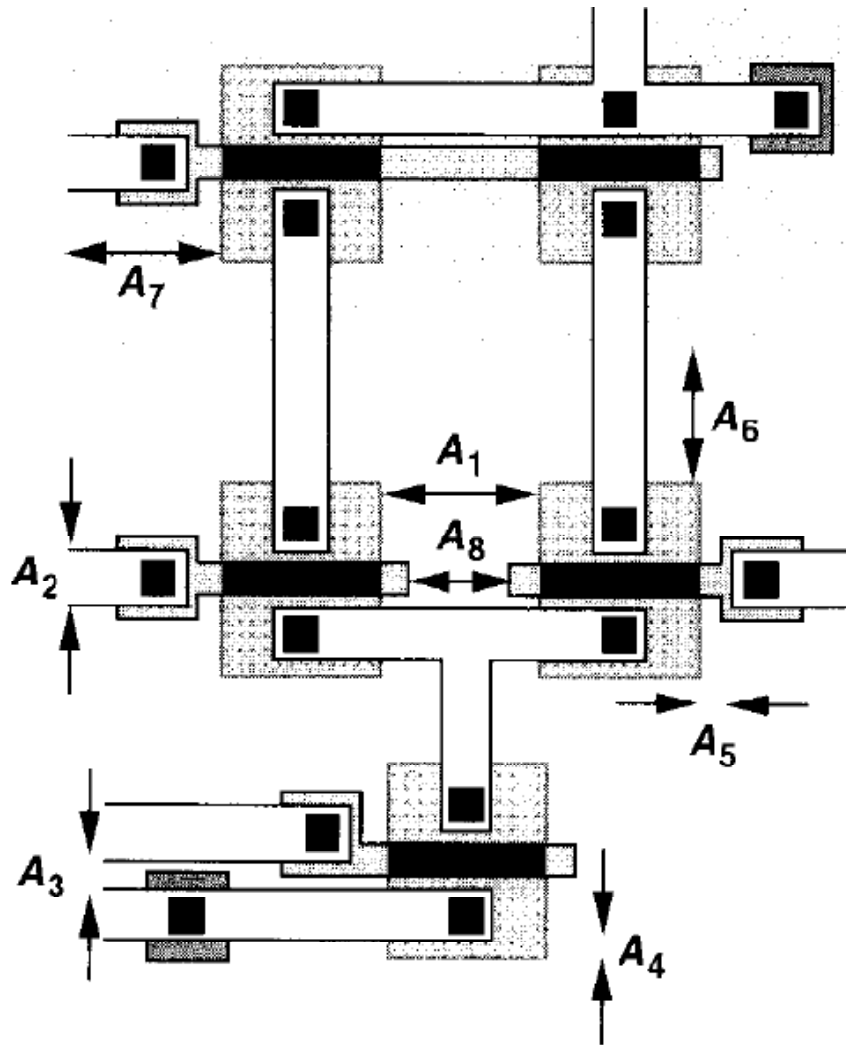


最小延伸(extension)

- **Poly**在有源区外延伸
 - 工艺偏差
 - 确保边缘部分正常



设计规则与版图

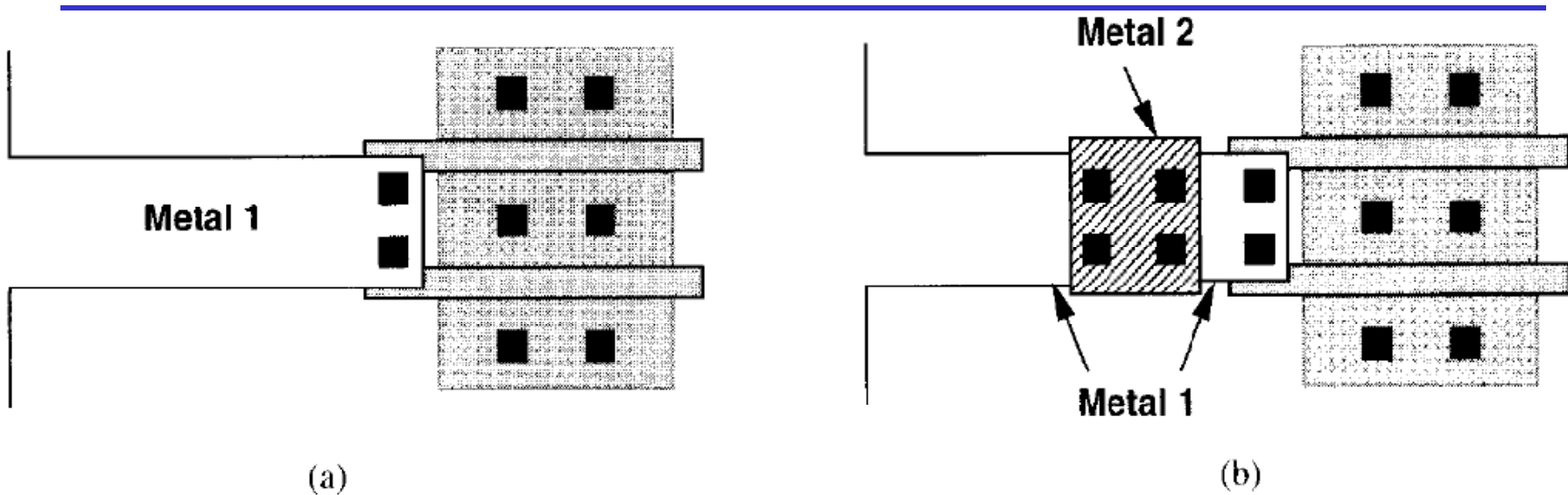


- A_1 : Active-Active Spacing
- A_2 : Metal Width
- A_3 : Metal-Metal Spacing
- A_4 : Enclosure of Contact by Active
- A_5 : Poly-Active Spacing
- A_6 : Active-Well Spacing
- A_7 : Enclosure of Active by Well
- A_8 : Poly-Poly Spacing

本讲内容

- 运放的带宽极限
- 偏置电路的设计
- 版图设计
 - 设计规则
 - 天线效应
 - 减小栅电阻与漏寄生电容
 - 对称性设计

天线效应

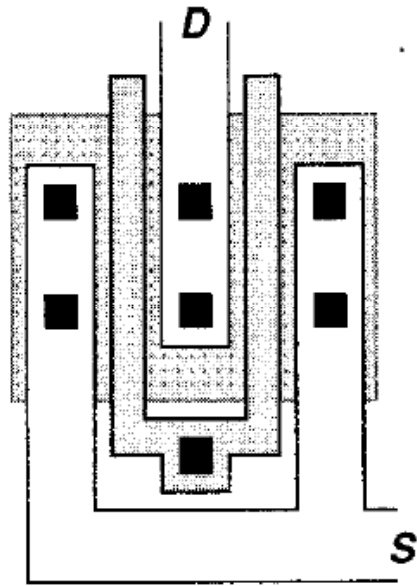


- 刻蚀第一层金属时，这层金属就像一根天线，会收集离子。
- 面积越大，收集的离子越多，击穿栅氧。图 (a)
- 解决方法：通过Metal 2过渡。图 (b)

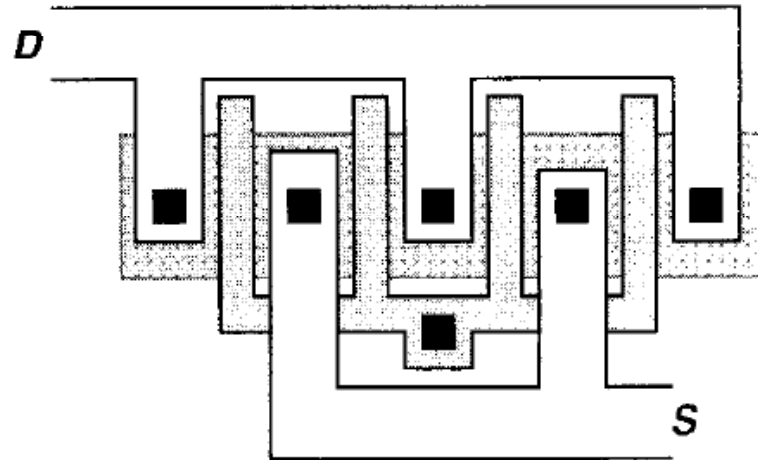
本讲内容

- 运放的带宽极限
- 偏置电路的设计
- 版图设计
 - 设计规则
 - 天线效应
 - 减小栅电阻与漏寄生电容
 - 对称性设计

叉指晶体管



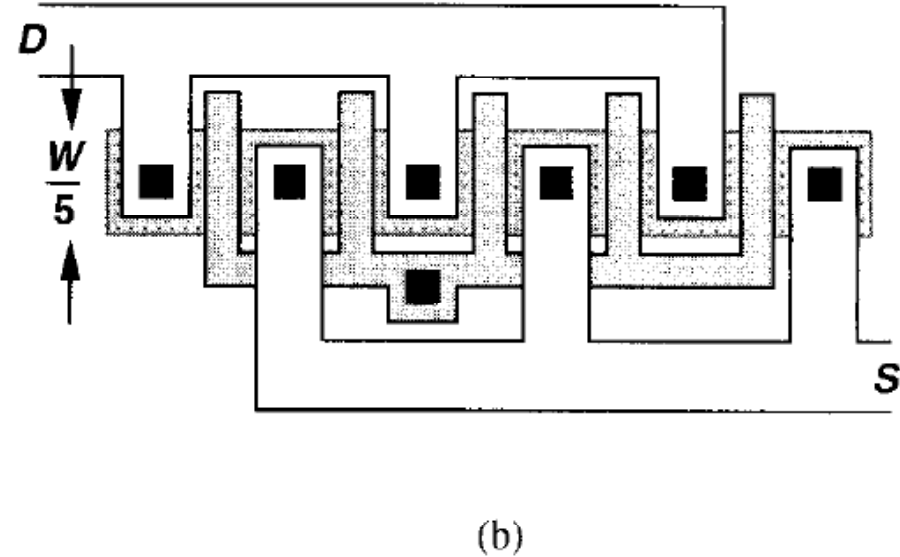
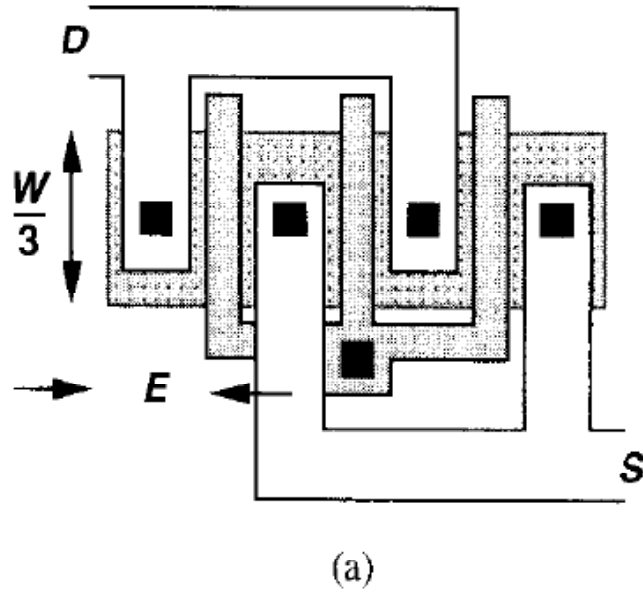
(a)



(b)

- 图a：简单折叠，减小漏端电容
- 图b：减小栅电阻 R_g ，使 $R_g < 1/g_m$
- 低噪声应用： R_g 为 $1/g_m$ 的 $1/5 \sim 1/10$ 。
- 以上 R_g 、 g_m 为单个叉指管的参数

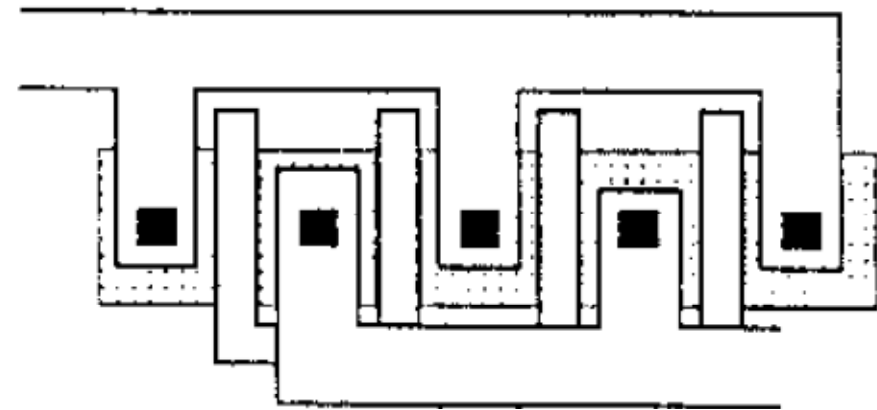
叉指数目：奇数vs偶数



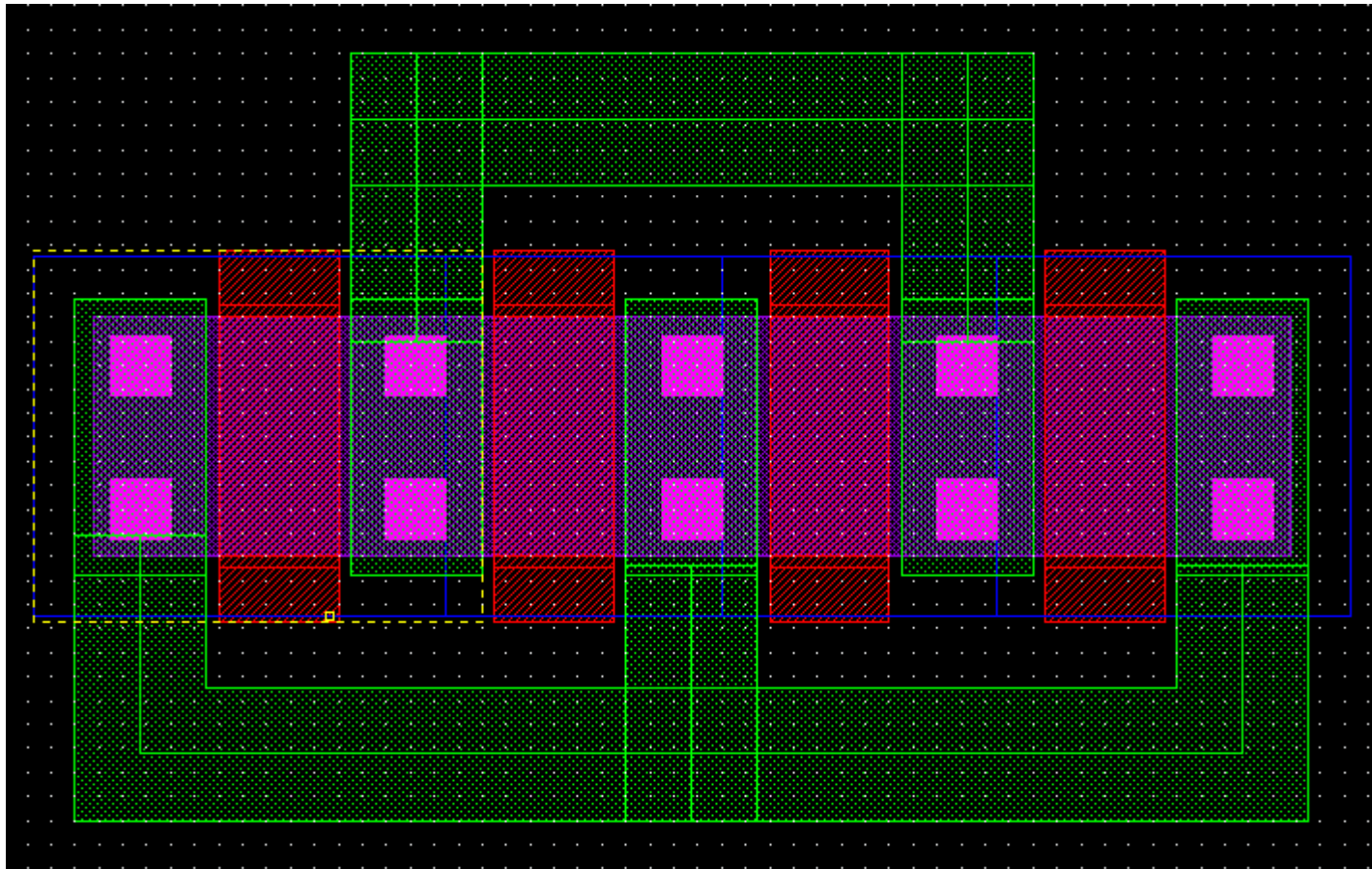
叉指数目为偶数时

漏区面积最小

通常叉指数目为偶数

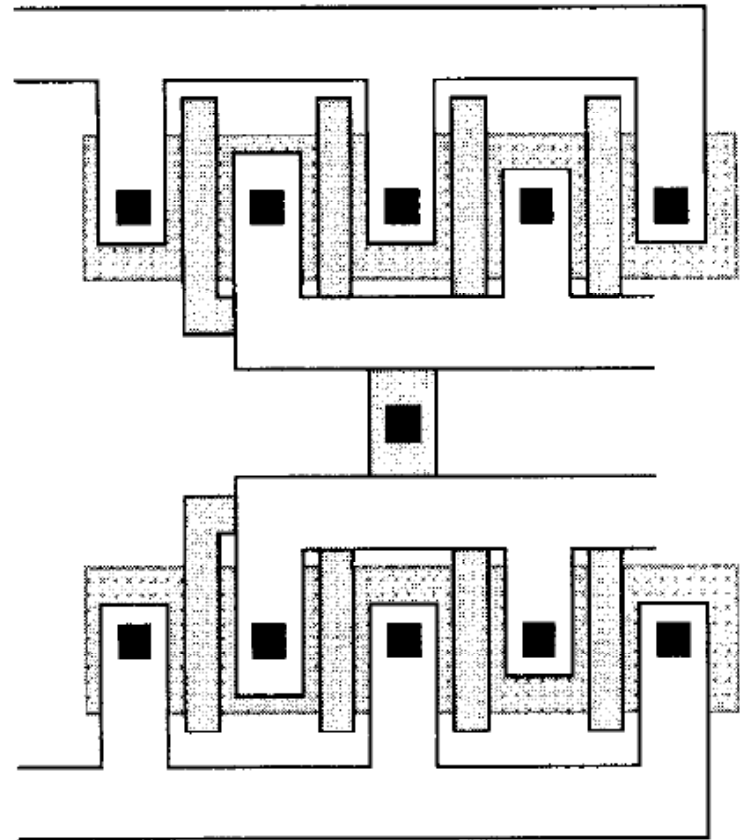


叉指数目：偶数

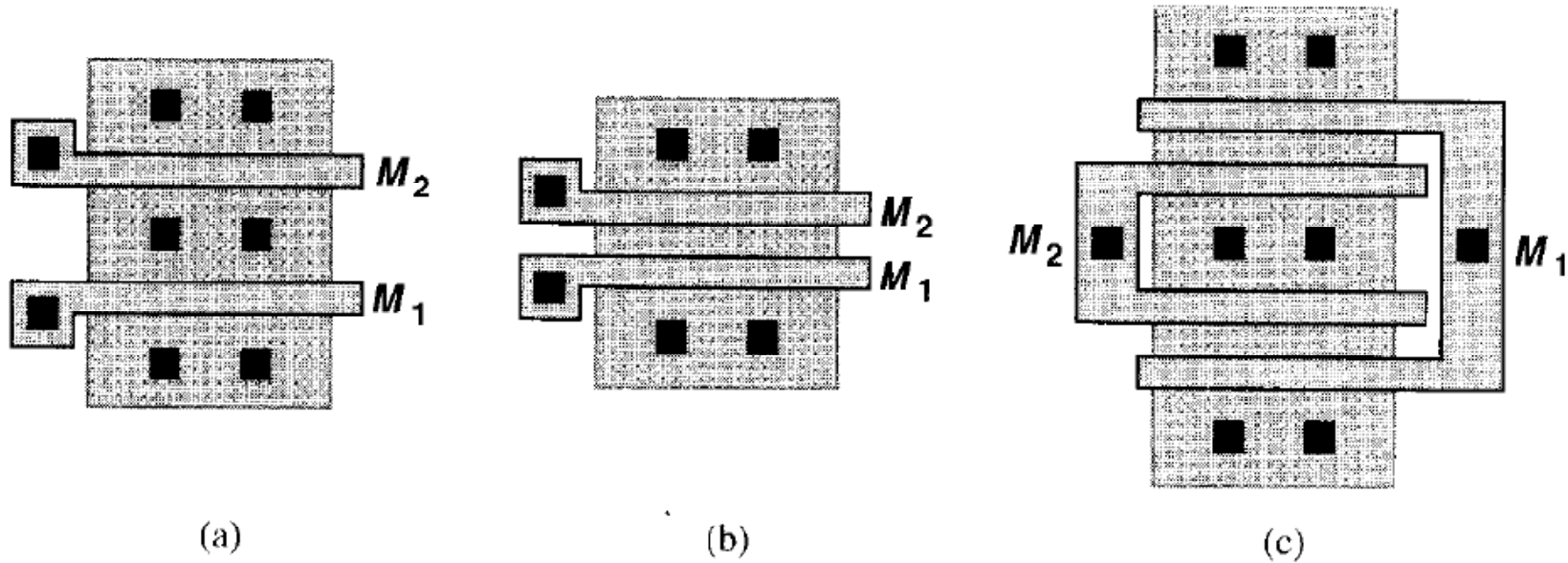


叉指数目较大时

- 分成两排或多排
- 防止芯片的尺寸不成比例



共源共栅电路的版图

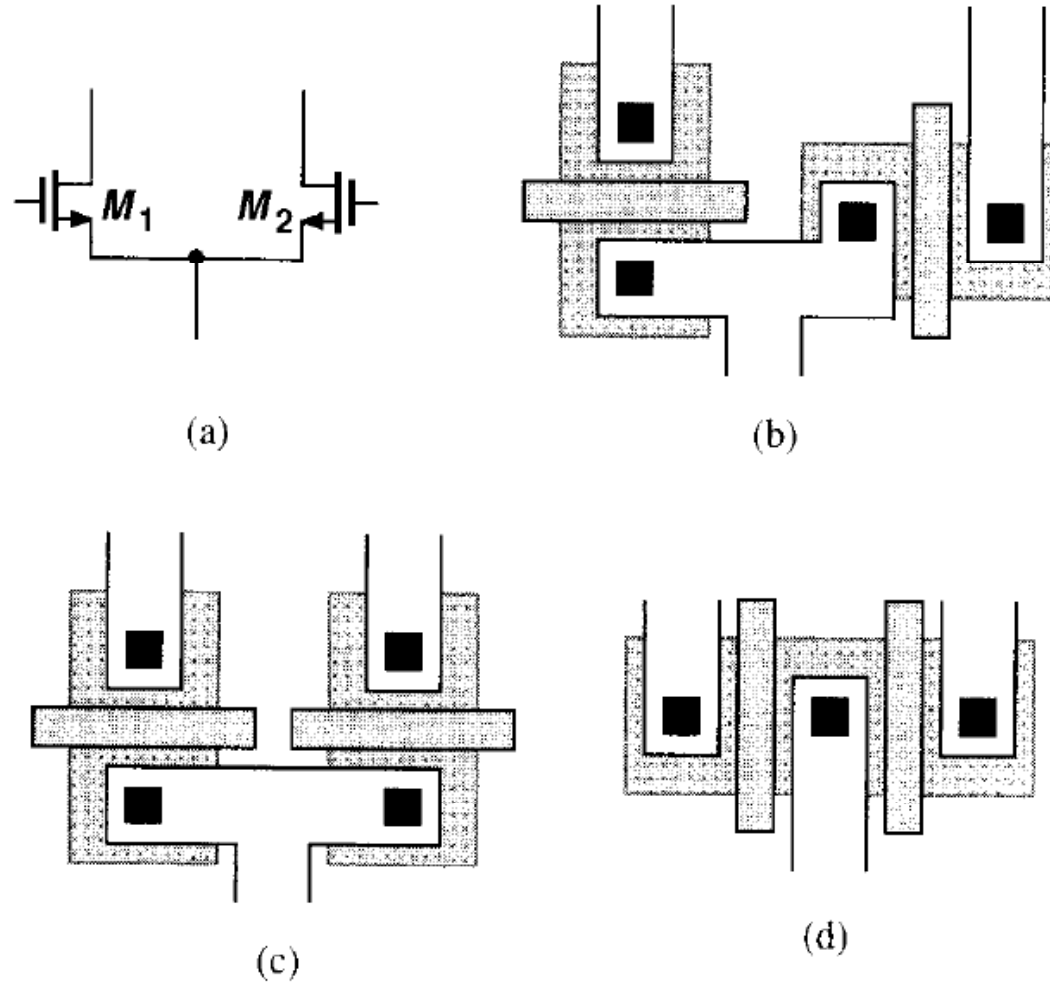


- 共源管与共栅管取一样的尺寸
- 共源管的漏与共栅管的源连在一起
- 该节点无其他连接关系！不必提供contact

本讲内容

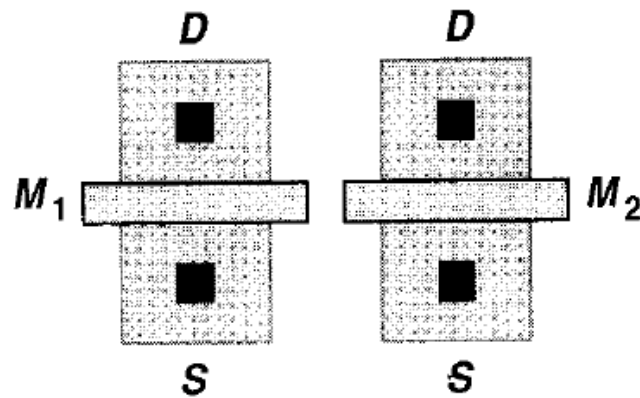
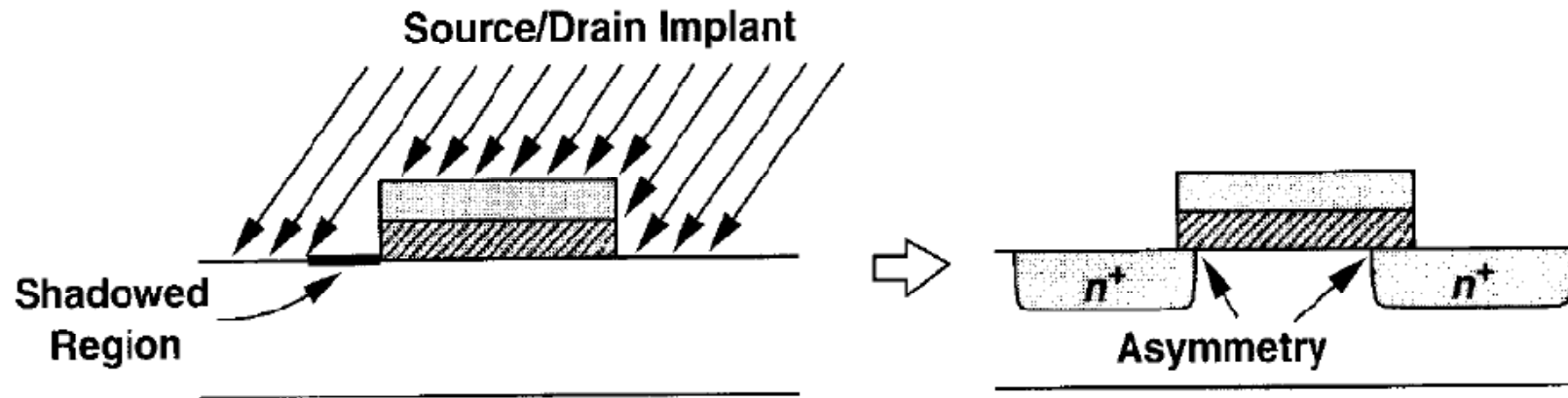
- 运放的带宽极限
- 偏置电路的设计
- 版图设计
 - 设计规则
 - 天线效应
 - 减小栅电阻与漏寄生电容
 - 对称性设计

差分对的对称

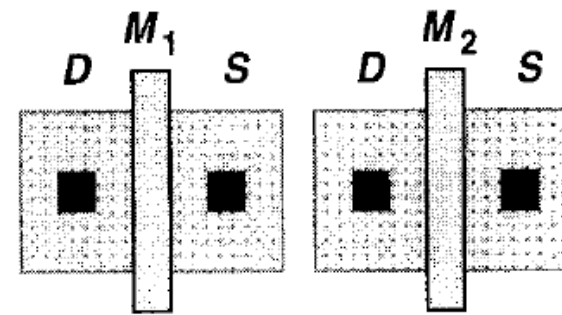


C相对较好

注入的方向性



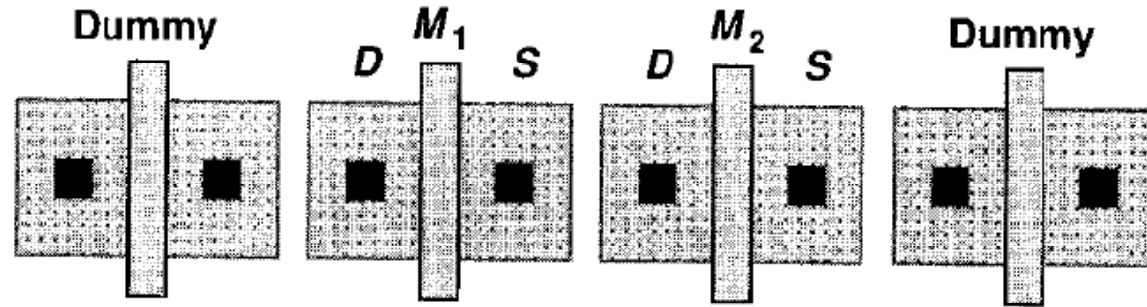
(a)



(b)

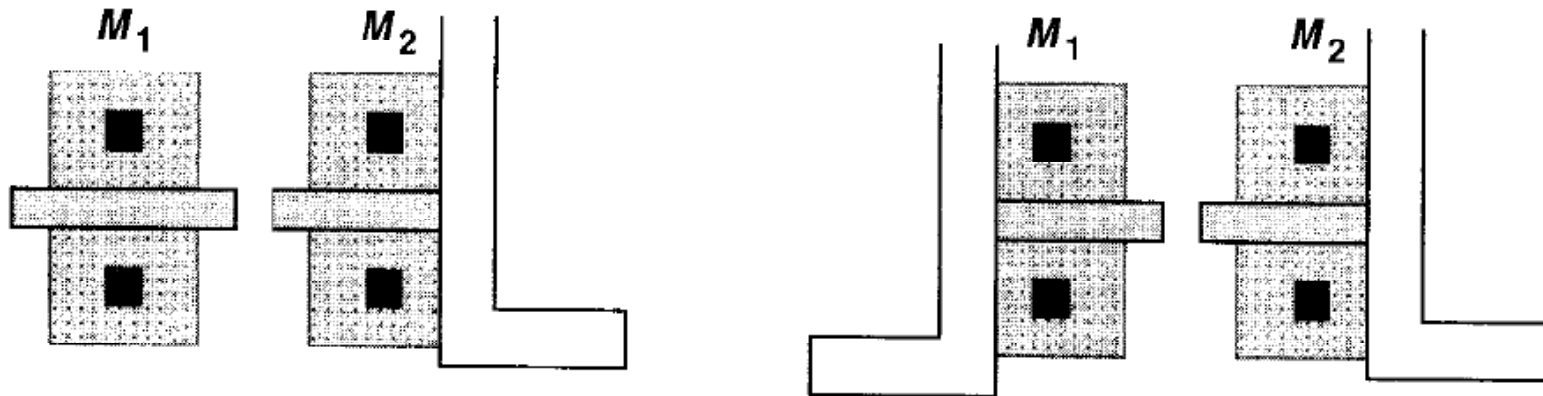
图a更好

使周围环境一致

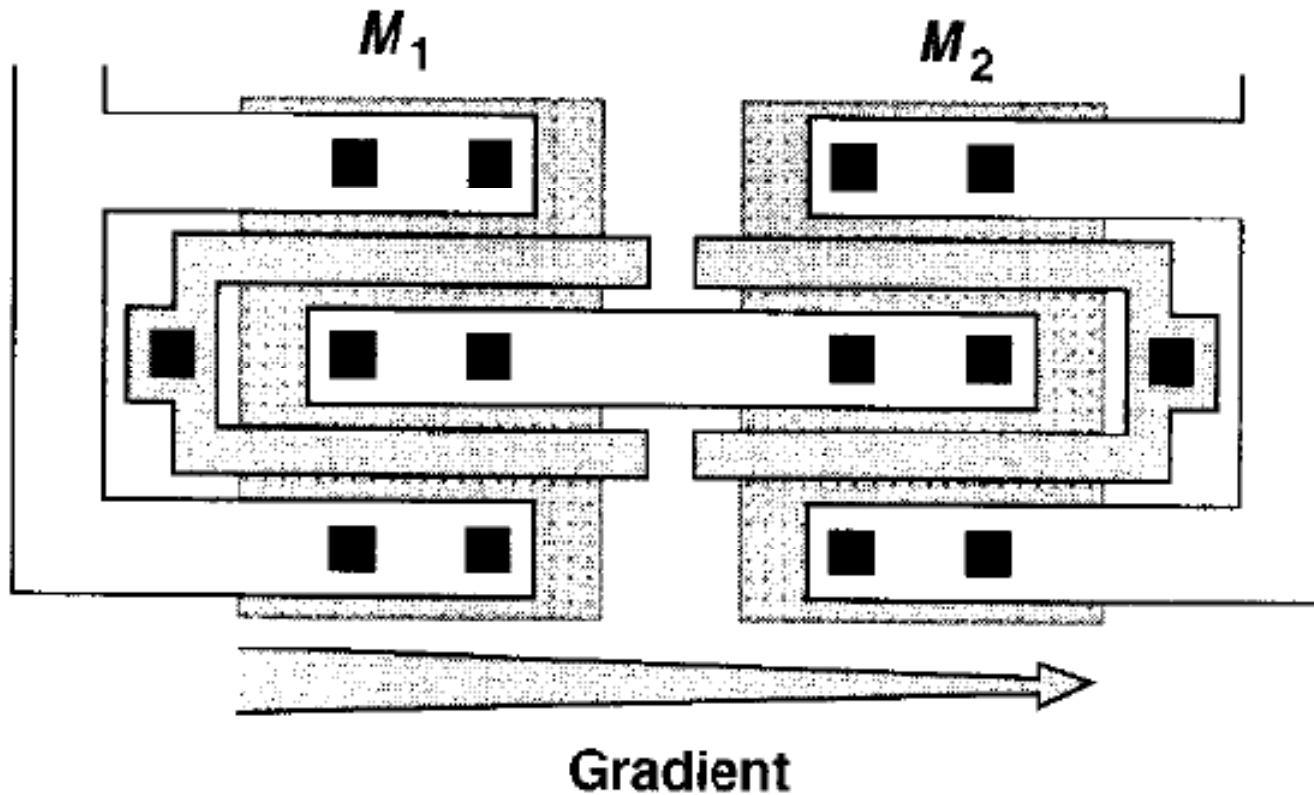


1、虚拟管 (Dummy)

2、Metal1应对称

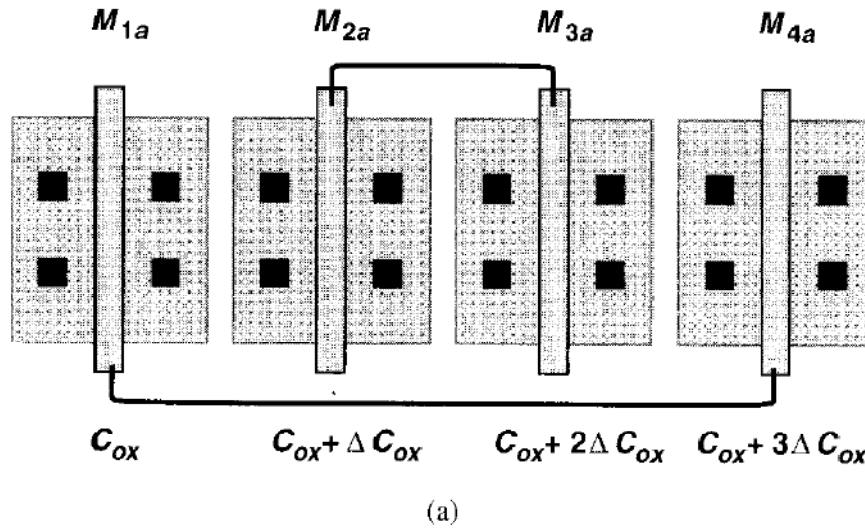


离子浓度梯度变化的影响

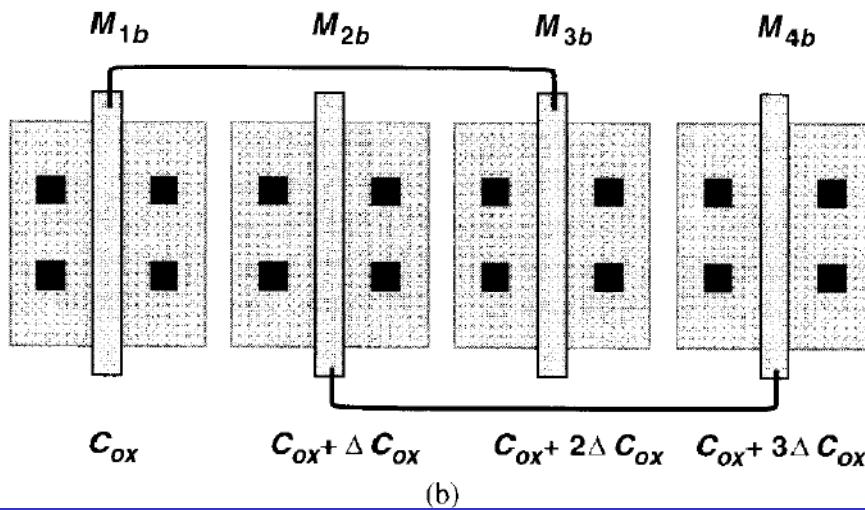


沿梯度方向， M_1 、 M_2 严重失配

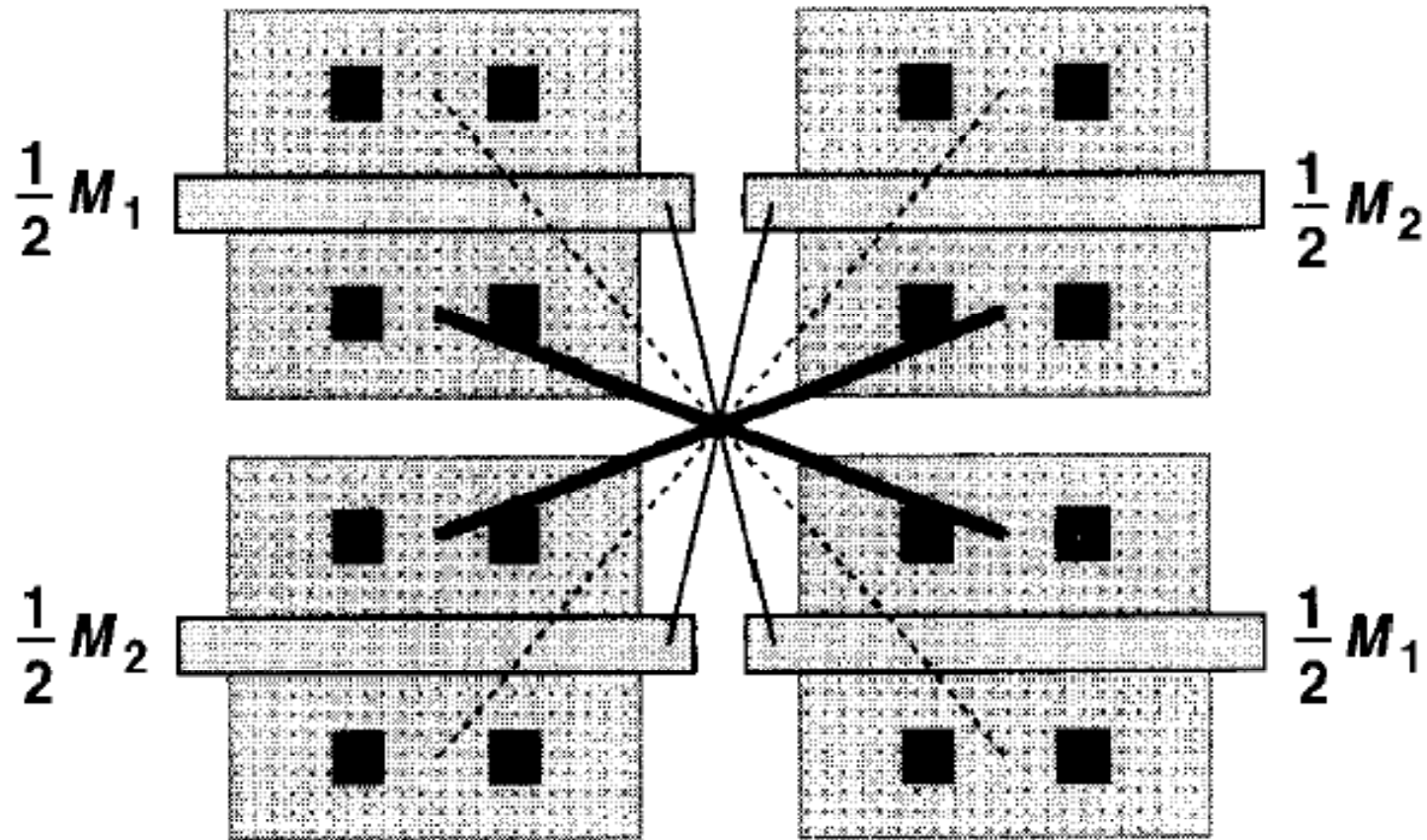
一维交叉耦合



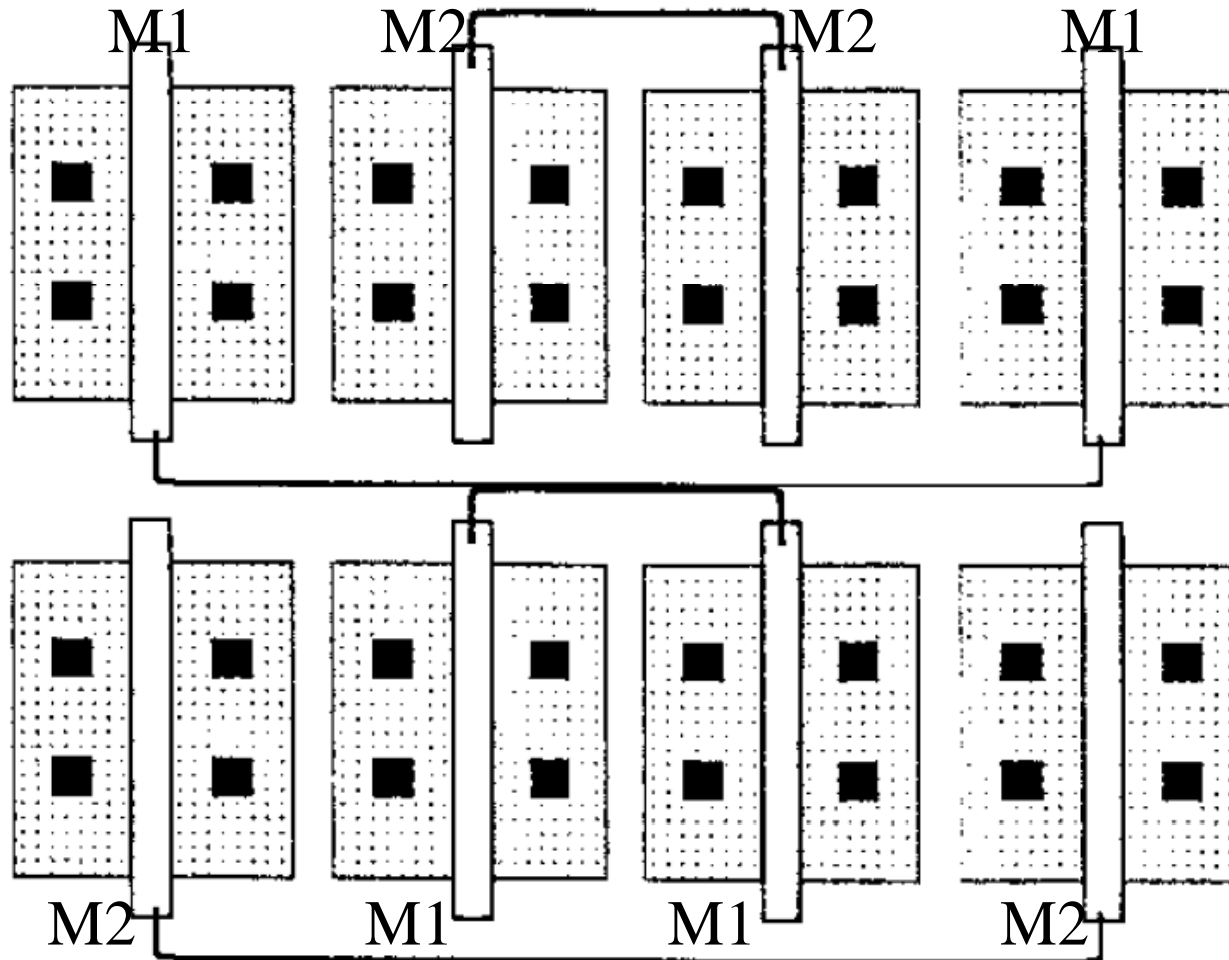
A图更好!
为什么?



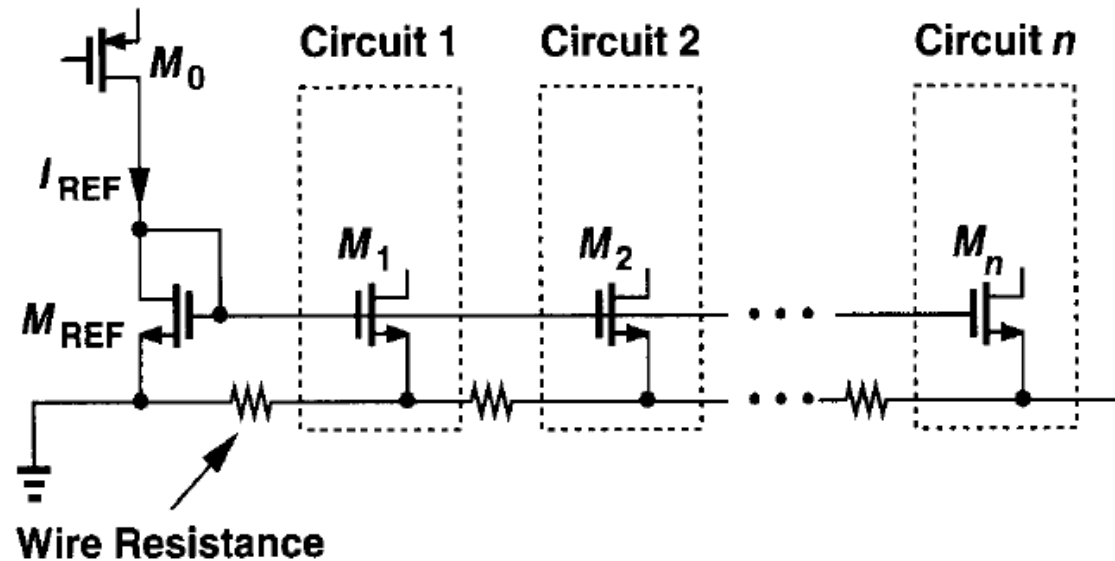
共质心的版图布局



共质心版图



参考源的分布

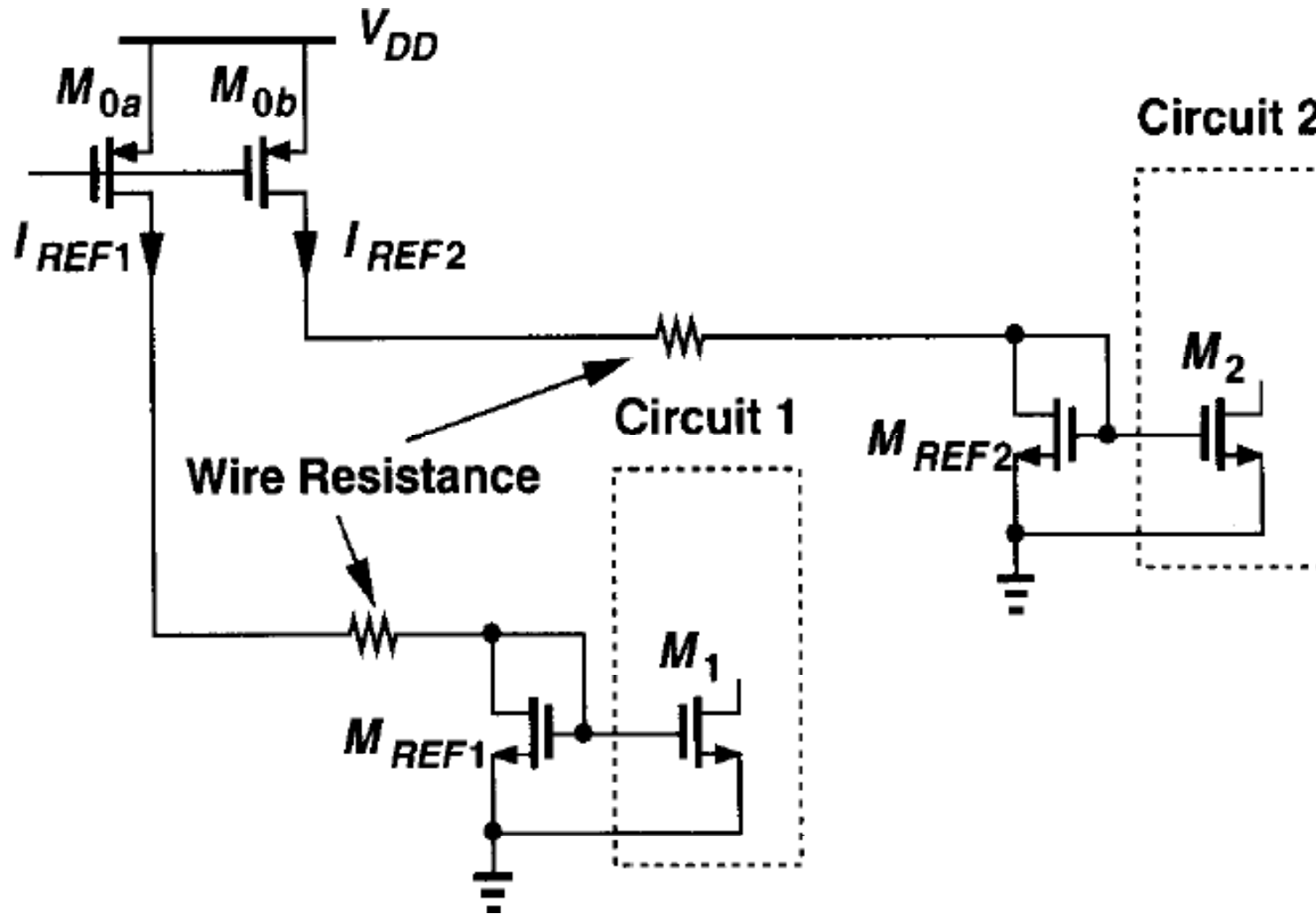


Circuit1、Circuit2等与 M_{REF} 距离较远

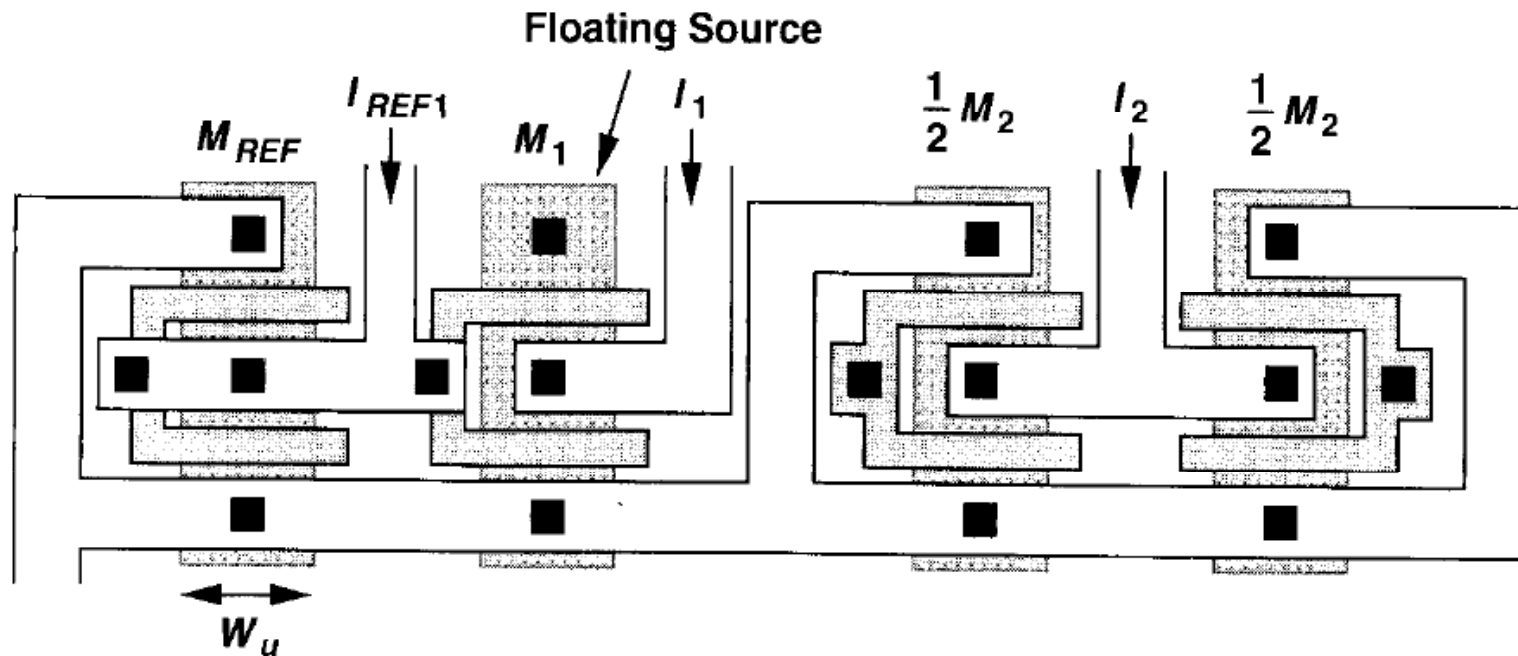
- 1、晶体管之间存在失配
- 2、电源线的连线电阻
- 3、栅电阻：噪声

问题：电流很难精确复制，噪声提高

电流的本地复制



电流的复制：2倍，0.5倍



$$I_1 = \frac{I_{REF}}{2}, I_2 = 2I_{REF}$$

注意，所有叉指管的 W 、 L 应该一样
通过修改叉指数目来改变电流倍数