

课程名称：集成电路设计实习

课程号：04831060

成绩：
-----

# 综合实验报告

姓名： xxxxxx

学号： xxxxxx

班级： xxxxxx

院系： xxxxxx

合作者姓名(学号)： xx(xx)

完成日期： xxxx/xx/xx

## 一、实验名称

两级运算放大器

## 二、实验目的

- 1、掌握模拟 CMOS 集成电路的设计方法，包括原理图的输入、电路分析、参数优化等操作；
- 2、完成两级运算放大器的版图设计，注意版图的对称性和隔离的设计，完成版图的 DRC 和 LVS 检查，并完成放大器电路的后仿真；
- 3、设计 Padframe，并完成互连（选做）。

## 三、实验要求

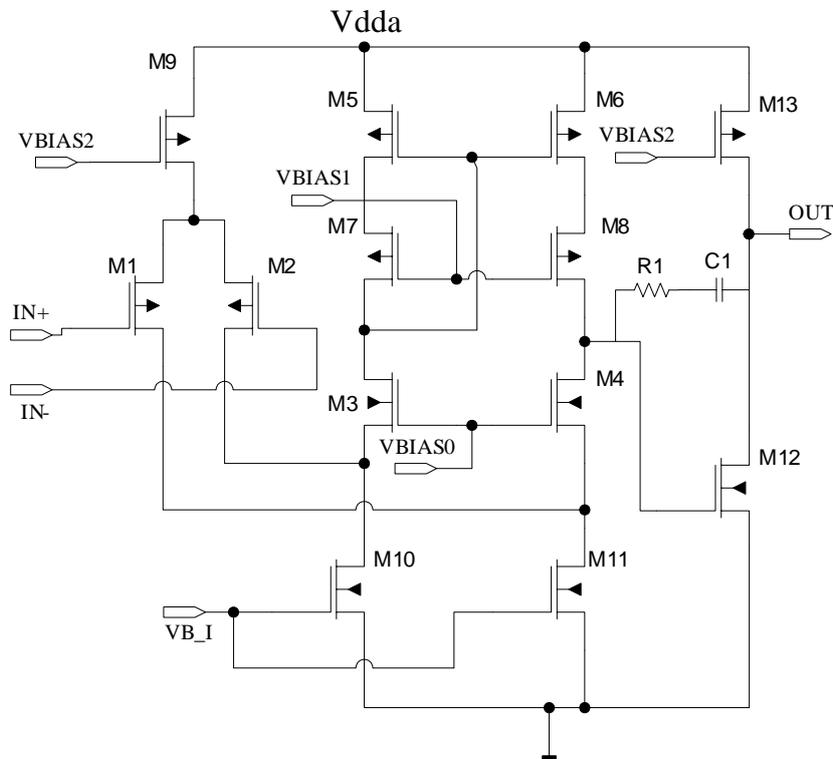
- 1、设计一个差分输入，单端输出的两级运算放大器；
- 2、运算放大器满足以下性能要求：（1）能够驱动负载，要求负载电容  $C_L = 15\text{pF}$ ，负载电阻  $R_L = 100\text{k}\Omega$ ；（2）使用电源端  $V_{DDA} = 5\text{V}$ ；（3）增益带宽积  $\text{GBW} > 40\text{MHz}$ ；（4）增益  $A_{V0} > 80\text{dB}$ ；（5）相位裕度  $\text{PM} > 65^\circ$ ；（6）输入摆幅大于 3V，输出摆幅尽量大；
- 3、可以自由选择电路结构，推荐第一级使用折叠式共源共栅，第二级采用共源输出级，补偿方式采用 Miller 电容+消零点电阻补偿；
- 4、要求设计出的电路功耗、面积合理，版图美观。

## 四、实验过程

### 1、实验原理

(1) 两级运算放大器：为了克服单级运算放大器输出摆幅小的缺点，需要设计两级运算放大器，其中运放的第一级提供尽可能高的增益，而运放的第二级则提供大的输出摆幅。

图 1 运算放大器部分主体结构（不含偏置电路）



(2) 两级运放的增益和输出摆幅的简单估算：

第一级增益： $R_{out1} = (g_{m4}r_{O4}(r_{o11} // r_{o1})) // (g_{m8}r_{o8}r_{o6})$ ， $A_{v1} = g_{m1}R_{out1}$ ；

第二级增益： $A_{v2} = g_{m12}(r_{o12} // r_{o13})$ ；总增益： $A = A_{v1}A_{v2}$ ；

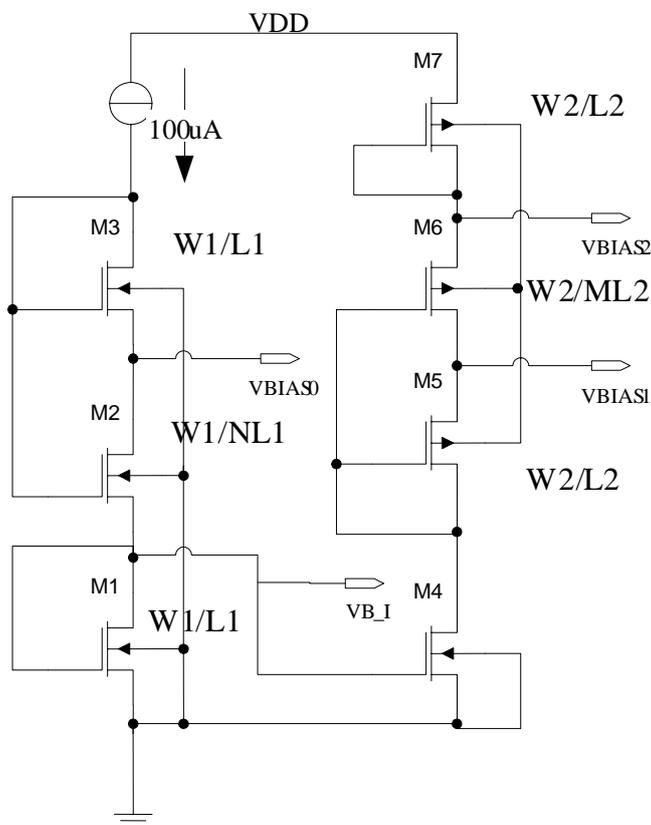
输出摆幅： $V_{out,min} = V_{dsat12}$ ， $V_{out,max} = V_{DD} - |V_{dsat13}|$ 。

(3) 运算放大器的偏置：

如图 1 电路所示，VB\_I, VBIAS0~2 都需要偏置电路提供，其中 VB\_I 和 VBIAS2 是镜像电流源的偏置电压，目的是使得 M9~M11 提供电路所需要的 200mA 电流，

为 M12 提供第二级所需要的 2.8mA 电流。

图 2 运算放大器的偏置电路



偏置电路工作原理：M1~3 支路： $VB_I = V_{GS1} = V_{TH1} + V_{Dsat1}$ ，其中 M2、M3 可看成串联后的 MOS 管 M23， $VBIAS0 = VB_I + V_{GS23} - V_{GS2}$ ，若 M1、M3 均取  $W_1/L_1$ ，而 M2 取  $W_1/(NL_1)$ ，则 M23 等效沟长为  $(N+1)L_1$ 。设  $V_{Dsat1} = V_{Dsat3} = V_{Dsat}$ ，则可以得到等效 MOS 管 M23 的  $V_{Dsat23} = \sqrt{N+1}V_{Dsat}$ ， $VBIAS0 = VB_I + (\sqrt{N+1}-1)V_{Dsat}$ ，因为要求  $VBIAS0 - VB_I > V_{Dsat}$ ，所以  $N > 3$ ，通常 N 取值为 4~6。M4 则将 100uA 电流以一定倍数镜像到 M5~7 支路，M5~7 支路的原理类似 M1~3 支路，M6 沟长取 L2 的 M 倍，M 取值 4~6。

(4) 极点位置与相位裕度：

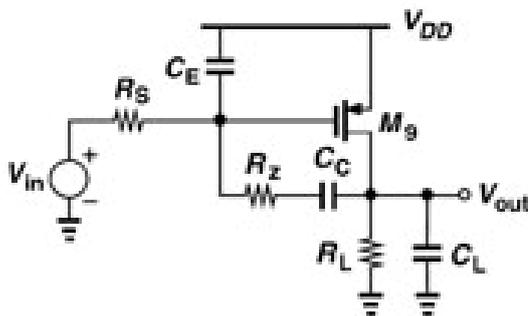
$$\text{相位裕度: } PM \approx 90^\circ - \tan^{-1}\left(\frac{GBW}{f_{p2}}\right) - \dots - \tan^{-1}\left(\frac{GBW}{f_{pn}}\right),$$

一般  $f_{p3}, f_{p4}, \dots, f_{pn}$  均远大于  $GBW$ ，所以 PM 表达式中含这些频点的项可以略去，但实际设计中还是必须考虑第三及更高极点的影响。在两极运放的设计

中，几个极和零点的位置如下：

$$\omega_{p1} \approx \frac{1}{R_S A_{V2} C_c}, \quad \omega_{p2} \approx \frac{g_m}{\left(1 + \frac{C_E}{C_C}\right) C_L}, \quad \omega_z \approx \frac{g_m}{C_c}.$$

(5) 两级运放的补偿：两级运放中右半平面的零点是一个严重的问题，因为它在表达式  $g_m / (C_c + C_{GD})$  中，而要使得主极点处在合适的位置， $C_c$  又要足够的大。增加与补偿电容串联的电阻能够有效改善零点的频率。



$$\omega_z \approx \frac{1}{C_c (g_m^{-1} - R_z)}$$

消除零点的方法：取

$$R_z = \sqrt{1/g_{m9} \times \frac{1}{g_{m9}} \times \frac{C_L}{C_c}} \approx \frac{1}{g_{m9}} \sqrt{\frac{C_L}{C_c}}$$

使得电路中的正零点变为负零点，并且移动到高频的位置上。

## 2、实验步骤

(1) 察看电路的模型文件 (.scs) 文件，或通过 MOS 管简单电路的 DC 分析并查看 MOS 管的直流工作点参数，得到 NMOS 和 PMOS 的基本工艺参数。通过查看模型文件可得<sup>1</sup>：

栅氧化层厚度：  $t_{OX} = 12.7nm$  ，

单位面积电容：  $C_{OX} = \frac{\epsilon_0 \epsilon_{OX}}{t_{OX}} = 2.719 fF / \mu m^2$  ，

迁移率：  $\mu_n = 414.6 cm^2 / Vs$  ，  $\mu_p = 258.9 cm^2 / Vs$  ，

可得出：  $\mu_n C_{ox} = 112.73 \mu A / V^2$  ，  $\mu_p C_{ox} = 70.39 \mu A / V^2$  ，

阈值电压：  $V_{THN} = 0.745V$  ，  $V_{THP} = -0.973V$

<sup>1</sup> BSIM3v3.3 MOSFET Model User Manual — Department of Electrical Engineering and Computer Sciences, University of California, Berkeley, CA 94720

(2) 在 schematic 中画出主电路、偏置电路和测试电路的电路图，但是先不画补偿电容和消零电阻，先调整电路，尽量使得低频增益满足设计要求。

(3) 粗略的估算，不考虑其他的二级效应，取  $\gamma = 0$ ，计算第一级放大电路的各项参数，先分配过电压值，取 M1~M2: 0.2V, M3~M8: 0.3V, M9: 0.3V, M10~M11: 0.3V，设流过 M9~M11 的电流为 200uA，流过 M1~M8 的电流为 100uA，根据：

$$g_m = \frac{2I_D}{V_{DSat}} = \sqrt{2\mu C_{OX} \frac{W}{L} I_D} \text{ , 可得到: } \frac{W}{L} = \frac{2I_D}{V_{DSat}^2 \mu C_{OX}} \text{ , 由上述过电压和电流的}$$

$$\text{参数推算出: } \left(\frac{W}{L}\right)_{1,2} = 71.03, \left(\frac{W}{L}\right)_{3,4} = 19.71, \left(\frac{W}{L}\right)_{5-8} = 31.57, \left(\frac{W}{L}\right)_9 = 63.14,$$

$$\left(\frac{W}{L}\right)_{10,11} = 39.43 \text{。为了便于画版图，将 M5~8 的 W 和 L 取相同数值，将 M3、}$$

M4、M10、M11 的 W 和 L 也取相同数值，另外，由于 M10、M11、M12 均为镜像电流源管，为了保证镜像电流的复制精度，这些管子的沟长 L 应该大于 1，这里先取 M9~M11 管的沟长 L 为 2。四舍五入以及将结果尽量取整倍数之后，得到最后确定的电路参数为：

M	1、2	3、4	5、6	7、8	9	10、11
W/um	0.55	2	0.6	0.6	2	2
L/um	40	80	20	20	128	80

(4) 设第二级电流为 3mA，由于 M9 和 M13 管共用偏置电压，所以 M13 的 W 应为 M9 的 15 倍；M12 管为放大管，沟长 L 取最小值，又根据第二极点的表达式  $f_{p2} \approx g_{m12} / 2\pi(1 + C_E / C_C) C_L$ ，一般设  $C_E / C_C = 1/4$ ，PM=4GBW 时  $PM > 65^\circ$ ，令  $f_{p2} \approx 4GBW$ 。GBW 题设要求 40MHz，取一定的余量，令  $4GBW = 200MHz$ ，可得到  $g_{m12} \approx 0.0236S$ 。于是可以得到：

M	12	13
W/um	420	1920
L/um	0.5	2

M12 和 M13 管子尺寸过大需要调整。

(5) 偏置电路根据计算出来的 M9~11 的参数取值，偏置电路 M1~3 支路通过

100uA 电流，M4~7 支路通过 200uA 电流，这样运放第二级 M13 只需要镜像得到偏置电路 M4~7 支路电流的 15 倍即可，小的电流镜像倍数能够提高电流镜像的精确度。偏置电路中 M2 的沟长倍数 N 和 M6 的沟长倍数 M 均取为 6。

(6) 仿真，对电路进行 AC 分析，得到低频增益低于设计要求。增大 M5~8 的沟长 L，增大 M3~8、M10、M11 的 W，使得低频增益超过设计要求。可以适当减小第二级电流，使得第二级的增益变大，但是效果不太明显。注意在调整的过程中根据电流要求也要同步改偏置电路 MOS 管的宽长比。

(7) 在电路中增加 Miller 补偿电容，由前述对第二极点位置的计算，其中的  $C_E \approx \frac{2}{3}W_{12}L_{12}C_{OX}$ ，考虑一定的余量，取  $W_{12}L_{12}C_{OX}$ ，得  $C_E \approx 571fF$ ，取  $C_C \approx 4C_E$ ，Miller 补偿电容值约为  $C_C \approx 2.3pF$ 。将其加入电路，观察仿真结果。

(8) 在电路中增加消零电阻  $R_Z = g_{m9}^{-1} \sqrt{C_L / C_C} \approx 110\Omega$ ，将其加入电路，观察仿真结果，相位裕度仍然不能满足要求。

(9) 要满足相位裕度的要求可以从以下几个方面考虑：

与提高相位裕度有关的公式	原理与实现
$\omega_{p1} \approx \frac{1}{R_S A_{V2} C_c}$	减小第二级放大倍数，将第一极点向高频方向移动，可以适当增加第二级电流，减小 $g_{m12}$ ，但效果不理想。
$\omega_{p2} \approx \frac{g_{m12}}{\left(1 + \frac{C_E}{C_C}\right) C_L}$	(1) 增大 $C_C$ 将第二极点向高频方向移动，此法也使得第一极点向低频方向移动； (2) 减小 $g_{m12}$ ，调 M12 宽长比，但 $g_{m12} \propto \sqrt{W}$ ，而 $C_E \propto W$ ，第二极点向高频方向移动的效果不理想。 (3) 减小 $C_L$ ，M13 管子尺寸很大，其 $C_{GD}$ 并联到 $C_L$ 上使负载电容增大，如能减小 M13 栅面积也能使第二极点右移
$PM \approx 90^\circ \dots - \tan^{-1} \left( \frac{GBW}{f_{pn}} \right)$	将第三极点及更高频极点向高频方向移动
$\omega_z \approx \frac{1}{C_c (g_m^{-1} - R_Z)}$	适当增大 $R_Z$ ，使得负零点向低频方向移动

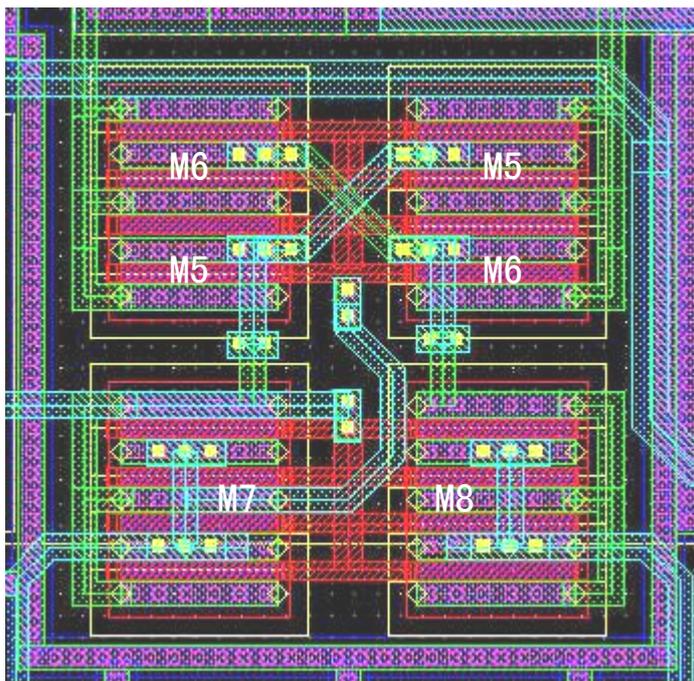
先增大  $C_c$  并仿真观察结果，如果 PM 仍不满足要求则适当增加第二级电流，或者增大  $R_z$ ，但是  $R_z$  不能太大，原因在第七部分解释。上述调整后相位裕度接近设计指标，达到  $64^\circ$  左右，观察仿真得到的频率特性曲线，可以观察到在 GBW 附近，相移特性曲线下降的很快，说明第三极点及以后的极点对 GBW 处的相位特性也有一定的影响，考虑调整更高频极点。电路中的高频极点主要与电路中 MOS 管的  $C_{GD}$  或  $C_{GS}$  有关，减小这些电容，也就是在保持宽长比的情况下减小 MOS 管的宽长，能使得高频极点向更高频率方向移动。MOS 管宽长与极点的关系可以总结如下（ $f_{pn}$  表示第三极点或更高频极点）

M	1、2	3、4	5、6	7、8
影响的极点	$f_{pn}$	$f_{p1}, f_{pn}$	$f_{pn}$	$f_{p1}, f_{pn}$
M	9	10、11	12	13
影响的极点	$f_{pn}$	$f_{pn}$	$f_{p1}, f_{p2}$	$f_{p1}, f_{p2}$

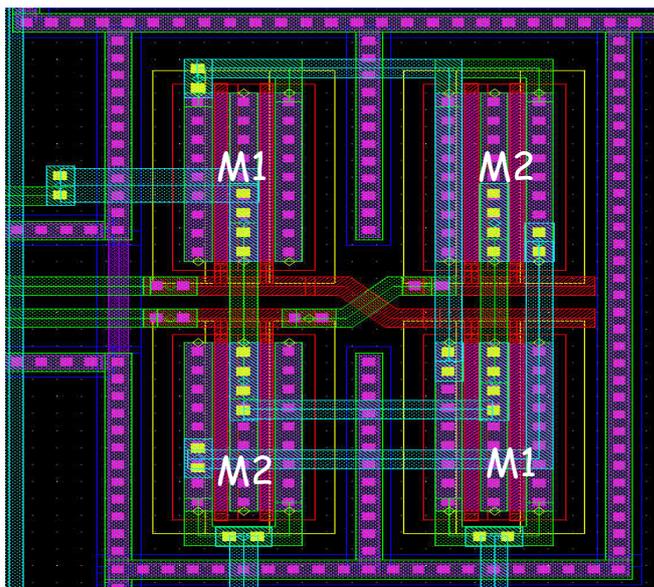
经过多次尝试和仿真，保持宽长比不变，M9 和 M13 的沟长 L 减小到  $1.2\mu\text{m}$ ，M5~8 的沟长 L 减小到  $0.8\mu\text{m}$  可以在满足低频增益要求的条件下同时使得相位裕度超过设计要求，达到约  $67^\circ$ ，M3、M4、M10、M11 由于是 NMOS 管，所占面积不大，为了保证第一级增益和保持电流镜像精度，沟长仍然取为  $2\mu\text{m}$ 。

(10) 检查电路，检查每个元件的直流工作点，确保每个 MOS 管都工作在饱和区且  $V_{dsat}$  不会太小（约  $>200\text{mV}$ ），第一级放大电路的 PMOS 上半部分和 NMOS 下半部分的  $g_m r_o$  大体对称接近，第一级和第二级的电流满足要求。微调各元件参数，使得仿真测得的电路各个指标全面超越设计要求，以保证在提取电路的寄生参数作后仿真时电路指标仍然能够满足设计要求。最终的电路参数参见第五部分的实验数据。最后，为了方便画版图，将电路中各 MOS 管的 Multiplier 改为 4 的倍数。

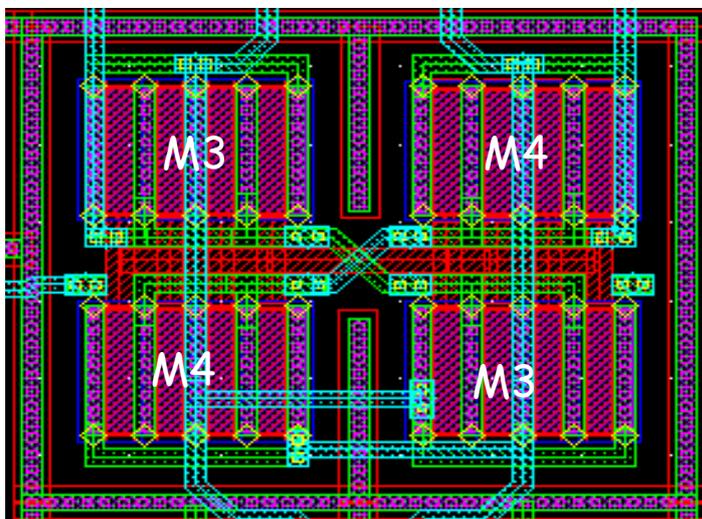
(11) 仿真完成后开始设计电路的版图，对于放大器第一级的对称管，尽量采用共质心对称的画法，这样做的好处是 (i) 使得对称管在制作时的物理参数尽量对称，避免工艺偏差的影响；(ii) 对称的图形可以通过拷贝翻转得到，减少绘图工作量。



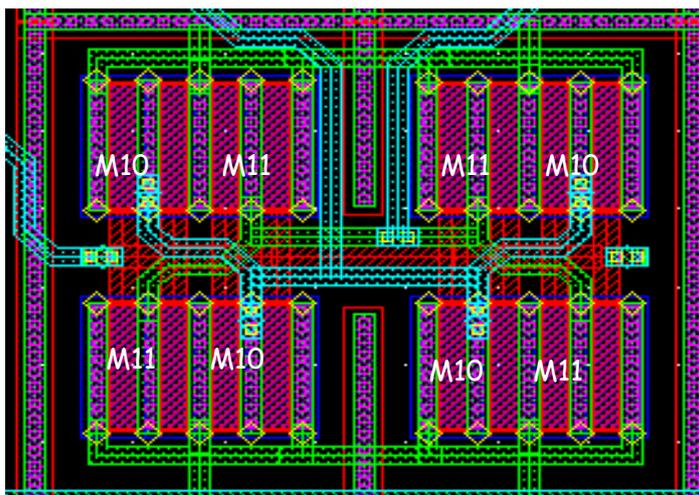
- 1、M5、M6 采用交叉共质心结构；
- 2、M7 和 M8 为了紧凑没有采用交叉对称结构，因为 4x 的叉指结构如图所示，如果画成交叉对称结构要求两管必须共源或共漏，但 M7、8 不满足这样的要求；
- 3、如图 M8 的 3 源 2 漏结构有利于减小  $C_{GD8}$  的大小，对第二极点向高频移动有利。



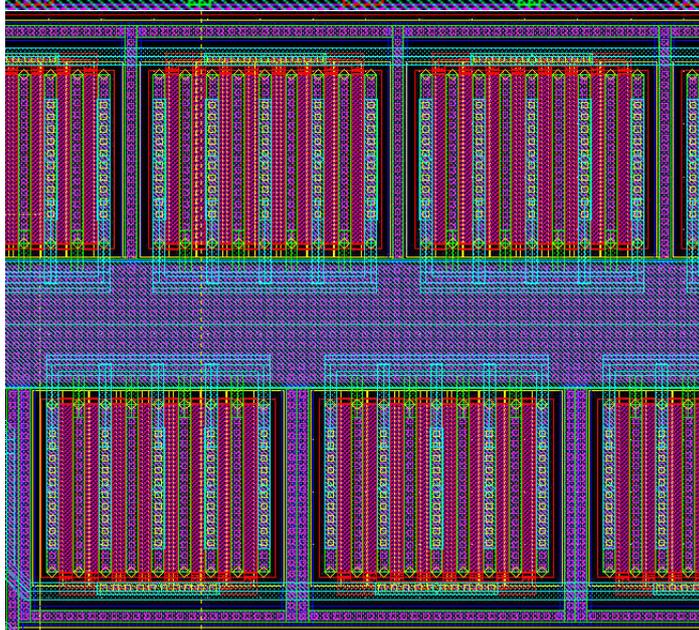
- 1、放大管 M1、M2 采用共质心对称的结构；
- 2、M1 管到左右 ntap 的距离与 M2 管到左右 ntap 的距离相同，为 M1、M2 提供接近相同的物理环境；
- 3、V+和 V-输入对称引出



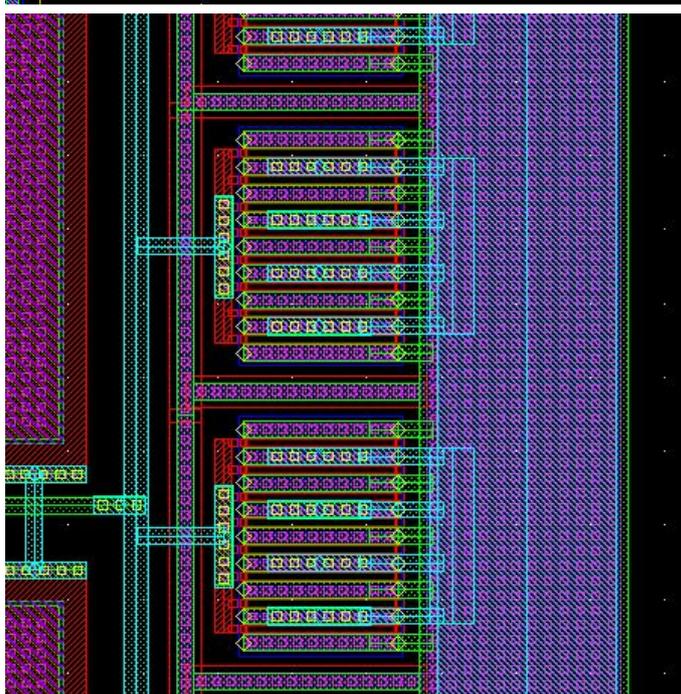
- 1、M3、M4 也采用共质心对称的结构，同样 M3、M4 周围的“环境”也接近相同；
- 2、如图 M4 的 3 源 2 漏结构有利于减小  $C_{GD4}$  的大小，对第二极点向高频移动有利。



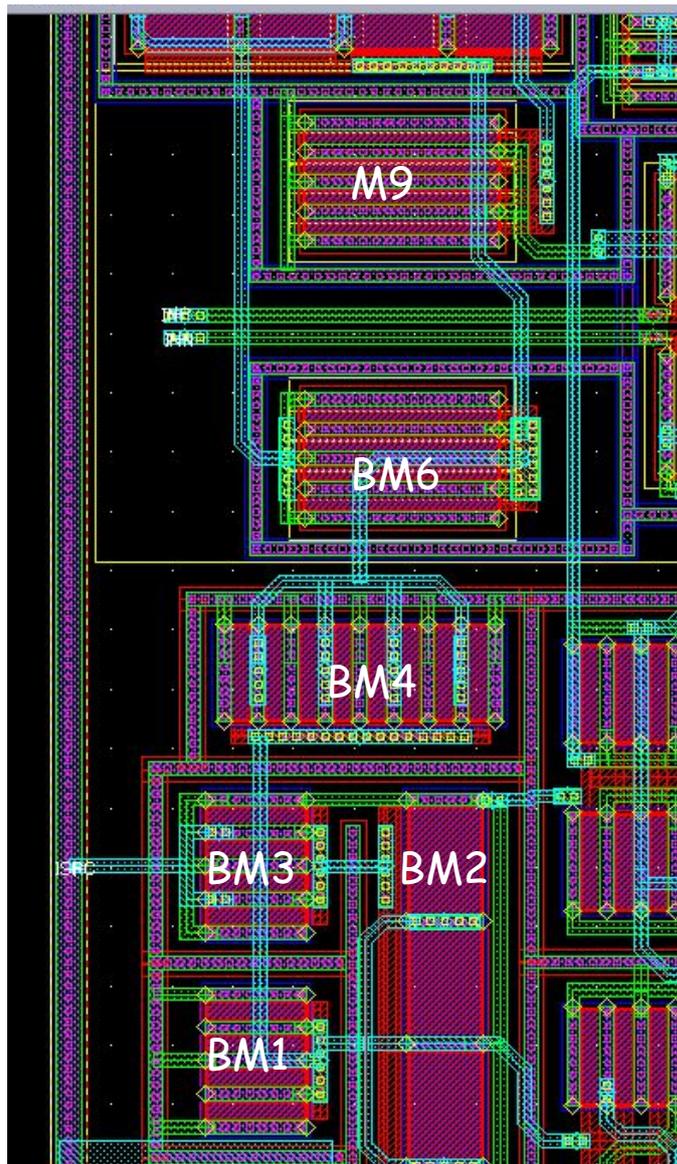
- 1、M10、M11 采用共质心的对称结构，由于两管共源接地，所以可以采用如图更细分的交叉对称形式；
- 2、同样的 3 源 2 漏结构有利于减小漏端电容，将高频极点右移。



- 1、M13 每 8 个 Finger 一组，共 7 组，减少绘图工作量；
- 2、M13 上下对称摆放；
- 3、Metal1 和 Metal2 最高过电流能力为 0.5mA/um，运放第二级电流接近 3mA，取余量 6mA，金属线宽 12um，确保电路可靠。



- 1、M12 每 8 个 Finger 一组，共 5 组，减少绘图工作量；
- 2、对称走线；
- 3、输出和接地金属线宽 12um，确保可靠性。



M9 和放大器的偏置电路，版图设计时尽量紧凑。

(12) 修改版图，使之通过 DRC 和 LVS 规则检查，提取版图参数并完成后仿真。

## 五、实验数据

放大电路部分 MOS 管宽长比：

MOS 管	$L/\mu m$	$W/\mu m$	Multiplier	Total $W/\mu m$
M1, M2	0.55	10	4	40
M3, M4	1.5	8	8	64
M5, M6	0.8	7	4	28
M7, M8	0.8	7	4	28
M9	1.2	16	4	64
M10,M11	1.5	8	8	64
M12	1.2	16	56	896
M13	0.5	10	40	400

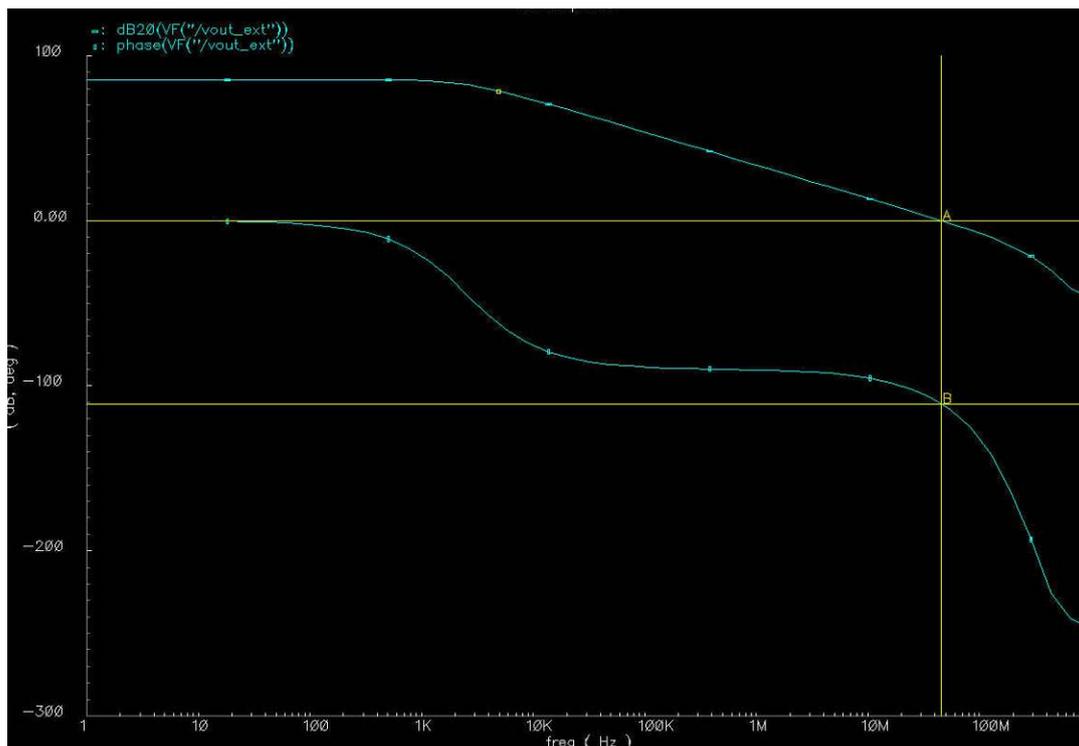
电阻 R 阻值为  $180\Omega$ ；

电容值选为  $(43\mu m \times 41\mu m) 1.31pF \times 2$ ；

偏置电路部分 MOS 管宽长比：

MOS 管	$L/\mu m$	$W/\mu m$	Multiplier	Total $W/\mu m$
M1	1.5	8	4	32
M2	9	6	4	24
M3	1.5	8	4	32
M4	1.5	8	8	64
M5	1.2	16	4	64
M6	7.2	16	4	64
M7	1.2	16	4	64

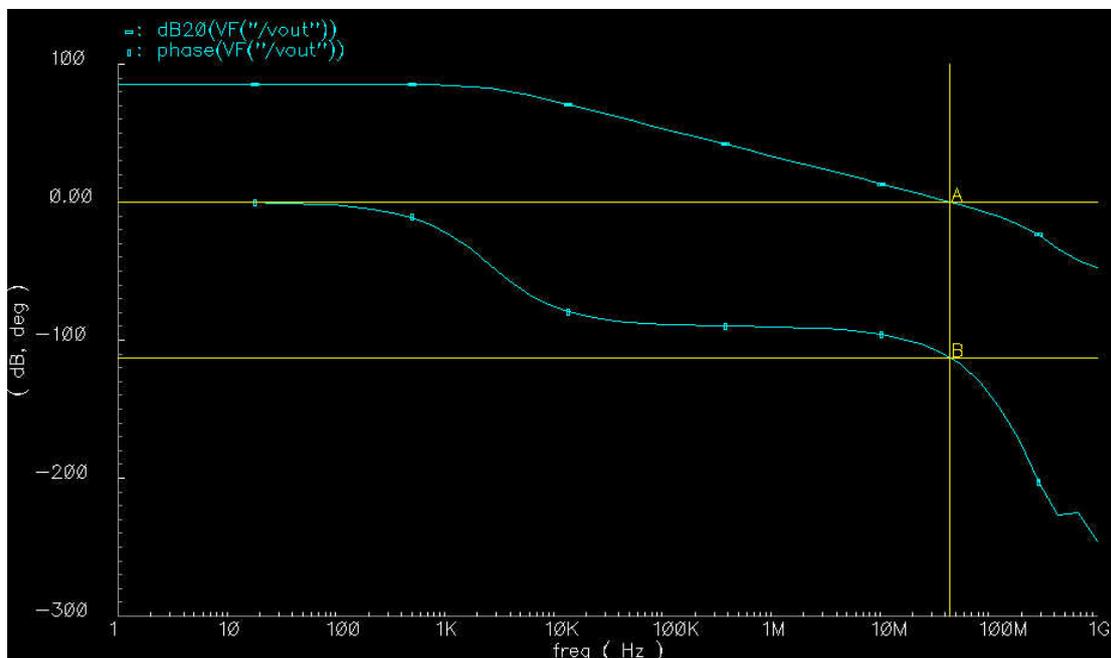
运算放大器第一级折叠式共源共栅支路总电流约  $400mA$ ，第二级共源输出级支路总电流约  $2.8mA$ （实际仿真约  $3mA$ ），偏置电路总电流  $300mA$ 。



前仿 AC 分析结果:

A: (44.0363M 209.999m) delta: (191.055K -113.169)  
 B: (44.2273M -112.959) slope: -592.338u

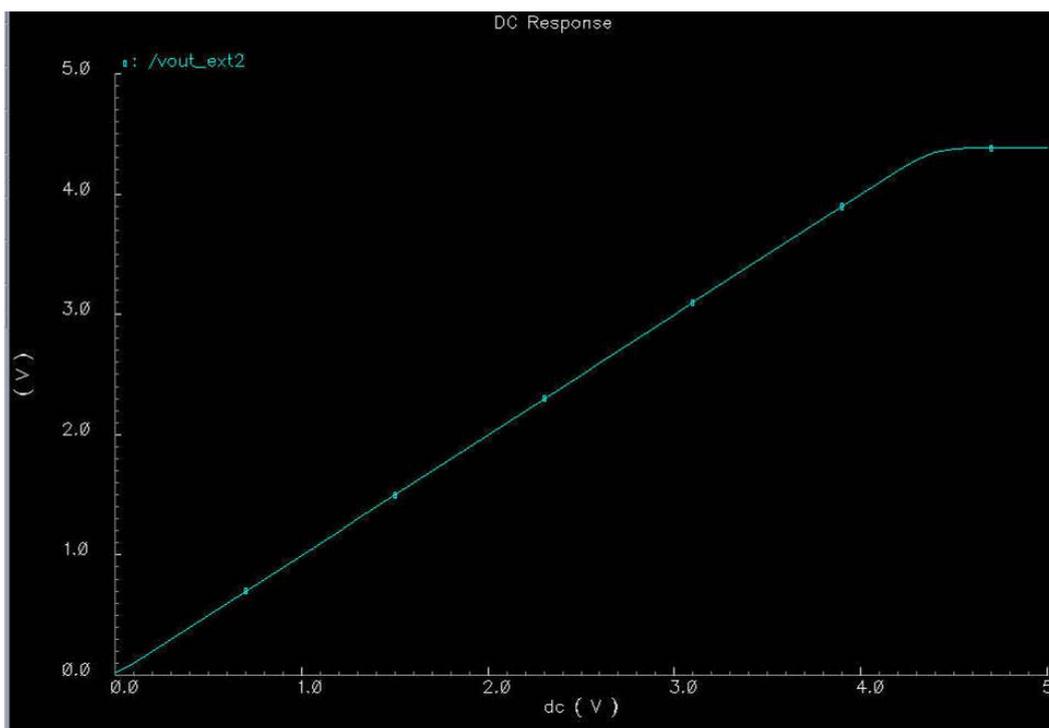
低频增益  $A_{v0} \approx 85\text{dB}$ , 增益带宽积  $GBW \approx 44\text{MHz}$ , 相位裕度  $PM \approx 67^\circ$



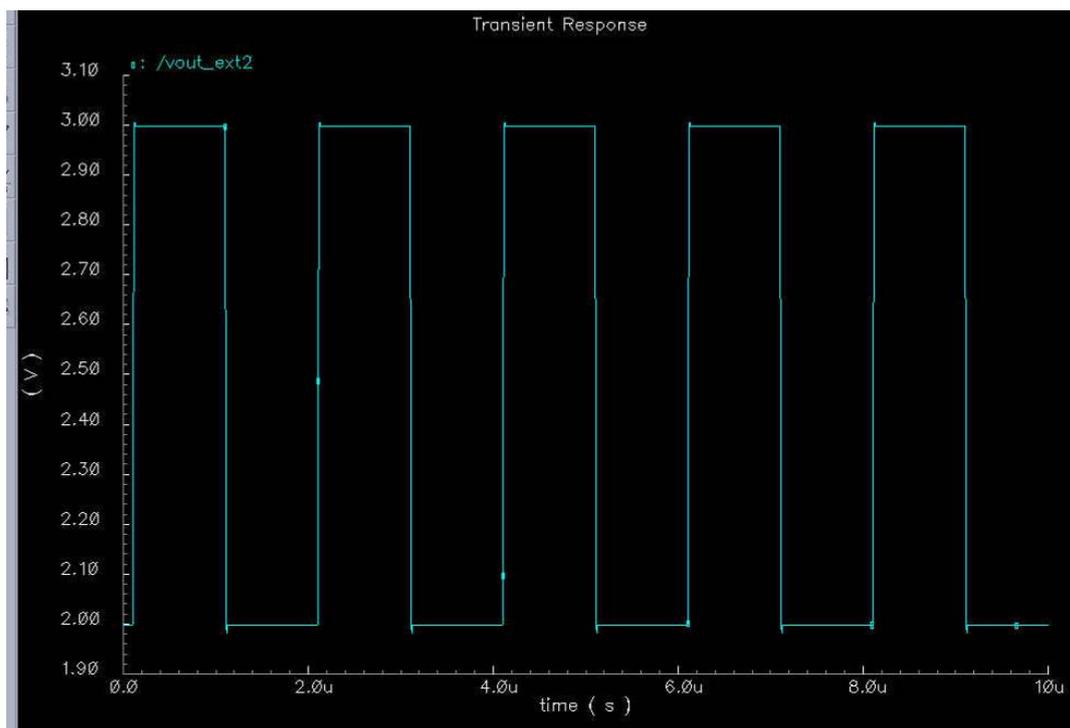
后仿 AC 分析结果:

A: (45.1017M 34.9376m) delta: (109.036K -111.015)  
 B: (45.2108M -110.98) slope: -1.01815m

低频增益  $A_{v0} \approx 84.5\text{dB}$ , 增益带宽积  $GBW \approx 45\text{MHz}$ , 相位裕度  $PM \approx 69^\circ$

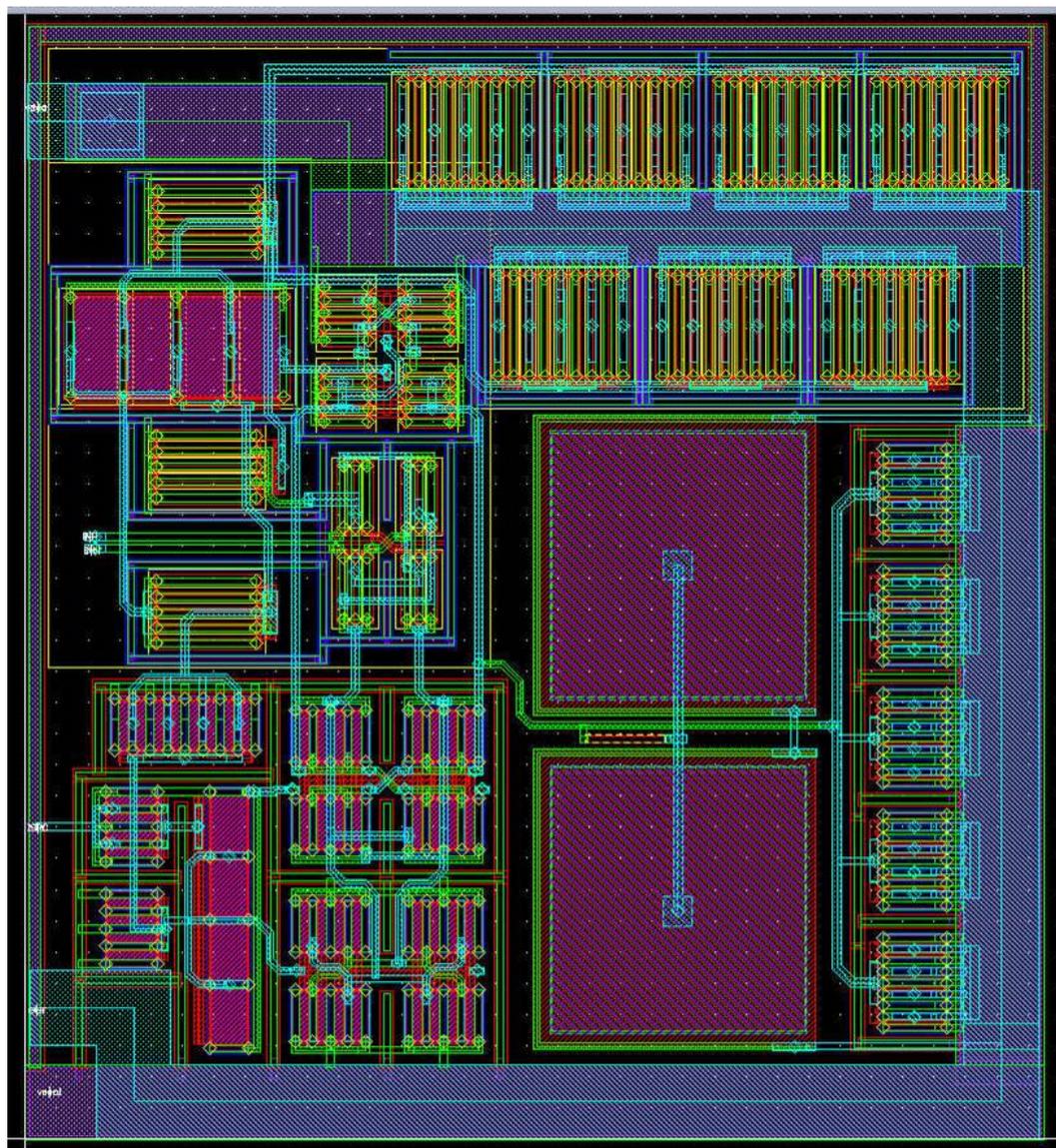


后仿 DC 分析结果：输出摆幅 0~4.2V

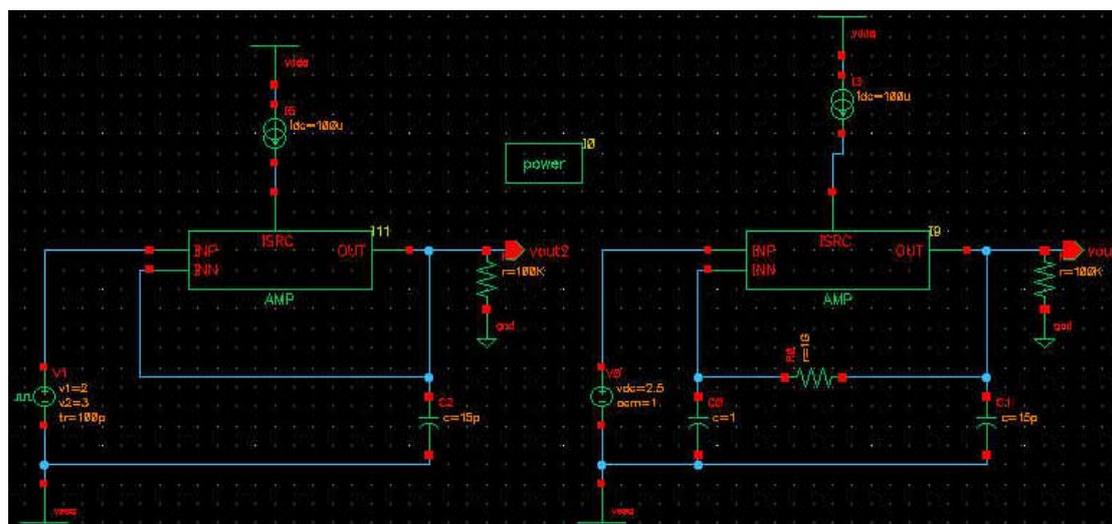


后仿瞬态分析结果

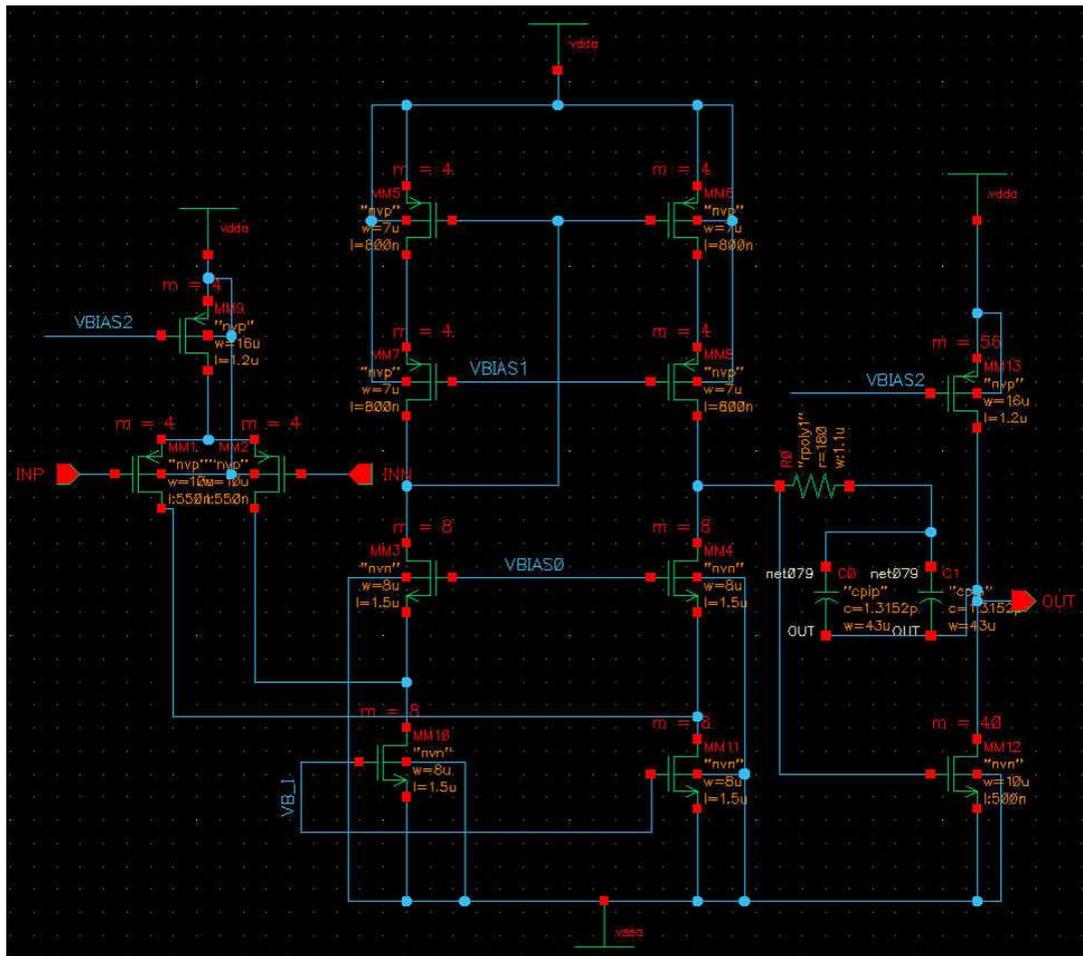
芯片总面积：长 178.75um × 宽 163.15um



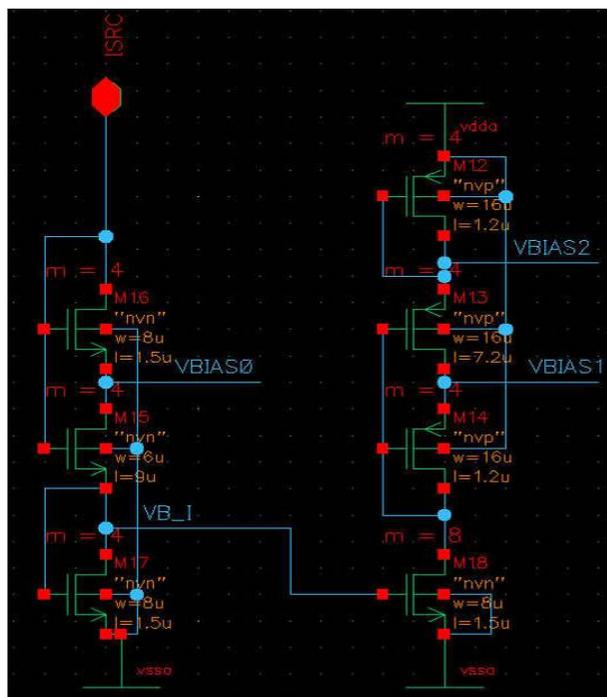
版图概貌



测试电路图



放大级电路图



偏置部分电路图

## 六、实验结论

设计指标：

差分输入，单端输出

- $CL=15pF$ ,  $RL=100K$
- $VDDA=5V$
- $GBW>40MHz$
- $A_{v0}>80dB$
- $PM>65$
- 输入摆幅大于 3V，输出摆幅尽量大

由前述实验结果可知，上述设计指标全部满足，并且在低频增益  $A_{v0}$ 、相位裕度  $PM$  和增益带宽积  $GBW$  指标上还留有一定的余量，可以保证电路的稳定工作。

## 七、遭遇问题和解决方法

1、仿真的结果与理论计算的结果相差较大。

说明：cadence 下所用的模型是 BSIM3v3 的模型，比用于理论计算的 Level1 模型更精确也更复杂，无法手工计算，因此 Level1 模型只能用于提供修改电路的理论指导，在选择电路中元件参数时，不应该以理论计算值为准，而要依靠仿真结果改进电路。

2、仿真时 AC 分析波形奇异不正确。

说明：我在仿真中有两次得到错误的频率特性曲线，原因是：

(1) 将折叠放大管 M1、M2 的衬底接地。由于衬底接地， $V_{BS} < 0$  恒成立且数值较大，由于  $V_{TH} = V_{TH0} + \gamma(\sqrt{|2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|})$ ，受到衬底偏压的影响，阈值电压较大，折叠放大管 M1、M2 就很难导通，亚阈值现象比较严重。而且由于衬底接地，MOS 管表面没有沟道形成，沟道电容消失，对 MOS 管的高频特性影响很大，使得频率特性曲线发生畸变。

(2) 将运放的  $V_+$  和  $V_-$  端画反，电路形成正反馈，无法工作，甚至可能形成振

荡。在 AC 分析测试电路中，由于正反馈的影响，曲线发生畸变。

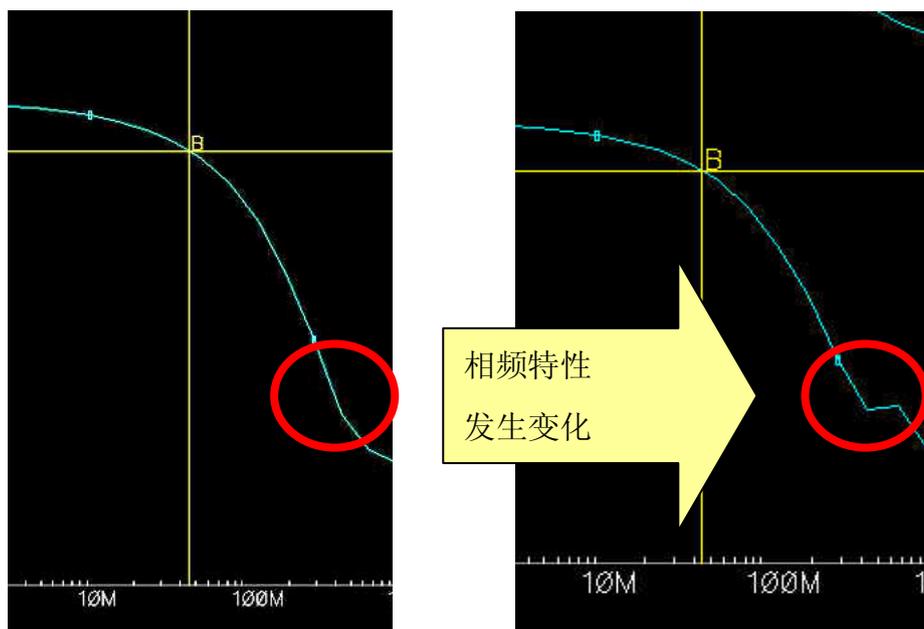
3、增大  $R_z$  有利于提高相位裕度，但是此方法不正确。

说明：根据  $\omega_z \approx \frac{1}{C_c(g_m^{-1} - R_z)}$  分析，在仿真时确实增大  $R_z$  能够使得负零点向更

低频率移动，使得 GBW 附近相频特性曲线斜率变缓，另外，当  $R_z = \frac{1}{g_m} \frac{C_L}{C_C}$  时，

负零点前移到第二主极点位置并抵消第二主极点。问题在于在集成电路工艺中电阻的阻值是不准确的，有较大的偏差。例如我设计的  $R_z$  阻值是  $180\ \Omega$ ，在参数提取后变为  $200\ \Omega$ ，实际流片中肯定有更大的偏差。如果电阻太大使得负零点移到 GBW 之前，虽然可以在仿真时提高相位裕度，但是由于  $R_z$  值不可控，导致零点位置不可控，使得相位裕度也无法控制，这样设计出来的电路其电路参数是不稳定的，无法满足统一性的设计要求。

4、后仿的曲线与前仿不同。如下图：



左图为前仿的频率特性曲线，右图为后仿的情况。

说明：由于寄生参数的提取使得电路中  $R_z$  阻值增大，导致后仿的相频特性曲线与前仿不同，负零点前移，但是因为不影响电路指标的实现，所以不需要特别处理。