

# 北京大学信息学院考试试卷

考试科目： 数字集成电路原理 考试时间\_\_\_\_\_

姓名： \_\_\_\_\_ 学号： \_\_\_\_\_

题号	一	二	三	四	五	六	七	八	九	十	总分
分数											
阅卷人											

## 考场纪律

1. 请持学生证入场考试，并按指定座位就座；除必要的文具和教师指定的用具用书外，其他所有物品包括手机、呼机、MP3、电子词典、书籍、笔记、纸张等严禁带入座位，必须放在指定位置。凡有试题印制问题请向监考教师提出，不得向其他考生询问。
2. 认真、诚实、独立并在规定时间内完成答卷，严禁任何形式的违纪作弊行为；否则，本答卷成绩以 0 分记，并根据《北京大学本科考试工作与学术规范条例》给予纪律处分。
3. 提前交卷的考生不要在考场逗留，不要在门口、窗外大声喧哗。考试结束时间到，请停止答卷，在座位等候监考教师收卷并清点完毕，方可离开考场；考题和试卷不得带出考场。

以下为答题纸，共 6 页

### 一、填空

- 1、(4分) CMOS 逻辑电路中 NMOS 管是 ( 增强 ) 型，PMOS 管是 ( 增强 ) 型； NMOS 管的体端接 ( 地 )，PMOS 管的体端接 ( VDD )。

装  
订  
线  
内

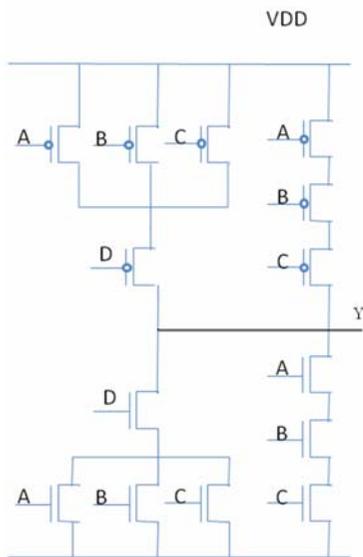
不  
要  
答  
题

2、(8分) CMOS 逻辑电路的功耗由 3 部分组成, 分别是 ( 动态功耗 )、  
 ( 开关过程中的短路功耗 ) 和 ( 静态功耗 ); 增大器件的阈值  
 电压有利于减小 ( 短路功耗和静态 ) 功耗。

3、(6分) 饱和负载 NMOS 反相器的 3 个主要缺点是: ( 输出高电平有阈值损  
 失 ), ( 输出低电平不是 0, 与比例因子  $K_r$  相关 ),  
 ( 输出低电平时有静态功耗 )。

4、(3分) 三态输出电路的 3 种输出状态是: ( 高电平 ),  
 ( 低电平 ) 和 ( 高阻态 )。

二、(12分) 画出实现  $Y = \overline{(A + B + C)D} + ABC$  的静态 CMOS 电路, 如果所有 MOS  
 管的导电因子都是  $k$ , 分析几个输入同步变化的等效反相器的导电因子 ( $K_{Neff}$   
 和  $K_{Peff}$ ), 在什么输入状态下电路有最小的低电平噪声容限。

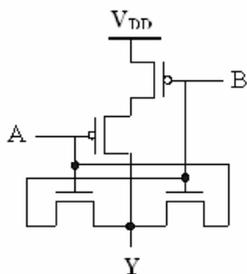


$$K_{neff} = 1/(1/3k + 1/k) + k/3 = 3k/4 + k/3 = (13/12) K;$$

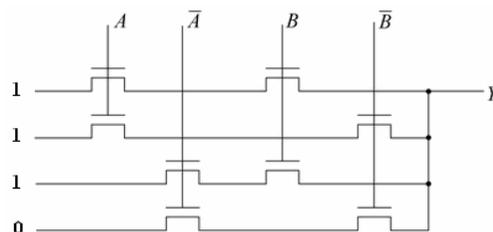
$$K_{peff} = 1/(1/3k + 1/k) + k/3 = (13/12) K;$$

当  $D = 1$ ,  $A$ 、 $B$ 、 $C$  同步变化时, 上拉通路 3 个串联的 PMOS 管起作用, 下拉支路所有 NMOS 都起作用,  $K_{neff}$  最大,  $K_{peff}$  最小, 传输特性曲线在最左边。

三、(12分) 分析下面2个电路的逻辑功能，若所有输入高电平都是5V、输入低电平都是0V，电源电压是5V，所有MOS管的阈值电压绝对值都是0.8V，分析2个电路的输出高、低电平和主要优缺点。



(1)



(2)

电路 1)  $Y = AB + \overline{A}\overline{B}, Vol = 0, \begin{cases} A = B = 0 \text{时, } V_{oh} = 5V \\ A = B = 1 \text{时, } V_{oh} = 4.2V \end{cases}$

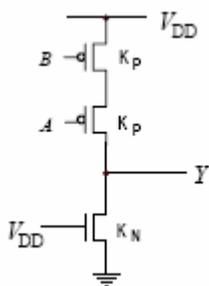
电路 2)  $Y = AB + \overline{A}\overline{B} + \overline{A}B = A + B$ ，低电平 0V，高电平 4.2V

电路 1) 结构简单，节省面积，逻辑电平与输入状态相关，驱动能力差，噪声容限小。

电路 2) 结构规整，逻辑灵活，改变输入信号可以实现对 AB 的多种操作，输出高电平有阈值损失，驱动能力差，噪声容限小。

四、(10分) 写出下图电路的逻辑表达式，推导输出高、低电平，

已知， $V_{DD}=5V, V_{TN}=-V_{TP}=1V$ 。

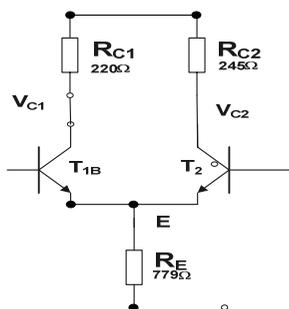


解：这是类PMOS电路， $Y = \overline{A + B}$ 。输出高电平时有直流通路，高电平决定于 $K_{Peff}$ 和 $K_N$ 。输出高电平时，PMOS在线性区，NMOS在饱和区。  
 $K_{Peff} [(0 - V_{DD} - V_{TP})^2 - (0 - V_{out} - V_{TP})^2] = K_N (V_{DD} - V_{TN})^2$

代值，化简得： $V_{out} = V_{OH} = \sqrt{16 - 32K_r} + |V_{TP}|$

若要求 $V_{OH}$ 足够大，则要求  $16 \gg 32K_r$ ，即 $K_r \ll 1/2$ 。输出低电平 $V_{OL}=0$ 。

五、(10分) 画出 ECL 电路的电流开关部分的电路图，简单说明为什么 2 个集电极电阻取不同值。

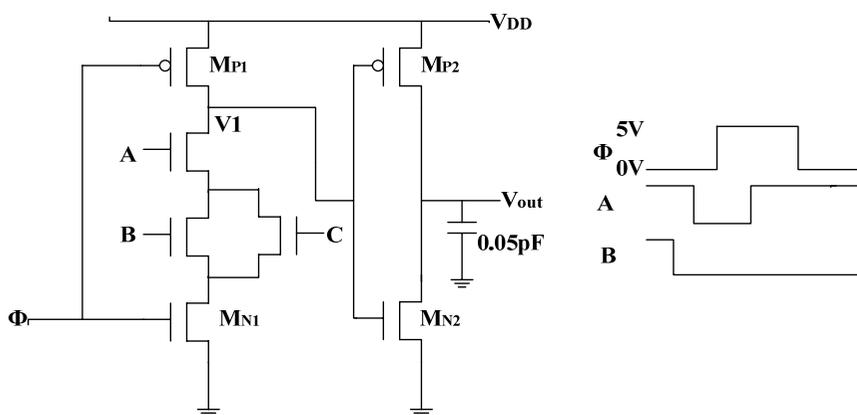


因为  $V_{BB} = \frac{V_{IH} + V_{IL}}{2}$ ，当  $V_{in}$  是低电平  $V_{iL}$  时， $T_1$  截止， $T_2$  导通，有电

流流过  $R_{c2}$ ，使  $V_{c2} = V_{cc} - I_{e2}R_{c2}$ ， $V_{c1} = V_{cc}$ 。当  $V_{in}$  是高电平时， $T_1$  导通， $T_2$  截止  $V_{c1} = V_{cc} - I_{e1}R_{c1}$ ， $V_{c2} = V_{cc}$ ，由于  $V_{bb}$  和  $V_{ih}$  不同， $T_1$  导通和  $T_2$  导通时电流不同，为了使输出低电平相同，应使  $V_{cc} -$

$I_{e1}R_{c1} = V_{cc} - I_{e2}R_{c2}$ ，因此  $\frac{R_{c1}}{R_{c2}} = \frac{I_{E2}}{I_{E1}}$  两个集电极电阻不同。

六、(20分) 如图电路实现什么功能；如果所有MOS管取相同尺寸， $W=4\mu\text{m}$ ， $L=0.8\mu\text{m}$ ， $C_{ox}=2\times 10^{-7}\text{F}/\text{cm}^2$ ，电源电压是5V，所有MOS管阈值电压的绝对值都是0.8V， $\mu_n=2\mu_p=600\text{cm}^2/\text{Vs}$ ，每个MOS管的源或漏pn结的平均结电容近似是栅电容的0.4倍，(1) 根据给定的输入波形，画出V1和Vout波形，标出转变点的电平值，不考虑延迟时间；(2) 计算时钟频率的上限 ( $t_r/\tau_r = t_f/\tau_f = 1.8$ )。



解：

$$V_{out} = A(B+C)$$

(1) 因为  $\Phi=0$  时，当A，B是高电平时， $C_1$ 和 $C_2$ 都充电到高电平。当 $\Phi=1$ 时，C为高电平使 $C_2$ 放电到0。而因为A是低电平， $V_1$ 保持预充的高电平5V。当A变高，C变低后，引起电荷分享，使 $V_1$ 下降， $V_1$ 由下面两种情况中高的电平决定：

$$V_1 = V_{DD} - \frac{C_1}{C_2} (V_{DD} - V_{TN}) \dots\dots\dots ①$$

$$V_1 = \frac{V_{DD}}{1 + \frac{C_2}{C_1}} \dots\dots\dots ②$$

由①得：  $V_1=3.2V$

由②得：  $V_1=3.5V$

所以电荷分享后  $V_1$  的高电平下降为  $3.5V$ 。该电平送入 CMOS 反相器，使  $M_{P2}$  饱和导通， $M_{N1}$  线性导通。

$$有 K_{N2} [(V_1 - V_{TN})^2 - (V_1 - V_{out} - V_{TN})^2] = K_{P2} (V_1 - V_{DD} - V_{TP})^2$$

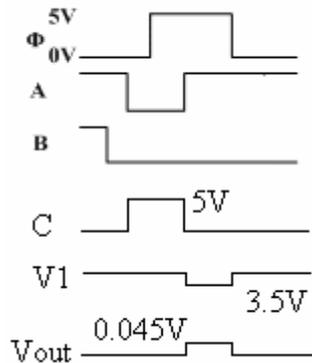
忽略  $V_{out}^2$  项，代值得：  $V_{out}=0.045V$

$$(2) \quad f_{max} = \frac{1}{2(t_{f1} + t_{r2})}$$

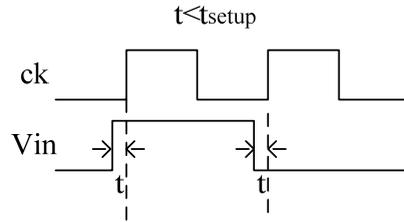
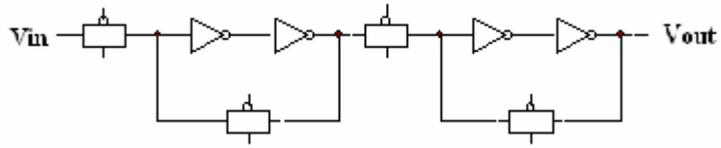
$$t_{f1} = 1.8\tau_{f1} = 1.8 \frac{C_1}{K_{Neff} V_{DD}}$$

$$t_{r2} = 1.8\tau_r = 1.8 \frac{C_L + 2C_D}{K_{P2} V_{DD}}$$

代值得：  $t_{r2}=1.32 \times 10^{-10}s$ ,  $f_{max}=2.5GHz$

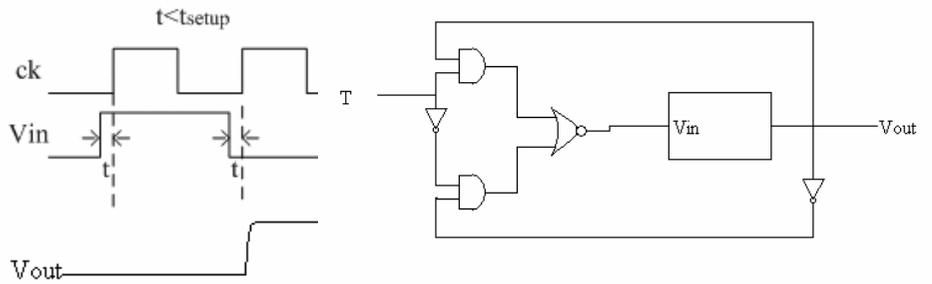


七、(15 分) 如图是什么功能电路，如果要求输出在时钟上升边变化，标出每个传输门的时钟信号  $ck$ ；根据给出的输入波形画出输出波形（假定初始时输出是低电平）；利用这个电路实现 T 触发器功能（ $T=1$  输出翻转， $T=0$  输出保持），如何增加控制电路，画出实现的逻辑图。



解:

输出波形



加入控制电路如下得到 T 触发器

$$V_{out} = T\bar{Q} + \bar{T}Q$$

$$Q = V_{out}$$

实现逻辑:  $V_{out} = TV_{out} + \overline{\overline{TV_{out}}}$