

第七章 金属/氧化物/半导体 (MOS) 结构

本章我们将介绍金属 (Metal) 与氧化物绝缘体 (Oxide)、半导体 (Semiconductor) 构成的MOS结构相关理论方法, 重点讨论各种偏置电压条件下, MOS结构的能带结构、电容特性 (C-V) 以及影响C-V特性的各种因素及相关理论方法。

MOS结构是研究MOS基器件的基本性能特征和参数, 如栅氧化层厚度、阈值电压、界面态就体缺陷态等的基本器件结构

§ 7.1 理想的MOS结构

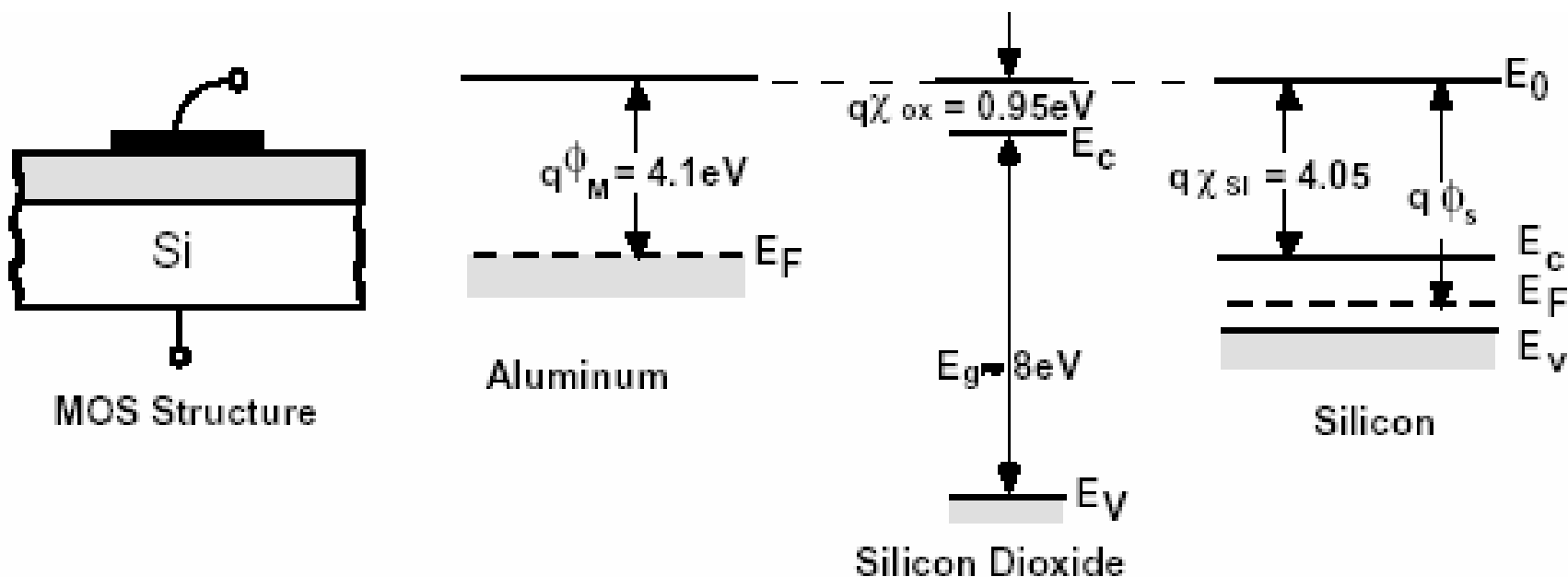
§ 7.2 MOS结构的CV特性

§ 7.3 非理想 (实际) MOS结构

§ 7.1 理想MOS结构

金属-氧化物(SiO_2)-半导体(Si) (MOS) 结构是主流半导体器件CMOS的重要组成部分, 典型的结构如 $\text{Al}/\text{SiO}_2/\text{p-Si}$, 其基本的能带结构参数如下图所示。

$$\phi_s = \chi + \frac{E_g}{2q} + \phi_B$$



§ 7.1 理想MOS结构

首先讨论p-Si作为衬底的理想的MOS结构。所谓理想的MOS结构满足如下一些条件：

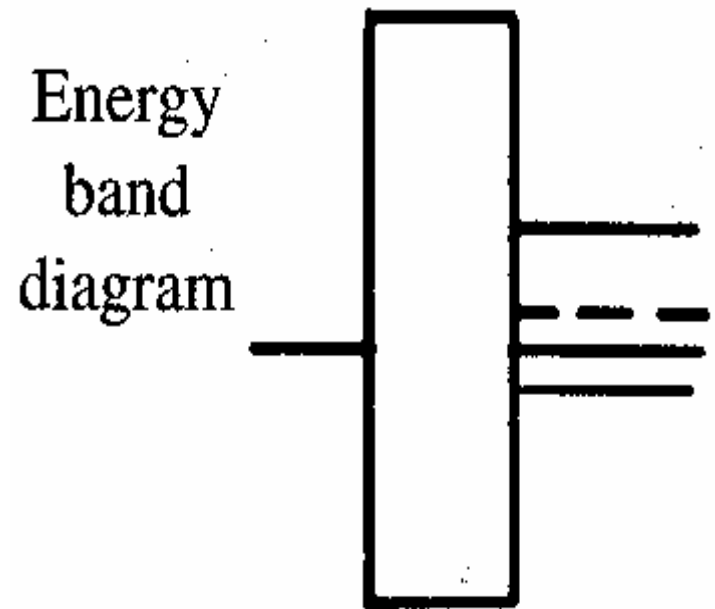
- 金属与半导体的功函数相同，即： $\phi_M = \phi_s$
- 氧化层是理想的绝缘体，即电阻率无穷大，没有体电荷和缺陷态存在；
- 氧化层与半导体Si界面是理想的界面，即没有界面电荷和界面态存在；
- 金属与氧化层界面是理想的界面，没有界面缺陷存在。

§ 7.1 理想MOS结构

热平衡情形能带结构:

- 1) 三种材料接触构成MOS结构, 在热平衡情况下 $E_f = \text{常数}$, 正如schottky接触或P-N结二极管。
- 2) 通过 SiO_2 的电流为0, 因此, MOS结构由靠自身结构首先由非平衡达到平衡的过程将非常漫长, 或者需要通过辅助的导电路径, 实现热平衡。

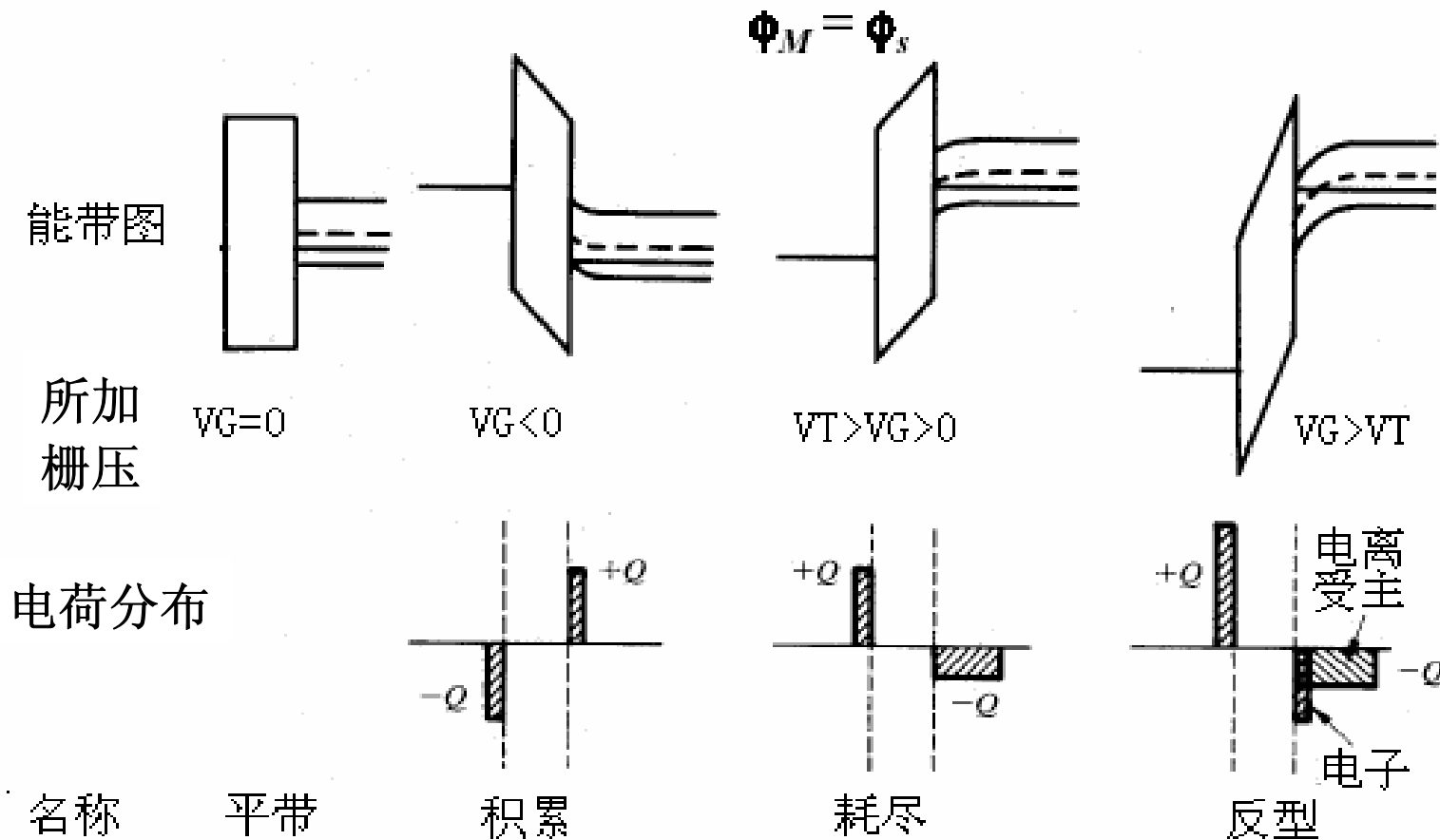
理想MOS的平衡能带图



对于MOS结构, 重要的是了解不同偏置电压下的能带结构和电荷分布情形

§ 7.1 理想MOS结构

理想MOS结构在各种偏压 (V_g) 下的能带图和电荷分布情况



§ 7.1 理想MOS结构

在理想的情形，由于在Si中没有净的电流存在，因此，在各种栅压条件下，Si内费米能级将保持平直，这意味着在各种栅压下，半导体都可作为热平衡状态处理。

通常将Si表面电势相对于Si体内电势的变化称为表面势。

在各种栅压条件下，MOS结构的能带将会出现：

积累、平带、耗尽、反型等几种情形。需要了解不同栅压下，表面势、电荷分布的变化情况。

7.1.1 平带和积累情形

平带情形：表面势为0的情形。

积累情形：Si表面产生多子积累的情形，对P-Si来说，是空穴积累的情形，Si表面的价带将更靠近费米能级，发生能带向上弯曲的现象。

§ 7.1 理想MOS结构

7.1.2 耗尽和反型情形

➤耗尽情形：半导体表面发生多子耗尽的情形。对P-Si，发生空穴耗尽，能带向下弯曲，表面势为正值。

➤反型情形：半导体表面发生少数子浓度超过多子浓度的情形，故称为反型。此时，能带向下弯曲，并在表面处，费米能级低于本征费米能级。这种表面出现少数子浓度高于多子浓度的现象是在外加场作用下发生的，称为场效应反型现象。

§ 7.1 理想MOS结构

7.1.3 nMOS电容情形的功函数表达式

$$\phi_s = \chi + \frac{E_g}{2q} - \phi_B$$

ϕ_B 是体内本征费米能级和费米能级电势差

7.1.4 Si/氧化层界面电场关系

由于在理想的SiO₂层中，没有净电荷存在，因此，SiO₂层中的Poisson方程满足：

$$d \Sigma / dx = 0$$

其中， Σ 是电场。

因此，Si/氧化层界面电场关系满足：

$$\epsilon_{ox} \Sigma_{ox} = \epsilon_{Si} \Sigma_S$$

§ 7.1 理想MOS结构

定义半导体的表面势为：

$$\begin{aligned}\psi_s &= \psi_i(0) - \psi_i(bulk) \\ &= \frac{1}{q} [E_i(bulk) - E_i(surface)]\end{aligned}$$

半导体内任一点 x 的电势

为：

$$\begin{aligned}\psi_s &= \psi_i(x) - \psi_i(bulk) \\ &= \frac{1}{q} [E_i(bulk) - E_i(x)]\end{aligned}$$

半导体内任一点 x 的费米势

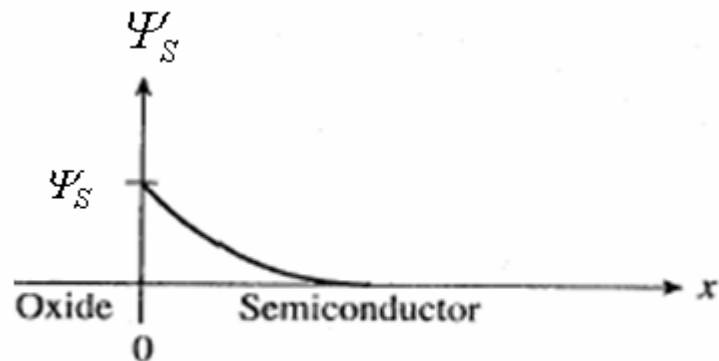
为：

$$\psi_f = \frac{1}{q} [E_i - E_f]$$

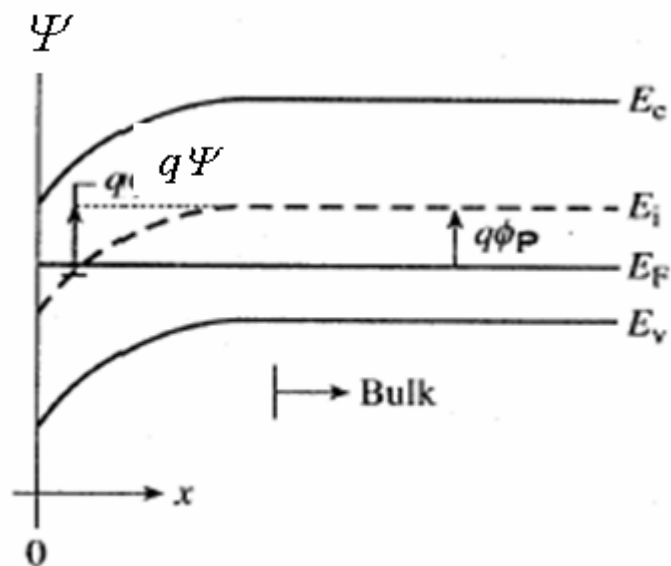
电子和空穴的准
费米势分别为：

$$\phi_n = \frac{kT}{q} \ln \left[\frac{N_d}{n_i} \right]$$

$$\phi_p = \frac{kT}{q} \ln \left[\frac{N_a}{n_i} \right]$$



(a)



§ 7.1 理想MOS结构

7.1.5 Poisson方程求解和电势分布

了解半导体内电场、表面势、电荷分布与栅压的依赖关系

$$\frac{d^2\psi}{dx^2} = -\frac{d\Sigma}{dx} = -\frac{q}{\epsilon_{Si}} [p(x) - n(x) + N_d^+(x) - N_a^-(x)]$$

考虑到半导体中电离杂质浓度与电势无关及体内电中性关系，可获得

$$N_d^+(x) - N_a^-(x) = -N_a + \frac{n_i^2}{N_a}$$

空穴浓度

$$p(x) = n_i e^{q(\psi_f - \psi_i)/kT} = n_i e^{-q(\psi - \psi_B)/kT} = N_a e^{-q\psi/kT}$$

电子浓度

$$n(x) = n_i e^{q(\psi_i - \psi_f)/kT} = n_i e^{q(\psi_B - \psi)/kT} = \frac{n_i^2}{N_a} e^{q\psi/kT}$$

7.1.5 Poisson方程求解和电势分布

Poisson方程改写为：

$$\frac{d^2\psi}{dx^2} = -\frac{q}{\epsilon_{Si}} \left[N_a \left(e^{-q\psi/kT} - 1 \right) - \frac{n_i^2}{N_a} \left(e^{q\psi/kT} - 1 \right) \right]$$



$$\int_0^{d\psi/dx} \frac{d\psi}{dx} d\left(\frac{d\psi}{dx}\right) = -\frac{q}{\epsilon_{Si}} \int_0^{\psi} \left[N_a \left(e^{-q\psi/kT} - 1 \right) - \frac{n_i^2}{N_a} \left(e^{q\psi/kT} - 1 \right) \right] d\psi$$

利用 $\Sigma = -d\psi / dx$

求得：

$$\Sigma^2(x) = \left(\frac{d\psi}{dx}\right)^2 = \frac{2kTN_a}{\epsilon_{Si}} \left[\left(e^{-q\psi/kT} + \frac{q\psi}{kT} - 1 \right) + \frac{n_i^2}{N_a^2} \left(e^{q\psi/kT} - \frac{q\psi}{kT} - 1 \right) \right]$$

7.1.5 Poisson方程求解和电势分布

利用边条件: $x = 0, \psi = \psi_s, \Sigma = \Sigma_s$

$$Q_s = -\epsilon_{si} \Sigma_s = \pm \sqrt{2\epsilon_{si} kT N_a} \left[\left(e^{-q\psi_s/kT} + \frac{q\psi_s}{kT} - 1 \right) + \frac{n_i^2}{N_a^2} \left(e^{q\psi_s/kT} - \frac{q\psi_s}{kT} - 1 \right) \right]^{1/2}$$

• 在积累时, $\psi_s < 0$

当 $-q\psi_s/kT > 1$ 积累电荷密度正比于 $\exp(-q\psi_s/2kT)$

在耗尽时, $\psi_s > 0$ 当 $q\psi_s/kT > 1$ 但

$\exp(q\psi_s/kT)$ 没有足够大到可使得其与 $\frac{n_i^2}{N_a^2}$ 的乘积

与 $q\psi_s/kT$ 可比拟时, 电荷密度正比于 $\psi_s^{1/2}$

7.1.5 Poisson方程求解和电势分布

随 ψ_s 增加 $\left(\frac{n_i^2}{N_a^2}\right)\exp(q\psi_s/kT)$ 最终会大于 $q\psi_s/kT$

此时，反型电荷密度正比于 $\exp(q\psi_s/2kT)$

通常将 $\left(\frac{n_i^2}{N_a^2}\right)\exp(q\psi_s/kT)=1$ 作为强反型判据

此时，表面势是体内费米势的2倍，即：

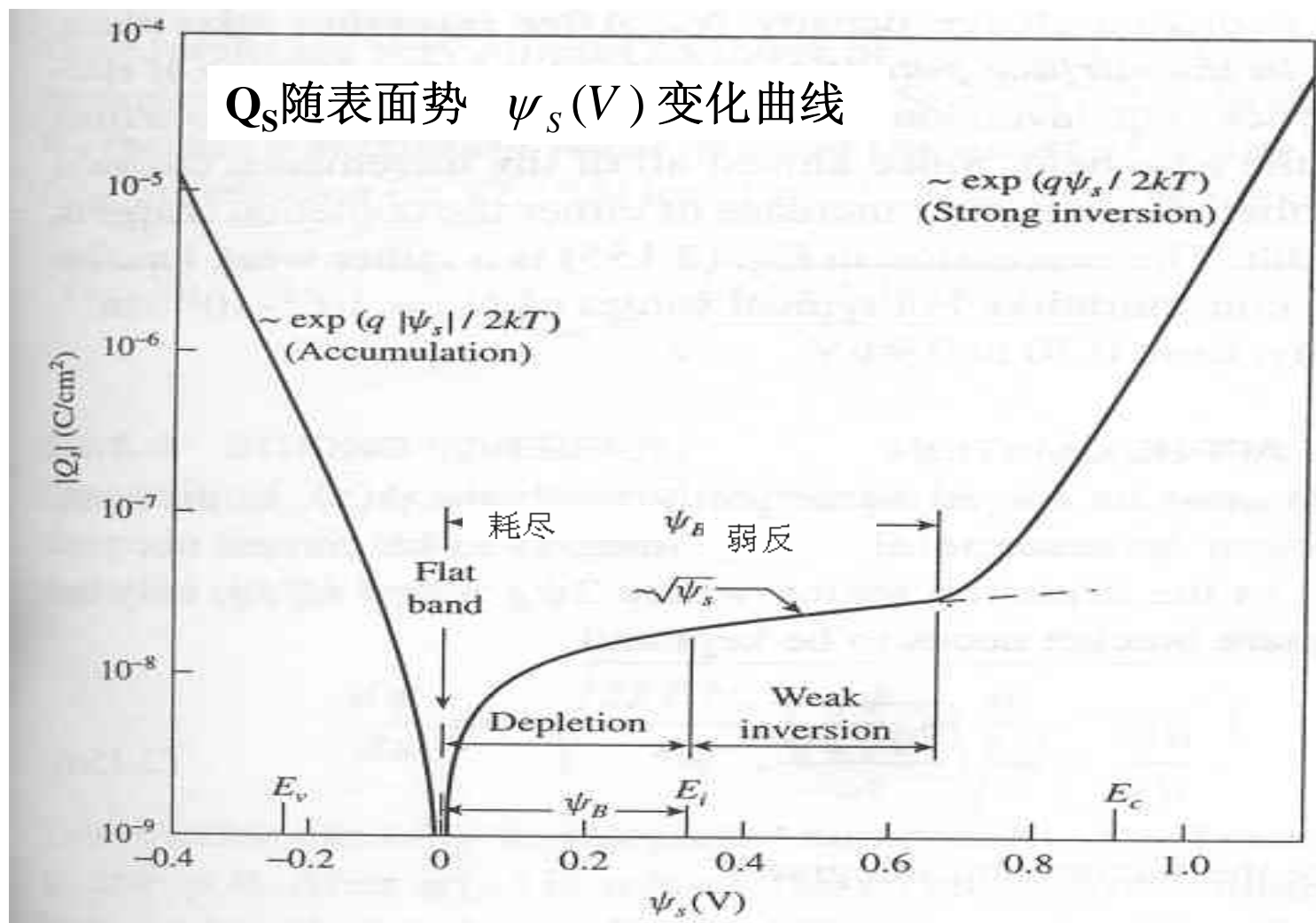
$$\psi_s(\text{inv}) = 2\psi_B = 2 \frac{kT}{q} \ln\left(\frac{N_a}{n_i}\right)$$

强反型时，电子浓度满足

$$\begin{aligned} n(x) &= n_i e^{q(\psi_i - \psi_f)/kT} \\ &= n_i e^{q(\psi_B - \psi)/kT} = \frac{n_i^2}{N_a} e^{q\psi/kT} \end{aligned}$$

7.1.5 Poisson方程求解和电势分布

强反型后，即使表面势 ψ_s 有一微小的变化，也会引起载流子浓度的显著增加，有效屏蔽栅电压的穿透，表面势将基本不随栅压变化



7.1.5 Poisson方程求解和电势分布

实际上，在耗尽情形下，利用载流子耗尽近似条件下，可精确求解Poisson方程

$$\frac{d\psi}{dx} = -\sqrt{\frac{2qN_a\psi}{\epsilon_{Si}}} \quad \longrightarrow \quad \int_{\psi_s}^{\psi} \frac{d\psi}{\sqrt{\psi}} = -\int_0^x \sqrt{\frac{2qN_a}{\epsilon_{Si}}} dx$$

求得 $\psi = \psi_s \left(1 - \sqrt{\frac{qN_a}{2\epsilon_{Si}\psi_s}} x \right)^2$ 重写为 $\psi = \psi_s \left(1 - \frac{x}{W_d} \right)^2$

其中 $W_d = \sqrt{\frac{2\epsilon_{Si}\psi_s}{qN_a}}$ 为半导体耗尽层厚度

总的耗尽层电荷密度为 $Q_d = -qN_aW_d = -\sqrt{2\epsilon_{Si}qN_a\psi_s}$

7.1.5 Poisson方程求解和电势分布

在强反型发生时，耗尽层厚度达到极大。带入强反型时表面势的表达式，可获得最大耗尽层厚度表达式为：

$$W_{dm} = \sqrt{\frac{4\epsilon_{Si}kT \ln(N_a / n_i)}{q^2 N_a}}$$

在强反型条件下，求解Poisson方程

$$\frac{d\psi}{dx} = -\sqrt{\frac{2kTN_a}{\epsilon_{Si}} \left(\frac{q\psi}{kT} + \frac{n_i^2}{N_a^2} e^{q\psi/kT} \right)}$$

该方程只能数值求解。其边界条件是： $x = 0, \psi = \psi_s$

求解结果显示，反型电子主要集中在靠近表面厚度小于**5nm**的反型层内

7.1.5 Poisson方程求解和电势分布

高的表面势下，反型电子将局域在靠近表面的窄区域内，发生量子化效应。通常将局域在反型层表面的电子处理成二维电子气。此时，量子效应对载流子的浓度分布产生影响。

当反型层电荷密度远大于耗尽层电荷时，反型层电荷密度可表示为：

$$Q_i = -\sqrt{\frac{2\varepsilon_{Si}kTn_i^2}{N_a}} \exp(q\psi_s / 2kT)$$

由于表面电子浓度满足： $n(0) = \frac{n_i^2}{N_a} e^{q\psi_s / kT}$

则 $|Q_i| = \sqrt{2\varepsilon_{Si}kTn(0)}$

利用经典模型可估算等效反型层厚度为： $Q_i / qn(0) = 2\varepsilon_{Si}kT / qQ_i$

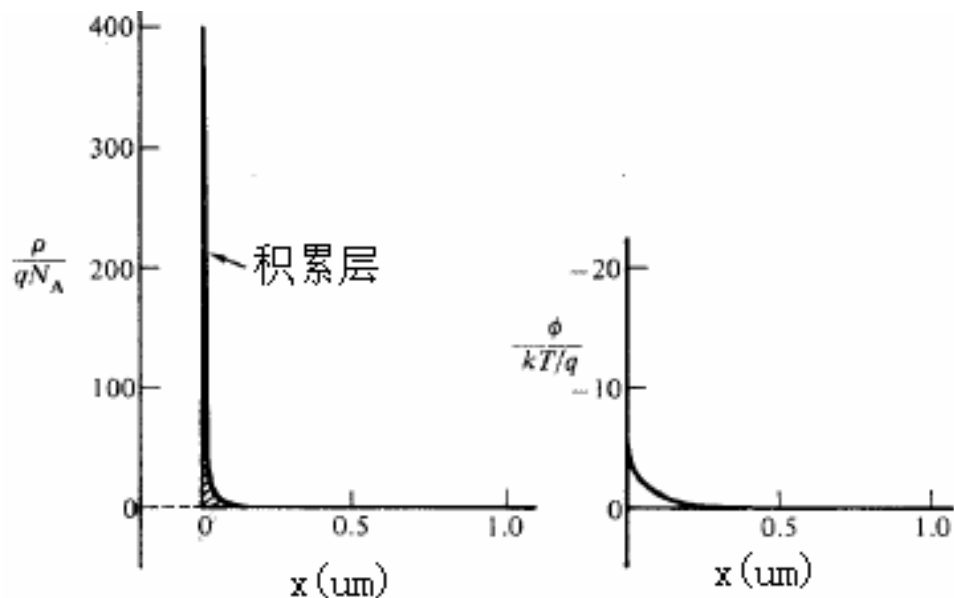
§ 7.1 理想MOS结构

7.1.6 不同状态下的电势和电荷分布

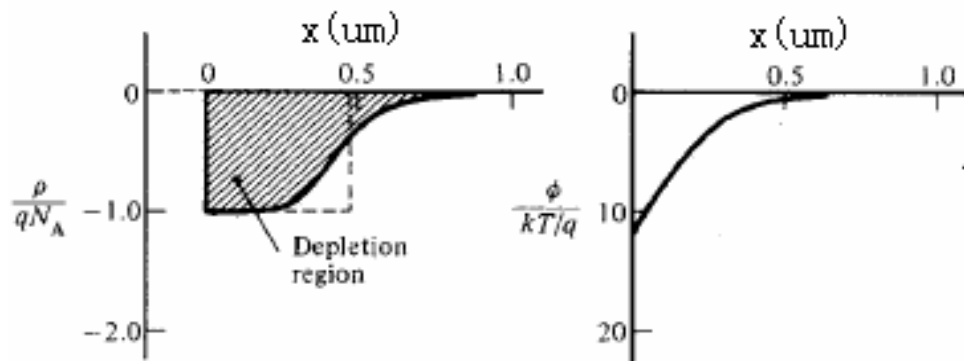
(1) 积累和耗尽情形

- 1) 在硅中费米能级依然是常数。
- 2) 空穴积累时，空穴浓度在硅表面处比体中大，硅表面处 E_V 和 E_f 比较接近，能带向上弯曲。积累的表面积空穴分布在硅表面很窄的德拜长度内，可近似看成薄层电荷，这一情形和平行版电容相似。
- 3) 耗尽时，Si表面出现载流子耗尽，表面电荷表现为耗尽电荷。耗尽层随栅压的增加而变宽（以增加耗尽电荷量）。

§ 7.1 理想MOS结构



(a) 积累 $\phi_s = -6kT/q$



(b) 中耗尽 $\phi_s = \phi_F = 12kT/q$

$$\psi_s < 0$$

$$p \sim \exp(-q\psi_s / 2kT)$$

$$\Sigma = \frac{qN_a x_d}{\epsilon_{Si}} \left(1 - \frac{x}{x_d} \right)$$

$$\phi = \frac{qN_d x_d^2}{2\epsilon_{Si}} \left(1 - \frac{x}{x_d} \right)^2 + \phi_P$$

§ 7.1 理想MOS结构

反型时和肖特基接触不同，MOS结构由于绝缘层 SiO_2 的存在没有电流，即使有偏置费米能级 E_f 也到处相等。当 $\phi_S = 0$ 时硅表面处于费米能级与本征费米能级相同的状态。

当 $0 < \phi_S < -\phi_p$ 时，硅表面处于弱反型；当 $\phi_S > -\phi_p$ 时，表面少数电子的浓度将比体内空穴浓度还高达到强反型

根据
$$n_S = n_i \exp(q\phi_S / kT)$$

定义发生强反型时的栅压为阈值电压 V_T

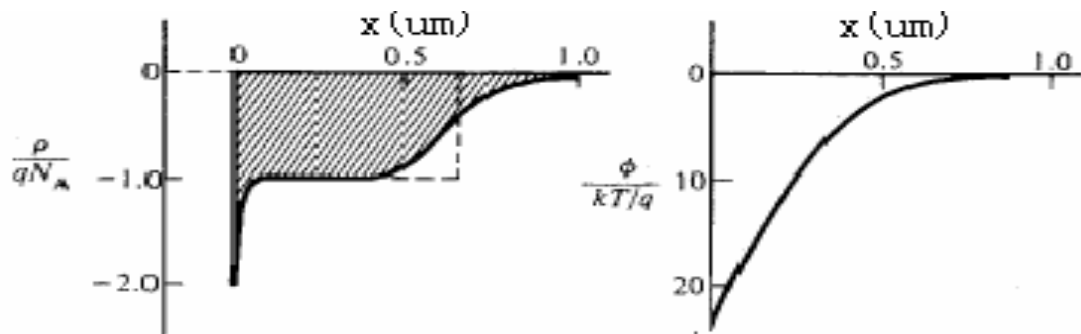
$$\begin{aligned} V_T &= V_{fb} + \frac{t_{ox}}{\epsilon_{Si}} \sqrt{4\epsilon_{Si} q N_a (-\phi_P) - 2\phi_P} \\ &= V_{fb} + \frac{1}{C_{ox}} \sqrt{4\epsilon_{Si} q N_a (-\phi_P) - 2\phi_P} \end{aligned}$$

§ 7.1 理想MOS结构

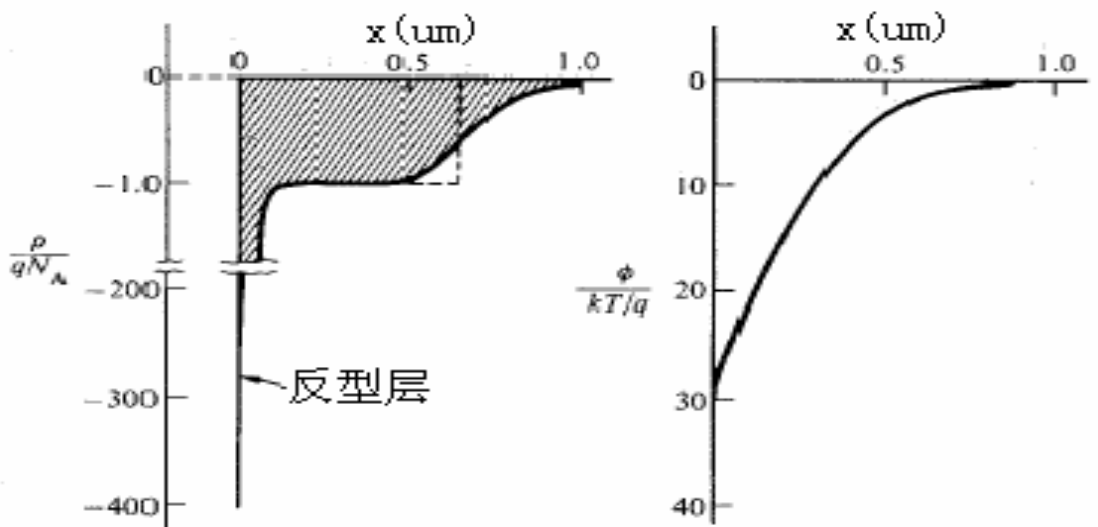
反型时

达到反型后，随栅压增加，在半导体表面区域的电荷将包括耗尽电荷和反型的载流子电荷两部分；而且随栅压的增加将只有很小的电势降在半导体上，因为半导体表面很小的电势增量将使电子浓度增加很多

电荷分布和电势



(c) 达到强反 $\phi_s = 2\phi_F = 24kT/q$



(d) 深强反 $\phi_s = 2\phi_F + 6kT/q = 30kT/q$

§ 7.2 MOS结构中的电容特性

需要了解MOS电容对栅压的依赖关系，其前提是了解各电荷量随栅压（直流和交变量）的变化关系。

7.2.1 C-V方程

当栅压 V_g 作用在MOS结构时，将分别降在栅氧化层和Si表面势区域内。因此，MOS结构的栅方程满足：

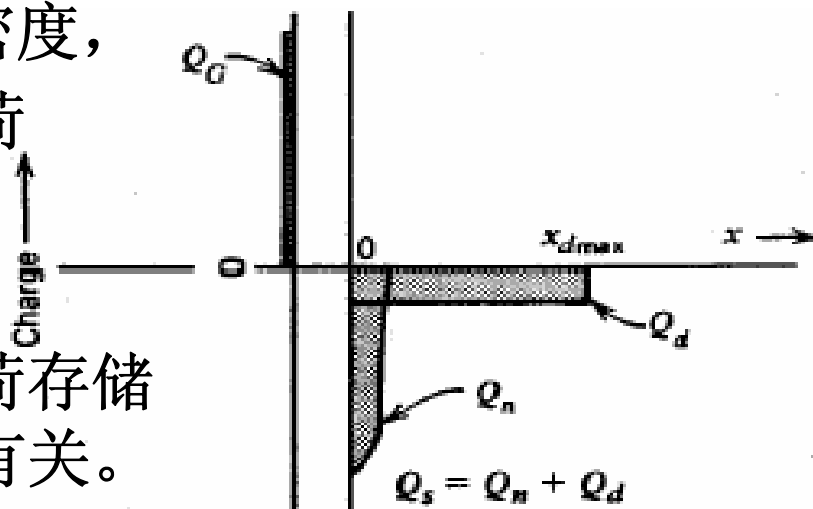
$$V_g = V_{Ox} + \psi_S = \frac{-Q_S}{C_{Ox}} + \psi_S \quad \psi_S \text{ 是Si的表面势，即电势降}$$

MOS电容中电荷分布

Q_S 是Si中单位面积感应的电荷密度，
可能包括耗尽电荷和反型电荷

其中
$$C_{Ox} = \frac{\epsilon_{Ox}}{t_{Ox}}$$

是栅氧化层电容，表征栅氧化层电荷存储能力，与介质层的厚度和介电常数有关。



§ 7.2 MOS结构中的电容特性

7.2.1 C-V方程

Q_s 是表面势 ψ_s 的函数。在耗尽条件下，可获得 Q_s 与表面势 ψ_s 的解析表达式，即： $Q_s(\psi_s) = Q_d(\psi_s)$

在强反型和积累情形下

$$-Q_s \approx C_{ox}V_g \quad \text{其中负号表示栅压与感应电荷符号相反}$$

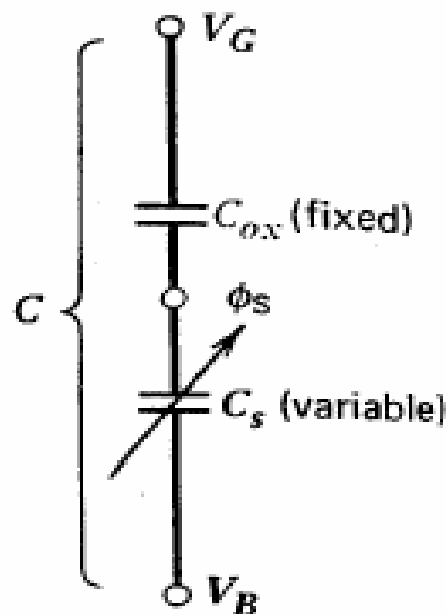
7.2.2 交变小信号电容定义

(等效电路模型)

$$\text{定义 } C = \frac{d(-Q_s)}{dV_g} \quad C_{Si} = \frac{d(-Q_s)}{d\psi_s}$$

$$\text{可获得: } \frac{1}{C} = \frac{1}{C_{ox}} + \frac{d\psi_s}{d(-Q_s)} = \frac{1}{C_{ox}} + \frac{1}{C_{Si}}$$

表征MOS结构中能够存储电荷的因素包括栅氧化层和Si半导体层，其中，Si层的电荷存储能力与表面势相关



§ 7.2 MOS结构中的电容特性

7.2.3 C-V特性

1、积累情形

p-MOS电容在积累时 $Q_s \propto \exp(-q\psi_s / 2kT)$

$$C_{Si} = \frac{-dQ_s}{d\psi_s} = (q/2kT)Q_s = (q/2kT)C_{ox}|V_g - \psi_s|$$

MOS电容表示为：

$$\frac{1}{C} = \frac{1}{C_{ox}} \left(1 + \frac{2kT/q}{|V_g - \psi_s|} \right)$$

$2kT/q \approx 0.052V$ ， $\psi_s \sim 0.1V - 0.3V$ 。当 $-V_g$ 足够大时，电容 C 将趋于 C_{ox} 。说明在强积累情形，MOS电容等效为栅介质电容。

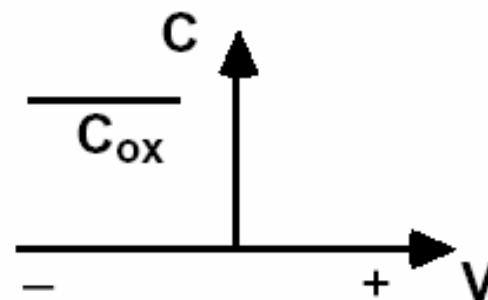
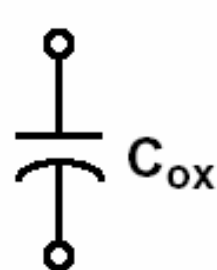
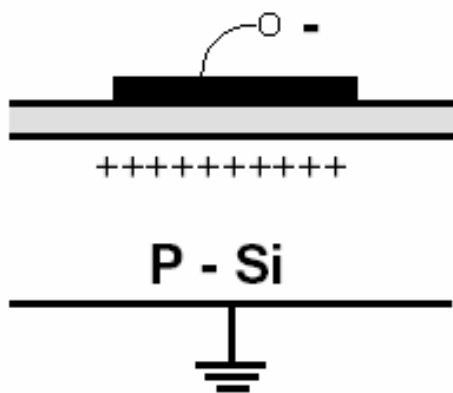
§ 7.2 MOS结构中的电容特性

7.2.3 C-V特性

1、积累情形

II. C-V Characteristics

1. Accumulation



$$C' \approx C'_{ox} = \frac{K_{ox} \epsilon_0}{x_{ox}}$$

(8)

§ 7.2 MOS结构中的电容特性

7.2.3 C-V特性

2、平带情形

在平带电压 (V_{FB}) 情形下, Si表面将没有电荷存在, 但是由于我们所讨论的电容为小信号交变电容。因此, 在平带情形下, 施加很小的交变电压, 仍会在Si表面德拜长度范围内感应电荷的产生。将平带情形对应的MOS电容称为平带电容。由于在平带情形下, 交变电压感应的电荷不会恰好在氧化层下表面产生, 而是发生在距氧化层下Si表面德拜长度内, 因此平带情形的Si电容与Si中感应电荷分布的德拜长度有关。

§ 7.2 MOS结构中的电容特性

7.2.3 C-V特性

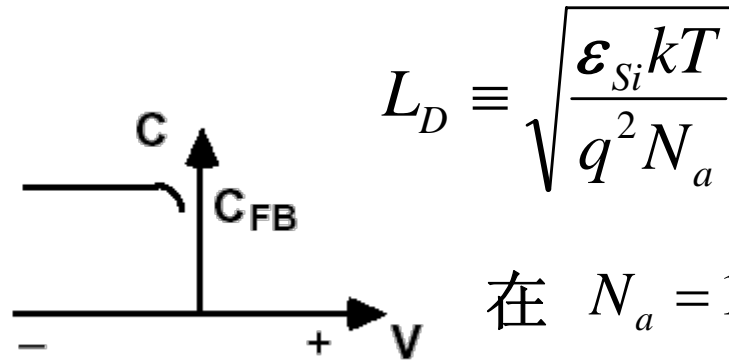
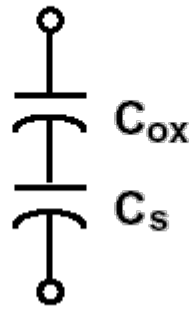
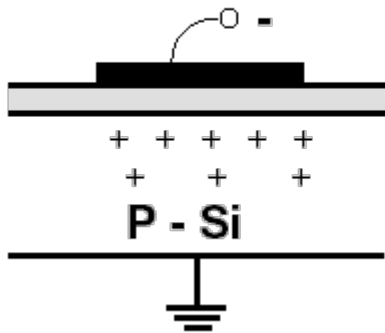
2、平带情形

$$q\psi_s / kT \ll 1 \quad Q_s = -\left(\epsilon_{Si} q^2 N_a / kT\right)^{1/2} \psi_s$$

求得平带电容为

$$\frac{1}{C_{fb}} = \frac{1}{C_{ox}} + \sqrt{\frac{kT}{\epsilon_{Si} q^2 N_a}} = \frac{1}{C_{ox}} + \frac{L_D}{\epsilon_{Si}}$$

2. Flat Band



$$L_D \equiv \sqrt{\frac{\epsilon_{Si} kT}{q^2 N_a}}$$

在 $N_a = 10^{16} \text{ cm}^{-3}$

$$L_D \sim 0.04 \mu\text{m}$$

因此，在平带处的MOS结构电容 C_{fb} 稍稍比 C_{ox} 小一些

§ 7.2 MOS结构中的电容特性

7.2.3 C-V特性

3、耗尽情形

Si中的电荷存储层为耗尽层，因此，Si电容主要由耗尽层厚度决定，表现为耗尽层电容

$$C_d = \frac{-dQ_d}{d\psi_s} = \sqrt{\frac{\epsilon_{Si} q N_a}{2\psi_s}} = \frac{\epsilon_{Si}}{W_d}$$

栅压方程可写为

$$V_g = \frac{q N_a W_d}{C_{Ox}} + \psi_s = \frac{\sqrt{2\epsilon_{Si} q N_a \psi_s}}{C_{Ox}} + \psi_s$$

将耗尽电容表达式带入C的定义式，消去表面势，可求得

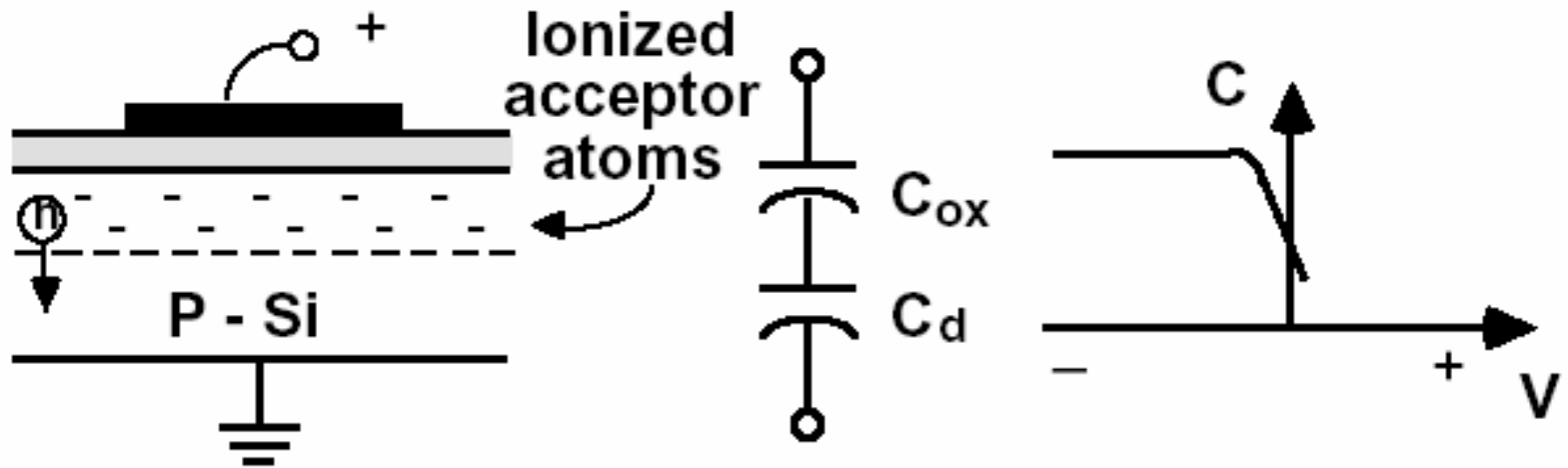
$$C = \frac{C_{Ox}}{\sqrt{1 + (2C_{Ox}^2 V_g / \epsilon_{Si} q N_a)}}$$

§ 7.2 MOS结构中的电容特性

7.2.3 C-V特性

3、耗尽情形

3. Depletion

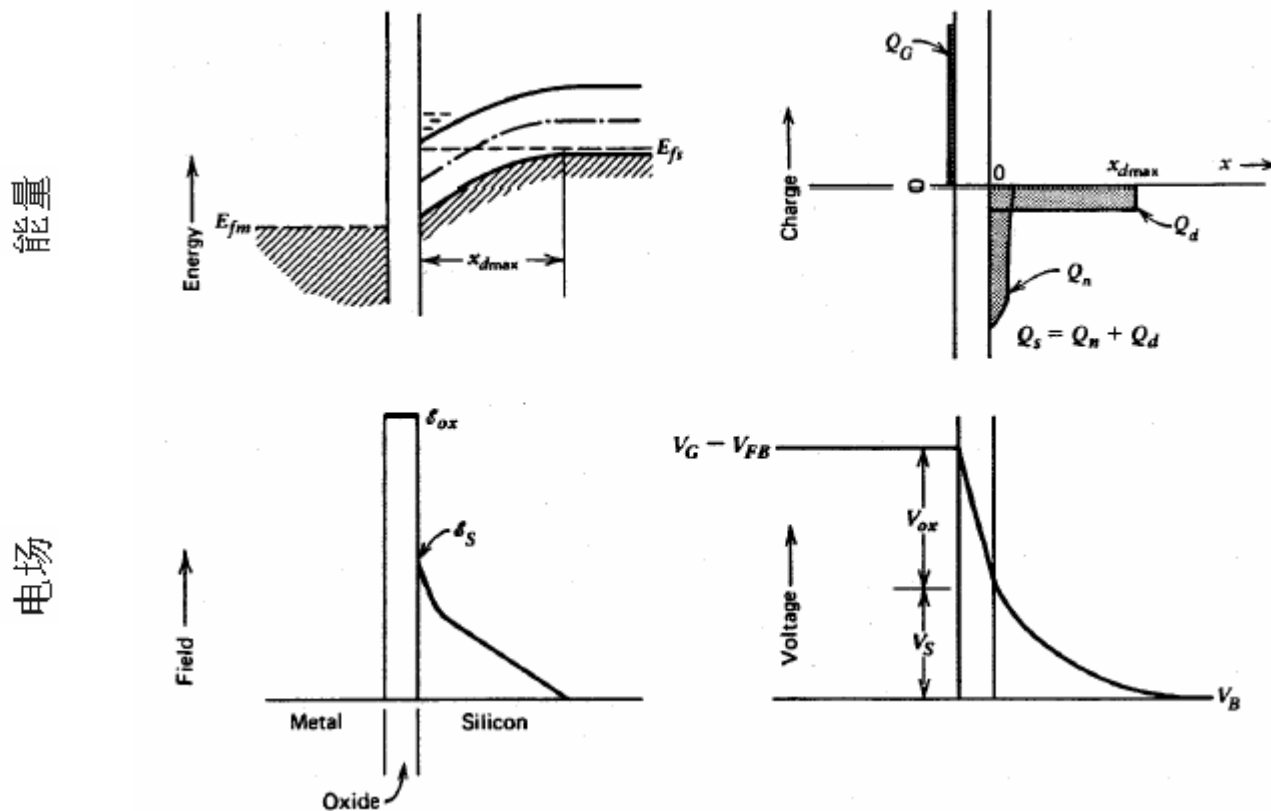


$$C' = \left(\frac{1}{C'_{ox}} + \frac{1}{C'_d} \right)^{-1} = \left(\frac{t_{ox}}{\epsilon_{ox}} + \frac{W_d}{\epsilon_{Si}} \right)^{-1}$$

§ 7.2 MOS结构中的电容特性

7.2.3 C-V特性

4、反型情形 $V_g \gg V_{fb}$ 使得 $\psi_S(inv) \geq 2\psi_B = 2 \frac{kT}{q} \ln \left(\frac{N_a}{n_i} \right)$



§ 7.2 MOS结构中的电容特性

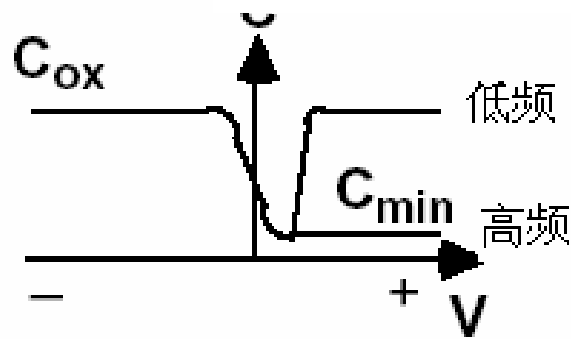
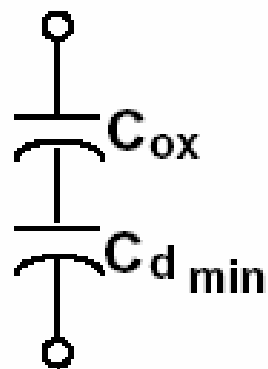
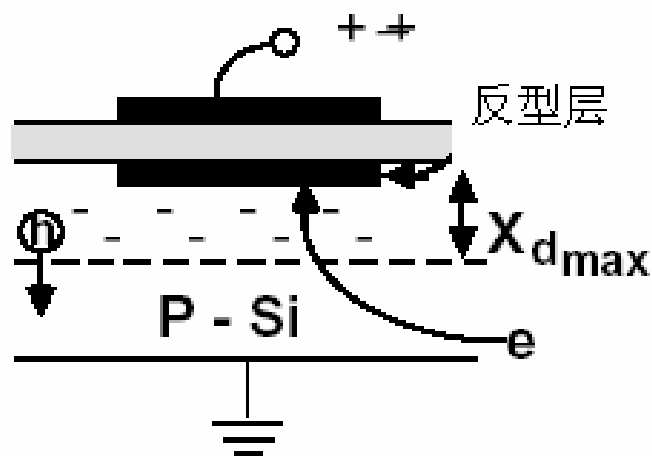
7.2.3 C-V特性

4、反型情形

Si中的电荷包括耗尽电荷和反型电荷两部分之和，因此Si电容由耗尽电容与反型层电荷电容的并联决定。其中反型电荷与表面势相关。在强反型情形，反型电荷密度与表面势呈指数关系 $Q_{inv} \propto \exp(q\psi_s / 2kT)$

4. Inversion

$$C' \approx C'_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

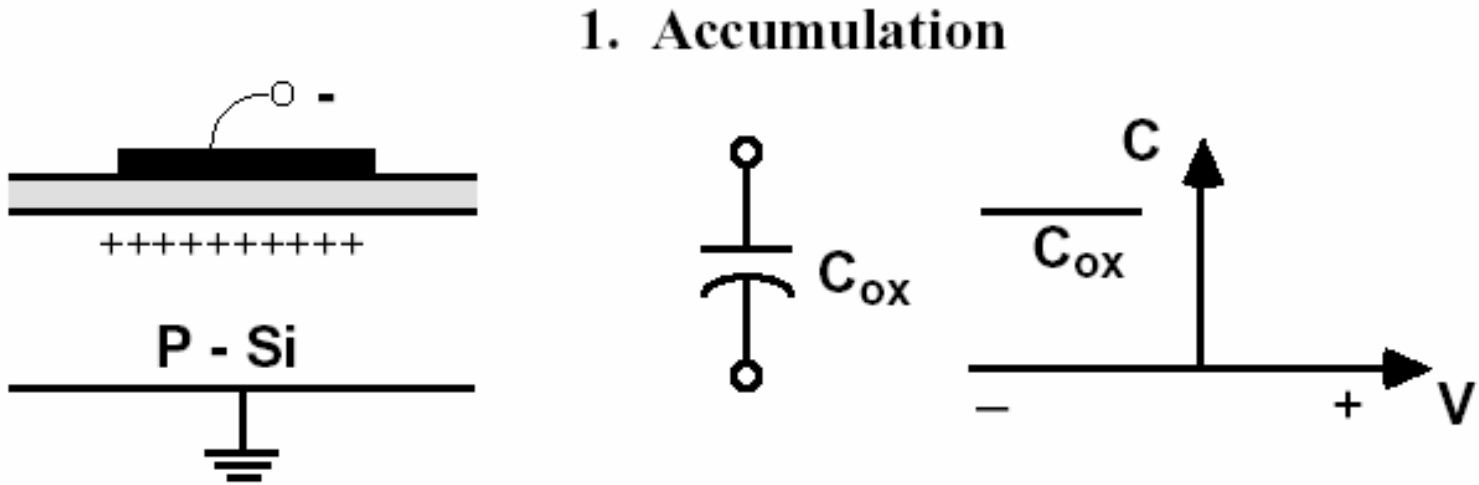


慢D.C扫描, 低频A.C信号 ($f < 1\text{Hz}$), 反型层已被调制

§ 7.2 MOS结构中的电容特性

7.2.4 低频（准静态）C-V特性

总结一下低频情形下的电容随栅压变化特征，其中不考虑随栅压变化频率对Si中感应的载流子的产生和复合的影响（准静态情形）。

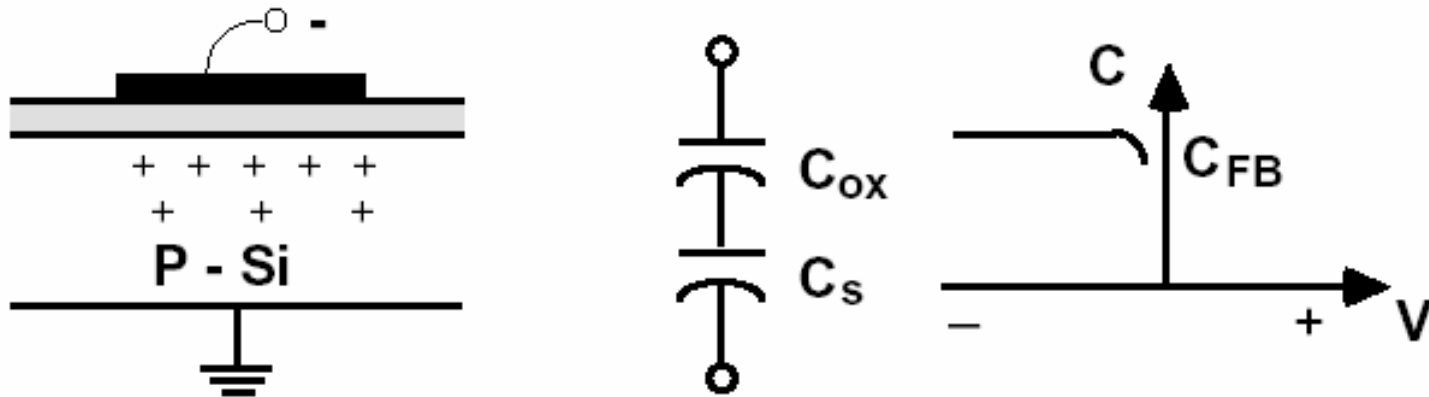


$$C' \approx C'_{ox} = \frac{\epsilon_{ox} \epsilon_0}{t_{ox}}$$

§ 7.2 MOS结构中的电容特性

7.2.4 低频（准静态）C-V特性

2. Flat Band

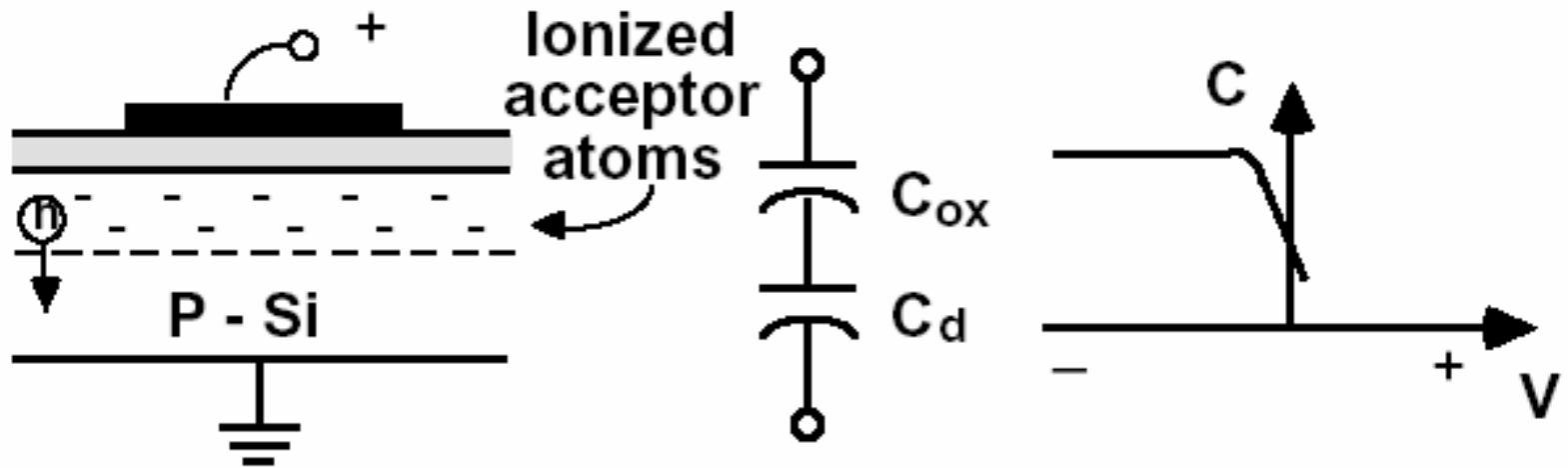


在平带电压 (V_{FB}) 处不存在电荷，但是施加很小的电压，就会在德拜长度范围内产生电荷。换句话说，平均电荷不会恰好在氧化层下表面产生，而是在离氧化层下表面德拜长度内。因此在 V_{FB} 处的电容为氧化层电容 C_{ox} 和 Si 电容 C_s 的串联电容。

§ 7.2 MOS结构中的电容特性

7.2.4 低频（准静态）C-V特性

3. Depletion

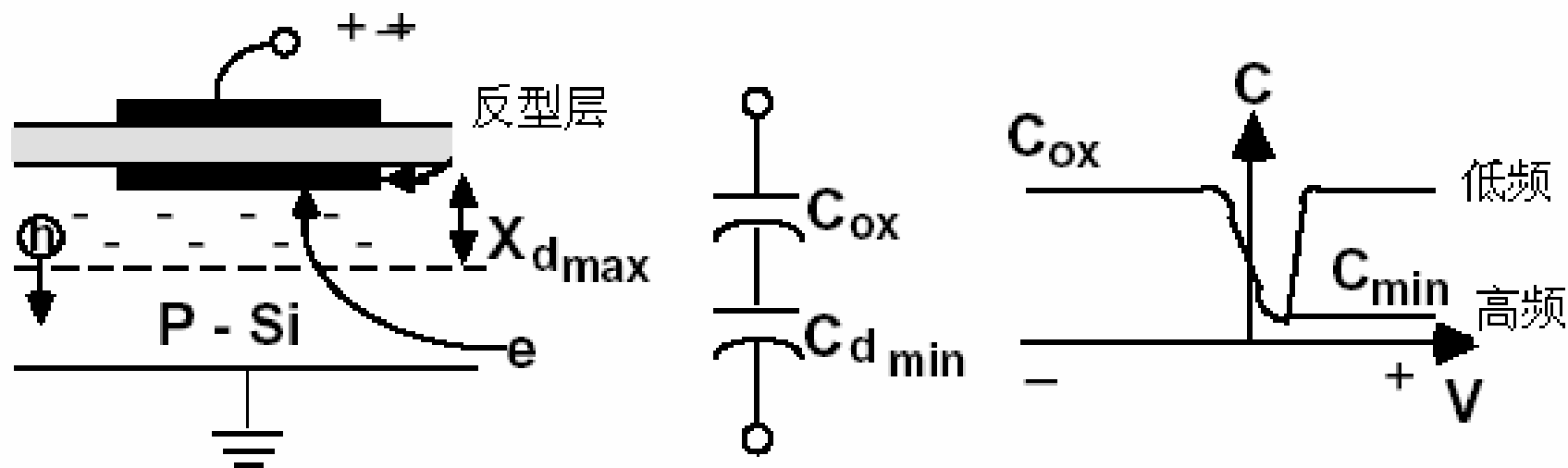


$$C' = \left(\frac{1}{C'_{ox}} + \frac{1}{C'_d} \right)^{-1} = \left(\frac{t_{ox}}{\epsilon_{ox}} + \frac{W_d}{\epsilon_{Si}} \right)^{-1}$$

§ 7.2 MOS结构中的电容特性

7.2.4 低频（准静态）C-V特性

4. Inversion



慢D.C扫描, 低频A.C信号 ($f < 1\text{Hz}$), 反型层已被调制

$$C' \approx C'_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

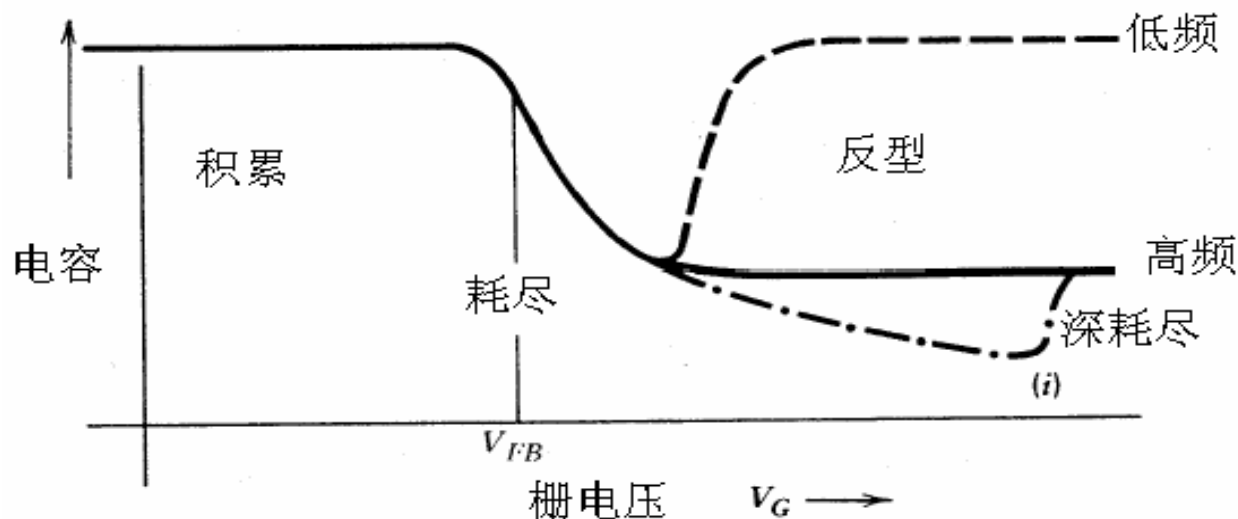
§ 7.2 MOS结构中的电容特性

7.2.4 低频（准静态）C-V特性

反型情形
$$\psi_S(inv) = 2\psi_B = 2 \frac{kT}{q} \ln\left(\frac{N_a}{n_i}\right)$$

一旦反型层（**Inversion**）形成，电容开始增加，**Si**电容逐渐开始转变为主要由反型层电荷随表面势的变化决定。

MOS C-V 特性



§ 7.2 MOS结构中的电容特性

7.2.5 高频C-V特性

反型层电荷主要由少数载流子决定，在低频时，它随电场的变化而变化，反型电容起重要作用。当频率高于某一频率值时，反型层电荷（少子电荷）将不能交变信号，即少子的产生复合的速度跟随不上电场频率的变化，于是反型层电荷将不随交变电场变化，这意味着与反型层电荷相关的交变电容为0。

假设少子的响应时间由少数载流子产生—复合电流决定。

$$J_R = qn_i W_d / \tau \quad \text{其中 } \tau \text{ 为少子寿命}$$

在响应时间内，要能够产生足够的少子补偿耗尽层电荷的作用

$$Q_d = qN_a W_d$$

§ 7.2 MOS结构中的电容特性

7.2.5 高频C-V特性

则响应时间为： $Q_d / J_R = (N_a / n_i) \tau$

该值的典型值为：**0.1~10秒**。因此，当交变电压信号的频率高于**100Hz**时，反型层电荷将跟不上栅压的变化，只有耗尽电荷（多子行为）能够跟随电压信号的变化而变化，于是，**Si**电容只由耗尽层电容决定，由此确定的最小电容值发生在发生强反型的最大耗尽层厚度情形，其为：

$$\frac{1}{C_{\min}} = \frac{1}{C_{Ox}} + \sqrt{\frac{4kT \ln(N_a / n_i)}{\epsilon_{Si} q^2 N_a}}$$

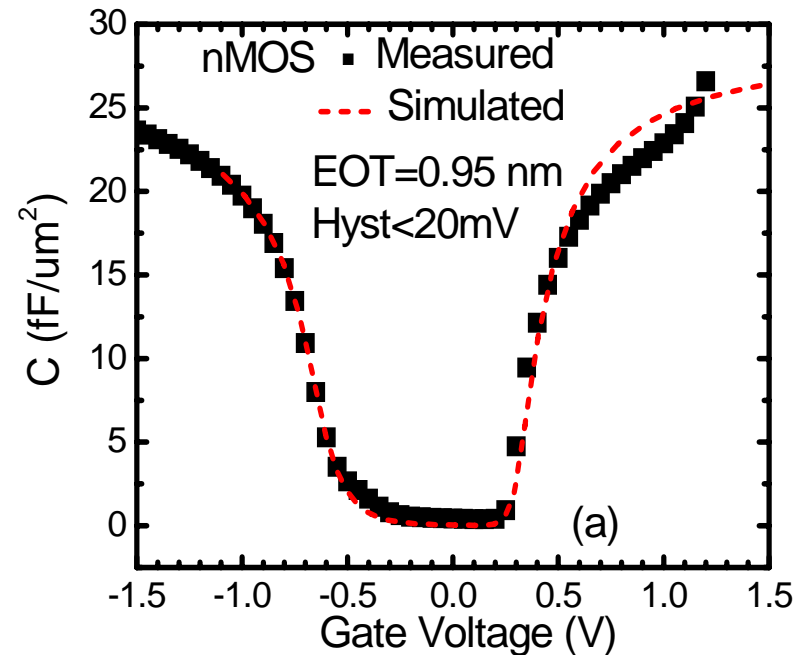
§ 7.2 MOS结构中的电容特性

7.2.5 高频C-V特性

在强光照条件下，由于有大量过剩少子产生，可以满足交变电场信号变化对少子的需求，在高频情形下，也可观察到与低频CV类似的CV曲线；

此外，如果MOS结构能够与少子源（源/漏）相连，形成MOSFET结构，也能在高频情形观察到类似低频的CV曲线。此时Si电容由反型层电容决定，总的MOS电容为氧化层电容与反型层电容串联形成。反型层电容为：

$$C_i = \frac{d(-Q_i)}{d\psi_s} = \frac{|Q_i|}{2kT/q}$$



§ 7.3 非理想MOS结构

7.3.1 非理想因素一：金属半导体功函数不同

$$\phi_M \neq \phi_S$$

$$\phi_M < \phi_S$$

1、非理想MOS电容的热平衡

在例子中，P型硅里的空穴的平均能量比金属中空穴的平均能量要高，达到热平衡时将发生空穴从硅向金属移动，硅表面能带向下弯曲。

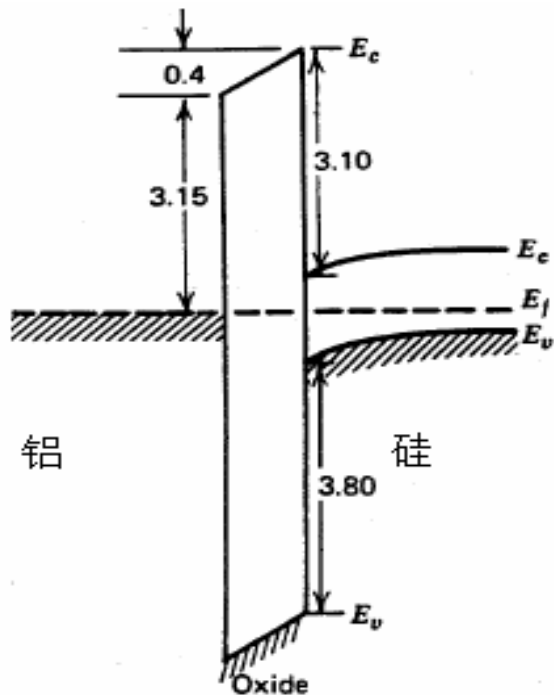
1.热平衡时， $V_g=0$

1) 在材料界面处 E_C 和 E_V 突变

2) 在 SiO_2 上压降大小与硅中表面势和费米能级 E_f 有关，因为没有电流流过 SiO_2 ，这一电压可以维持下去。

3) 存在势垒限制载流子在金属与半导体之间运动

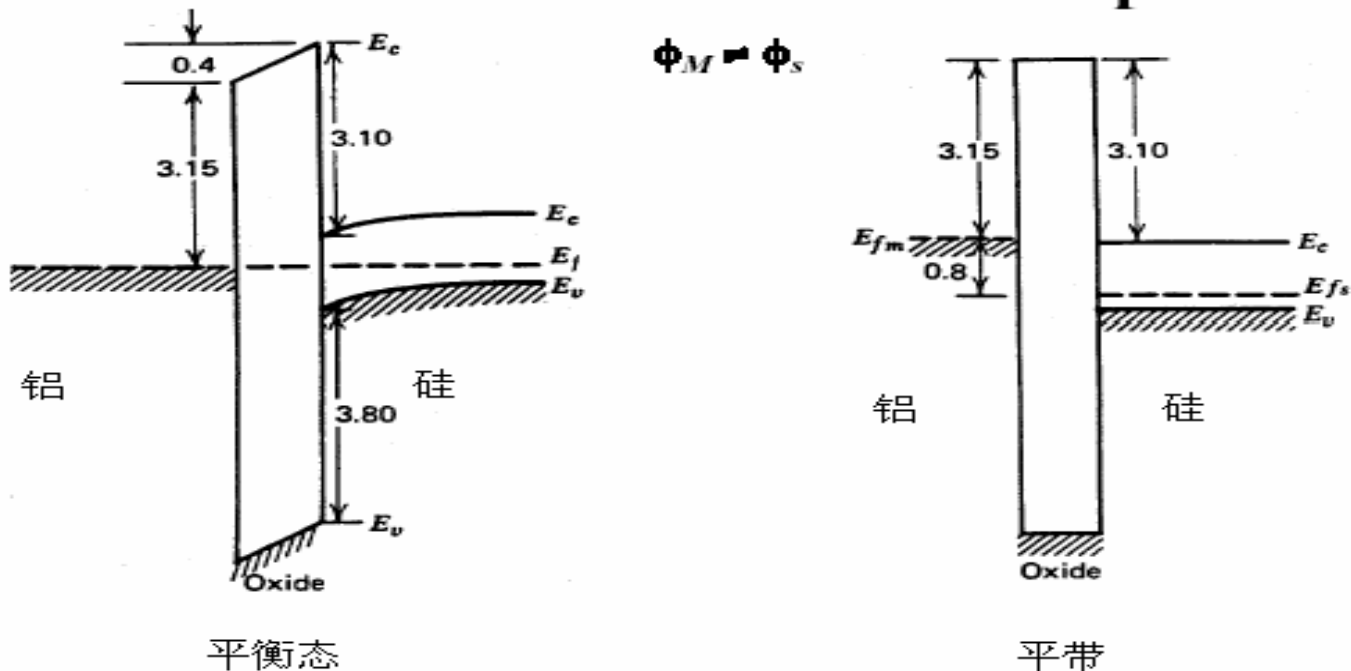
4) 在硅表面， E_V 离 E_f 较远，表面空穴耗尽。



7.3.1 非理想因素一：金属半导体功函数不同

2、非理想MOS电容的偏置（平带）

Bandstructure of Real MOS Capacitor



通过外加栅压 $V_{FB} = \phi_M - \phi_S$ ，可以使半导体恢复到平带，所加的电压称为平带电压。平带电压是MOS结构主要的物理参量之一，通过确定平带电容来确定。

7.3.1 非理想因素一：金属半导体功函数不同

2、非理想MOS电容的偏置（平带）

1) 因为二氧化硅使得Si中不存在电流，所以Si中的费米能级 E_f 是常量。

2) E_C 和 E_V 是平的，没有弯曲，硅中空穴和电子浓度各处相等，可知硅和二氧化硅中电场强度为零。

3) 所对应的情况称为平带情形，所加的电压称为平带电压 V_{FB} ， $V_{FB} = \phi_{MS}$ 。

7.3.1 非理想因素一：金属半导体功函数不同

3、非理想MOS电容的偏置（积累）

$$V_g - V_{FB} < 0$$

4、非理想MOS电容的偏置（耗尽）

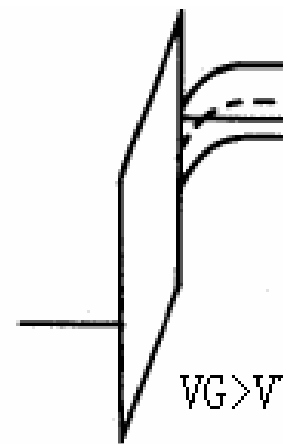
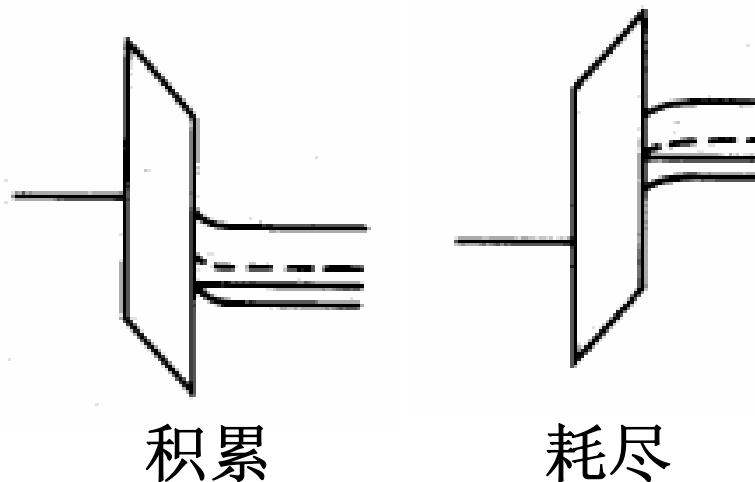
$$\phi_P > V_g - V_{FB} > 0$$

5、非理想MOS电容的偏置（弱反型）

$$2\phi_P > V_g - V_{FB} > \phi_P$$

6、非理想MOS电容的偏置（强反型）

$$2\phi_P > V_g - V_{FB} > \phi_P$$



反型

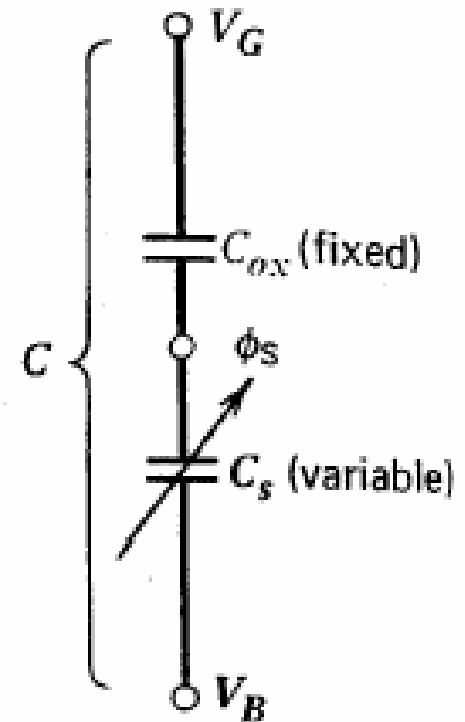
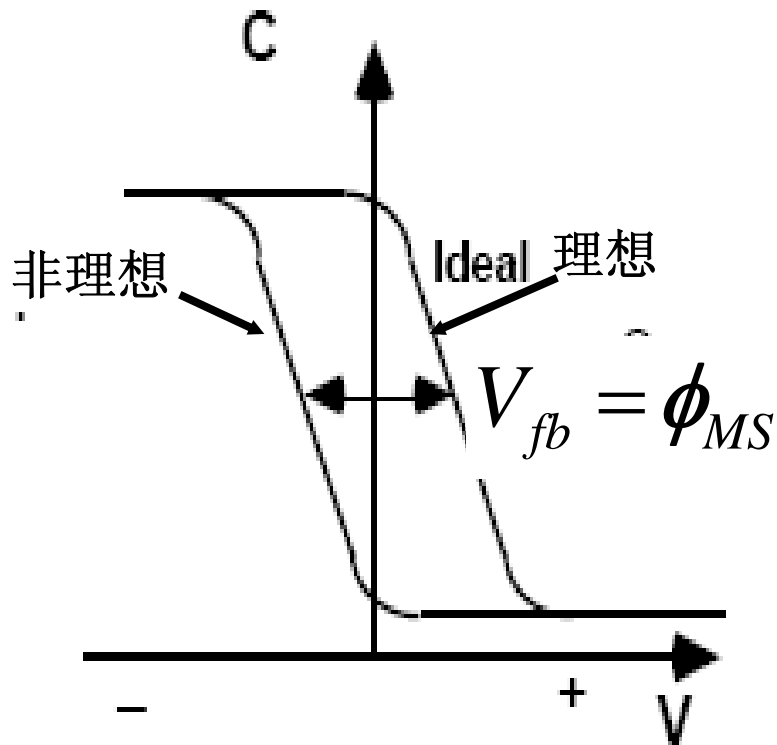
7.3.1 非理想因素一：金属半导体功函数不同

7、功函数差引起的平带漂移对CV曲线的影响

将引起CV曲线的漂移：

$V_{FB} < 0$ 右移

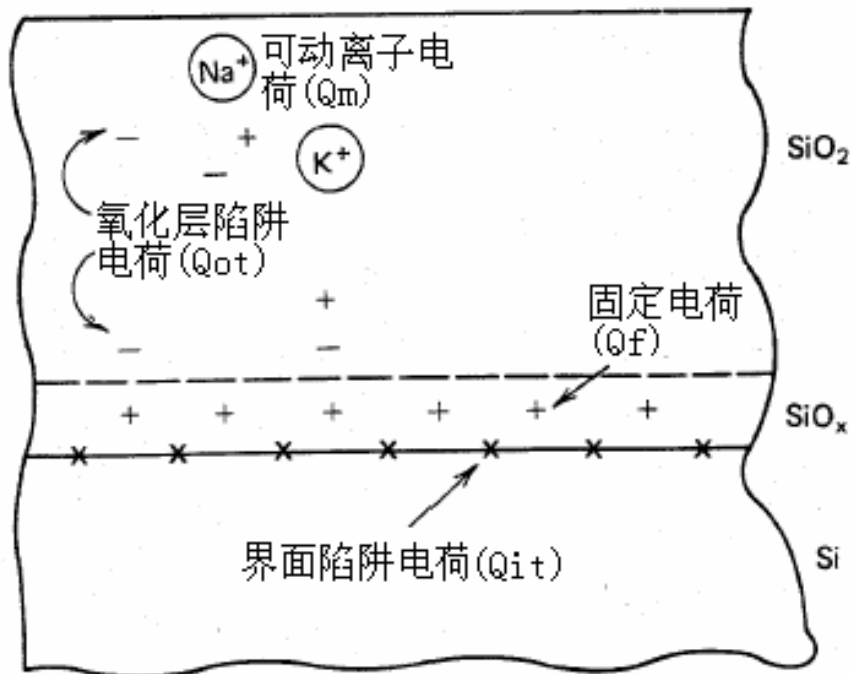
$V_{FB} > 0$ 左移



§ 7.3 非理想MOS结构

7.3.2非理想因素二：在氧化层和氧化层与Si界面中的各种电荷

Si技术中的真正的魔法，不是发生在Si晶体，而是发生在SiO₂中。SiO₂构成了Si器件的核心部件。Si材料性质很早就基本研究清楚了，但对SiO₂及其与Si界面性质的研究直到现在还是一个重要的研究课题。



氧化层和界面电荷包括：

- 1) 氧化层中的可动离子电荷 Q_m
- 2) 氧化层中的陷阱电荷（电子或空穴） Q_{ot} ;
- 3) 工艺引入的氧化层固定电荷 Q_f
- 4) 氧化层—Si界面的表面态引入的陷阱电荷 Q_{it}

§ 7.3 非理想MOS结构

1. 固定电荷 (Q_f)

氧化层的固定电荷往往与工艺有关，往往取决于 SiO_2 中Si和O的非理想化学配比。通常， SiO_2 中存在超配比的Si将会产生正的固定电荷。当固定电荷出现在界面附近时，将会对MOS结构的平带电压 V_{FB} 产生影响，使 V_{FB} 发生变化，在C-V曲线上表现为漂移。通过测量完整的C-V曲线，并与理想的C-V曲线进行比较，根据漂移量可以给出固定电荷的大小。

$$V_{fb} = \phi_{MS} - \frac{Q_f t_{ox}}{\epsilon_{ox}} = \phi_{MS} - \frac{Q_f}{C_{ox}}$$

§ 7.3 非理想MOS结构

2. 氧化层陷阱电荷 (Q_{ot})

氧化层中电子或空穴陷阱可能是由工艺过程（如离子注入、反应离子刻蚀、溅射等）产生的高能粒子（如光子或离子）的轰击产生；也可能是由其它工艺因素（如氧化层制备中形成的氧空位缺陷）引入；也可能是由于某些注入粒子（如器件工作过程中产生的H或H₂粒子）形成。未俘获电子或空穴的氧化层陷阱态可以是中性的，也可以是带正电或负电：

- 中性陷阱俘获电子或空穴将带负电或正电；
- 带负电陷阱容易吸引俘获空穴，变成电中性；
- 带正电陷阱容易吸引俘获电子，变成电中性；

§ 7.3 非理想MOS结构

3. 可动离子电荷 (Q_m)

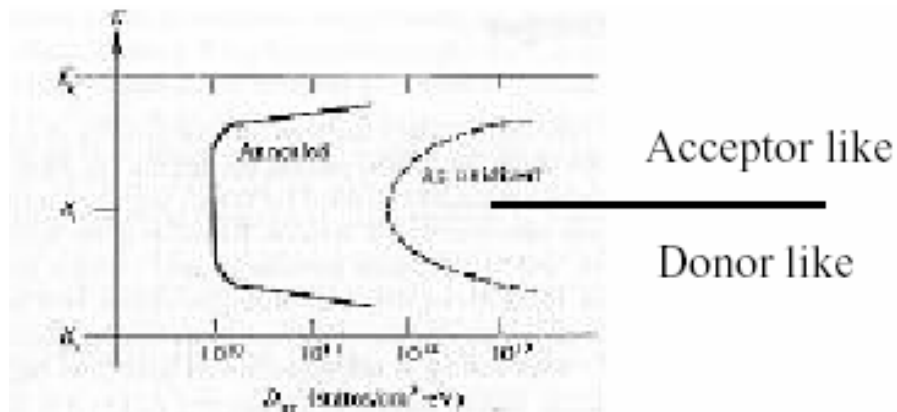
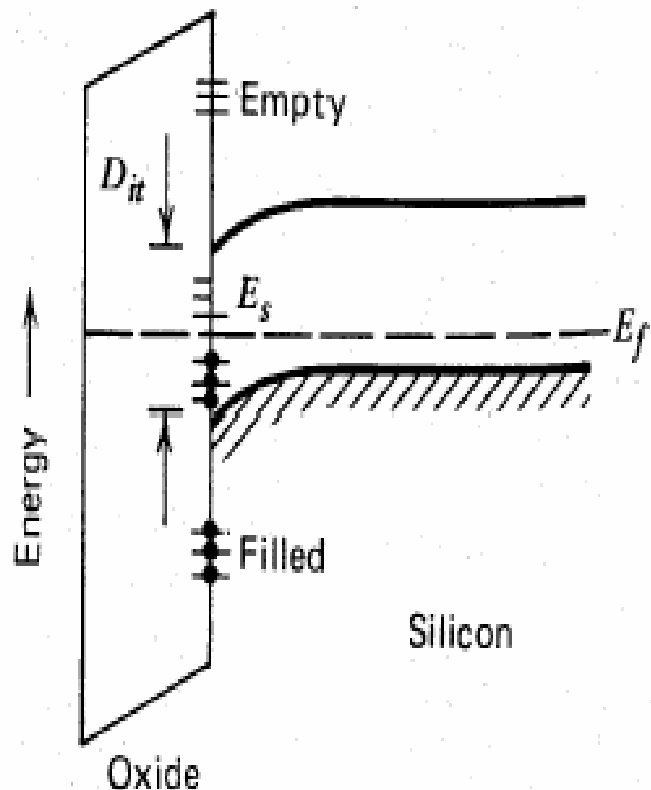
氧化层中的可动离子一般是由工艺过程中金属离子的沾污造成的。通过改进栅氧化层制备前的预栅清洗工艺，可以将可动离子浓度控制在可以忽略的范围。

通过温度—偏置实验，可以方便测量出可动离子的浓度：首先将晶片加热到 300°C 左右后，分别施加 (5-10V) 的正或负偏置栅压，则可分别将可动离子 Q_m 移动到 SiO_2 -Si界面和金属-SiO₂界面。分别在正或负偏置作用后，测量MOS结构的CV曲线，则根据CV曲线的 V_{fb} 漂移量大小，确定可动离子的多少。

§ 7.3 非理想MOS结构

4. 界面陷阱电荷 (Q_{it})

界面陷阱电荷源于界面态的存在，其对平带电压的影响与界面态的填充有关；界面态密度一般是界面态能级的函数，其填充与表面势相关；此外，在Si-SiO₂界面存在的界面态可进一步区分为类施主(Donor like)和类受主(Acceptor like)两种情形。因此界面陷阱电荷对平带电压的影响非常复杂。



§ 7.3 非理想MOS结构

7.3.3 氧化层和界面电荷的影响

氧化层和界面电荷对器件性能的影响主要体现在三个方面：

1. 在Si中产生感应电荷，影响Si的表面势和Si中电荷分布；
2. 电子或空穴在界面陷阱态的占据与否，与表面态能级就界面费米能级的相对关系有关，界面陷阱态上电子或空穴的填充与释放将与Si体内发生载流子的交换，影响Si中载流子和电荷的分布，引起表面势的变化并引入附加的电容因子，同时界面陷阱态上电子或空穴的填充与释放将与Si的表面势相关，又会影响Si的表面势；
3. 体和界面陷阱电荷作为散射中心，会影响Si表面载流子的输运（引起沟道载流子迁移率下降）；同时作为复合中心，影响氧化层中电流的输运特征，如带一带隧穿等。

氧化层与Si界面的表面陷阱态与Si晶体的晶向有关，而且与后续的退火工艺有关。

§ 7.3 非理想MOS结构

7.3.3 氧化层和界面电荷的影响

1、氧化层电荷对表面势的作用

假设氧化层厚度为 t_{ox} ，在不存在氧化层电荷时，MOS结构处于平带状态。设氧化层栅电极界面为坐标原点，即 $x=0$ 。如果在氧化层中 x 处，存在电荷 Q 。该电荷的作用将在栅电极和Si中感应电荷，Si中形成表面势。设想在栅电极施加栅电压 δV_g 时，使得Si恢复平带状态，则在Si中净电荷和电场为0，在氧化层中 $x \sim t_{ox}$ 和Si中没有净电荷存在。根据Gauss定律，外加的栅压 δV_g 在栅电极感应电荷 $-Q$ ，形成电场 $-Q / \epsilon_{ox}$ 并且氧化层的 $0 \sim x$ 区域的电势降为 $-xQ / \epsilon_{ox}$ ，正好等于恢复平带所加的栅压。

$$\delta V_g = -xQ / \epsilon_{ox}$$

§ 7.3 非理想MOS结构

7.3.3 氧化层和界面电荷的影响

2、氧化层和界面电荷对表面势的作用

假设在氧化层和界面存在的电荷分布为

$$\rho(x, \psi_s) = \rho(x) + Q_{it}(\psi_s) \delta(x - t_{ox})$$

则恢复平带所需要外加的栅压为

$$\begin{aligned} \Delta V_g &= \Delta V_g(\psi_s) = -\frac{1}{\epsilon_{ox}} \int_0^{t_{ox}} x \rho(x, \psi_s) dx \\ &= -\frac{1}{\epsilon_{ox}} \left(\int_0^{t_{ox}} x \rho(x) dx + Q_{it}(\psi_s) t_{ox} \right) \end{aligned}$$

7.3.3 氧化层和界面电荷的影响

2、氧化层和界面电荷对表面势的作用

氧化层电荷及界面电荷可以包括各种形式，如前讨论。

我们可以定义等效氧化层电荷密度

$$Q_{ox} = Q_{ox}(\psi_S) \equiv \int_0^{t_{ox}} \frac{x}{t_{ox}} \rho(x, \psi_S) dx = \int_0^{t_{ox}} \frac{x}{t_{ox}} \rho(x) dx + Q_{it}(\psi_S)$$

则可以确定达到平带所加的栅压为

$$\Delta V_g(\psi_S) = -\frac{Q_{ox}(\psi_S)}{C_{ox}}$$

氧化层电荷及界面电荷引起的平带漂移为：

$$\Delta V_{fb}(\psi_S) = -\frac{Q_{ox}(\psi_S)}{C_{ox}}$$

§ 7.3 非理想MOS结构

7.3.3 氧化层和界面电荷的影响

3、氧化层固定电荷的作用

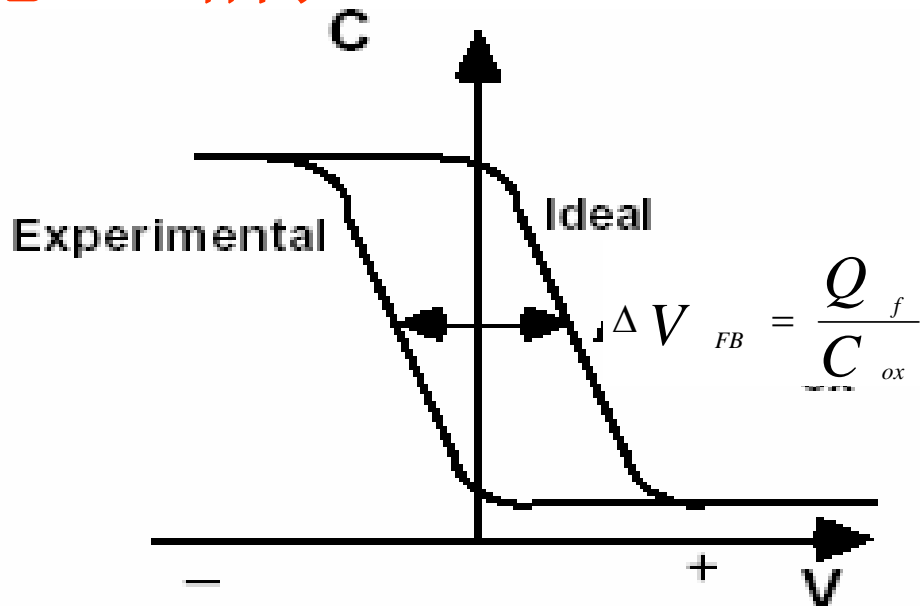
对于在二氧化硅层内存在的氧化层固定电荷，其对平带电压的影响表示为：

$$\begin{aligned}\Delta V_g &= -\frac{1}{\epsilon_{ox}} \int_0^{t_{ox}} x \rho(x, \psi_s) dx \\ &= -\frac{1}{\epsilon_{ox}} \int_0^{t_{ox}} x \rho(x) dx = -\frac{t_{ox}}{\epsilon_{ox}} \int_0^{t_{ox}} \rho(x) \frac{x}{t_{ox}} dx = -\frac{Q_f}{C_{ox}}\end{aligned}$$

等效为在氧化层与Si界面存在集中的固定电荷 Q_f

$$Q_f = \int_0^{t_{ox}} \rho(x) \frac{x}{t_{ox}} dx$$

§ 7.3 非理想MOS结构



$$V_{FB} = \phi_{MS} - \frac{Q_f t_{ox}}{\epsilon_{ox}} = \phi_{MS} - \frac{Q_f}{C_{ox}}$$

$$V_T = \phi_{MS} - \frac{Q_f t_{ox}}{\epsilon_{ox}} + \frac{t_{ox}}{\epsilon_{ox}} \sqrt{2\epsilon_{Si} q N_a (-2\phi_P)} - 2\phi_P$$

当 $T_{ox} = 100\text{nm}$, $Q_f = 10^{11}\text{cm}^{-2}$ 时, $\Delta V_{fb} = 0.5\text{V}$

§ 7.3 非理想MOS结构

4、氧化层陷阱电荷的影响

$$\Delta V_g = -\frac{1}{\epsilon_{ox}} \int_0^{t_{ox}} x \rho(x, \psi_s) dx$$

$$= -\frac{1}{\epsilon_{ox}} \int_0^{t_{ox}} x \rho(x) dx = -\frac{t_{ox}}{\epsilon_{ox}} \int_0^{t_{ox}} \rho(x) \frac{x}{t_{ox}} dx = -\frac{Q_{ot}}{C_{ox}}$$

等效为在氧化层与Si界面存在集中的陷阱电荷 Q_{ot}

$$Q_{ot} = \int_0^{t_{ox}} \rho(x) \frac{x}{t_{ox}} dx$$

由于氧化层陷阱电荷的充放电，会影响等效的氧化层陷阱电荷，而氧化层陷阱电荷的充放电行为与测量CV时的扫描方式有关，因此，采用不同的扫描发生测量CV的回滞行为，可以确定氧化层陷阱电荷。

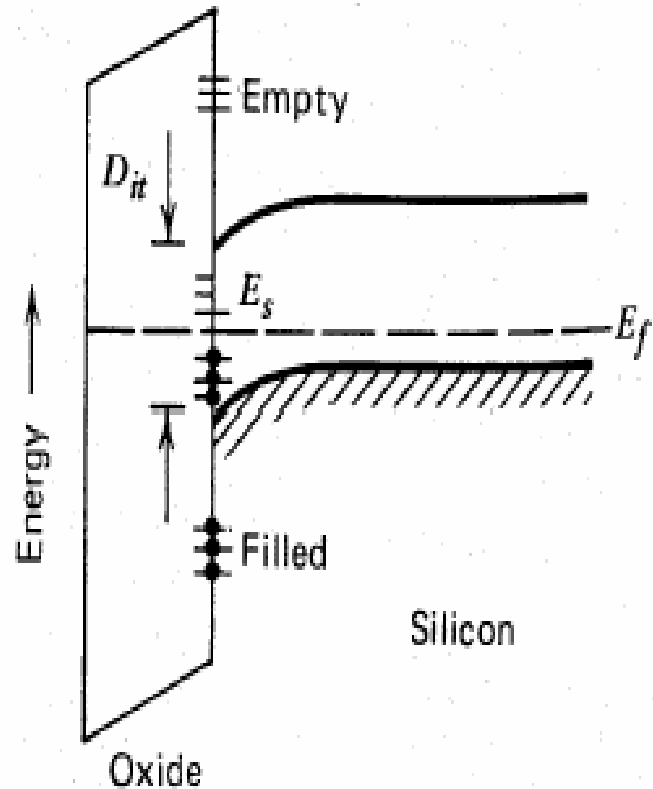
$$\begin{aligned} \Delta V_{FB} &= -\frac{1}{\kappa_{ox} \epsilon_0} \int_0^{x_{ox}} \rho(x) x dx \\ &= -\frac{x_{ox}}{\kappa_{ox} \epsilon_0} \int_0^{x_{ox}} \rho(x) \frac{x}{x_{ox}} dx \\ &= -\frac{Q_f}{C'_{ox}} - \frac{1}{C'_{ox}} \int_0^{x_{ox}} Q_{ot}(x) \frac{x}{x_{ox}} dx \end{aligned}$$

§ 7.3 非理想MOS结构

5、界面态陷阱电荷的影响

$$\Delta V_g = \Delta V_g(\psi_s) = -\frac{1}{\epsilon_{ox}} \int_0^{t_{ox}} x \rho(x, \psi_s) dx = -\frac{Q_{it}(\psi_s) t_{ox}}{\epsilon_{ox}}$$

由于表面势是栅压依赖的，因此，在不同的栅压和表面势情形下的平带漂移是不一样的，因此，对CV曲线的影响比较复杂。



§ 7.3 非理想MOS结构

6、界面电荷的影响

定义界面陷阱电容 $C_{it}(\psi_s) \equiv \frac{d|Q_{it}(\psi_s)|}{d\psi_s}$

存在界面和氧化层电荷包括固定和陷阱电荷时，栅方程改写为：

$$V_g = \Delta V_g(\psi_s) - \frac{Q_s}{C_{ox}} + \psi_s = -\frac{Q_s(\psi_s) + Q_{ox}(\psi_s)}{C_{ox}} + \psi_s$$

$$C = -\frac{d(Q_s + Q_{ox})}{dV_g} \quad Q_{ox} = Q_{ox}(\psi_s) = \int_0^{t_{ox}} \frac{x}{t_{ox}} \rho(x) dx + Q_{it}(\psi_s)$$

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_{Si} + C_{it}}$$

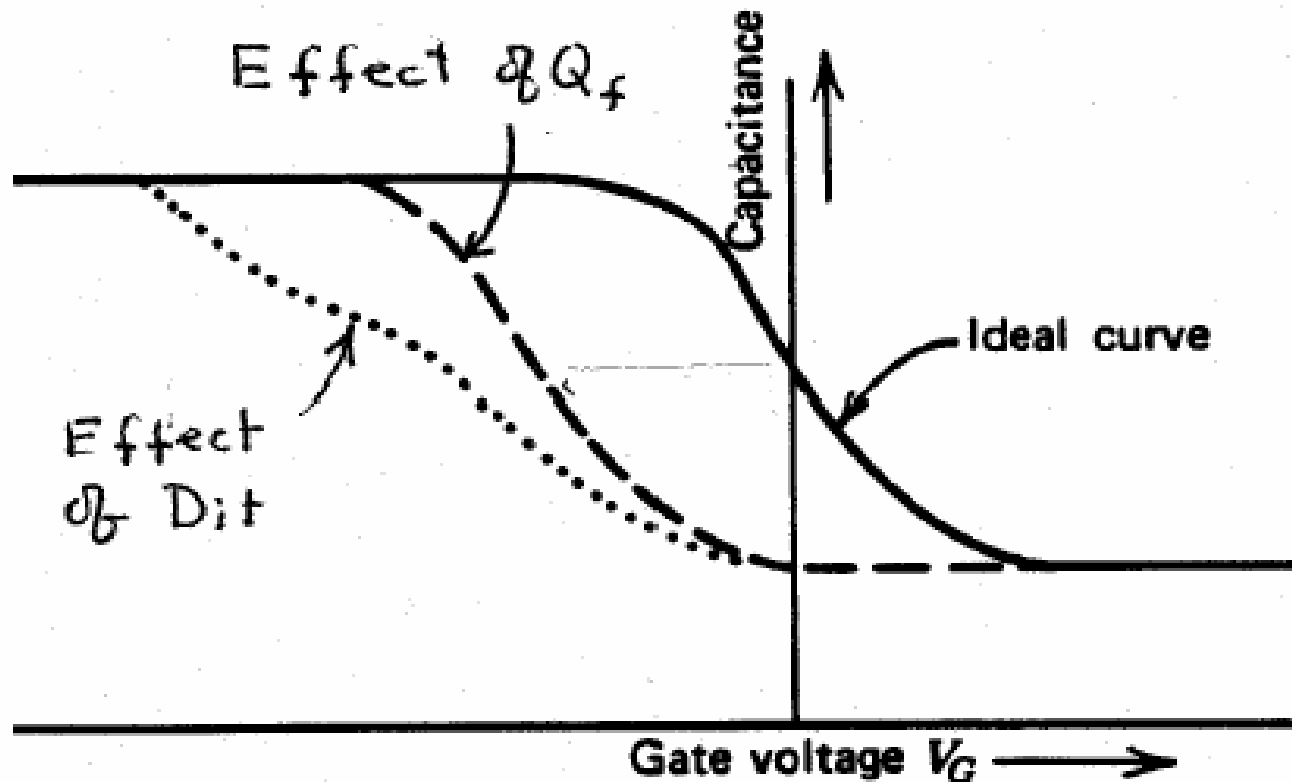
同时考虑功函数影响，此时的平带条件为：

$$V_g = V_{fb} = \phi_{MS} + \Delta V_{fb}(\psi_s) = \phi_{MS} - \frac{Q_{ox}(\psi_s)}{C_{ox}}$$

§ 7.3 非理想MOS结构

7.3.4 氧化层和界面电荷对CV曲线的影响

Q_f 和 Q_{it} 对C-V特性的影响



界面陷阱电荷 (Q_{it}) 与所加偏置和界面陷阱的费米能级有关, 这将引起 ΔV_G 的畸变平移

§ 7.3 非理想MOS结构

7.3.4 MOS结构中的其它效应

1. 多晶硅功函数和耗尽效应

在集成电路技术中，传统的栅电极为重掺杂多晶硅栅。重掺杂多晶硅作为栅电极的好处是其功函数通过掺杂进行调制。通常，将nMOS和pMOS的多晶硅栅电极的费米能级分别调至导带和价带附件，即 $E_f=E_C$ 或 $E_f=E_V$ ，功函数差分别为：

$$\phi_{ms} = -\frac{E_g}{2q} - \psi_B = -0.56 - \frac{kT}{q} \ln\left(\frac{N_a}{n_i}\right) \quad \text{nMOS}$$

$$\phi_{ms} = \frac{E_g}{2q} + \psi_B = 0.56 + \frac{kT}{q} \ln\left(\frac{N_d}{n_i}\right) \quad \text{pMOS}$$

7.3.4 MOS结构中的其它效应

1. 多晶硅功函数和耗尽效应

但在以多晶硅作为栅电极的MOS结构中，观察到了反型电容下降的现象。经过研究分析，将之归于多晶硅栅的耗尽效应，即多晶硅耗尽效应（**Poly Depletion Effect**）。此时栅方程写为：

$$V_g = V_{fb} + \psi_S + \psi_p - \frac{Q_S}{C_{Ox}} \quad V_{fb} = \phi_{ms} - \frac{Q_{Ox}}{C_{Ox}}$$

其中， Q_S 是多晶硅耗尽电荷

总电容可表示为：

$$\frac{1}{C} = \frac{1}{C_{Ox}} + \frac{1}{C_{Si}} + \frac{1}{C_p}$$

其中：

$$C_p = -dQ_S / d\psi_p = dQ_p / d\psi_p \quad \text{是多晶硅耗尽电容}$$

1. 多晶硅功函数和耗尽效应

当p-Si衬底处于强反型时，

$$C_{Si} = |Q_s| / (2kT / q) = Q_p / (2kT / q)$$

在耗尽近似下，多晶硅耗尽电容可表示为：

$$C_p = \epsilon_{Si} q N_p / Q_p \quad N_p \text{是多晶硅栅掺杂浓度}$$

于是，总的电容表达式为：

$$\frac{1}{C} = \frac{1}{C_{Ox}} + \frac{2kT / q}{Q_p} + \frac{Q_p}{\epsilon_{Si} q N_p}$$

1. 多晶硅功函数和耗尽效应

当 V_g 变得很正时，

$C_{Si} (\propto Q_p)$ 增加 而 $C_p (\propto 1/Q_p)$ 则减小

因此，总电容 C 在某 V_g 或 Q_p 值时存在极大值

极值情形下对应的 $Q_p = \left(2\varepsilon_{Si} kTN_p\right)^{1/2}$

因此获得低频CV曲线的最大电容值为：

$$\frac{1}{C_{\max}} = \frac{1}{C_{Ox}} + \sqrt{\frac{8kT}{\varepsilon_{Si} q^2 N_p}}$$

2. 非平衡和栅控二极管情形的MOS特征

在具有MOSFET结构的MOS电容情形下， n^+ 区与 p 衬底相连形成pn结。在栅压作用下，沟道反型连到 n^+ 区。

在PN结反向偏置时，MOS不处于热平衡，此时 $np \neq n_i^2$

由于 n^+ 区费米能级比衬底低 qV_R ，结中P端的电子浓度为：

$$n = \frac{n_i^2}{N_a} e^{-qV_R/kT}$$

考虑正栅压足够高，使得能带弯曲达到 $2\psi_B$ ，此时，表面电子的浓度比上式增加因子 $\exp(2q\psi_B/kT)$

于是，表面电子浓度变为：

$$n = \frac{n_i^2}{N_a} e^{2q\psi_B/kT} e^{-qV_R/kT} = N_a e^{-qV_R/kT}$$

2. 非平衡和栅控二极管情形的MOS特征

这说明，在表面少子电子的浓度远小于体内多子浓度 N_a （也是耗尽层电荷密度），因此，表面仍然维持耗尽。这说明，在平衡情形下足够反型的栅压，在反型偏置下，并不能使之反型。这是因为，反向偏置降低了电子的准费米能级，在表面能带的弯曲达到平衡时强反型要求的 $2\psi_B$ 时，相对于准电子费米能级仍不能满足强反型的要求，需要进一步增加栅压，直至其表面势达到：

此时，表面电子的浓度变为

$$n = \frac{n_i^2}{N_a} e^{(2q\psi_B + V_R)/kT} e^{-qV_R/kT} = N_a$$

2. 非平衡和栅控二极管情形的MOS特征

因此，在衬底与源漏存在反偏时（反偏电压为 V_R ），沟道发生强反型的条件变为： $\psi_S(inv) = V_R + 2\psi_B$

相应的耗尽层厚度极大值变为：

$$W_{dm} = \sqrt{\frac{2\epsilon_{Si}(V_R + 2\psi_B)}{qN_a}}$$

3. 带带隧穿(band-to-band tunneling)

在强场条件下，源漏间可能出现带带隧穿效应，由此引起的隧穿电流可表示为：

$$J_{b-b} = \frac{\sqrt{2m^*} q^3 \varepsilon V_a}{4\pi^3 \hbar^2 E_g^{1/2}} \exp\left(-\frac{4\sqrt{2m^*} E_g^{3/2}}{3q\varepsilon\hbar}\right)$$

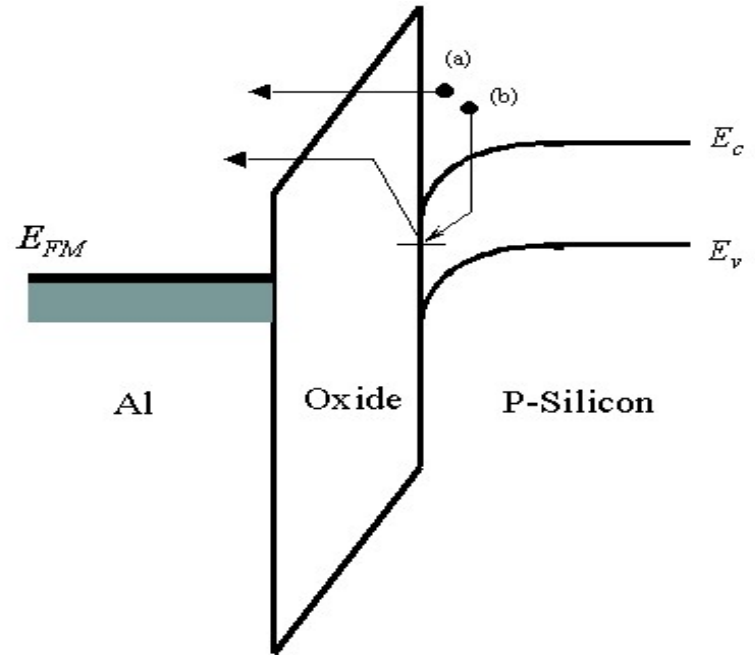
其中 $\vec{\varepsilon} = \sqrt{\frac{2qN_a(V_a + \psi_{bi})}{\varepsilon_{Si}}}$

4. 栅介质SiO₂层的隧穿电流

电子可以以隧穿机制通过栅介质SiO₂层，相关的隧穿包括：

- FN隧穿
- 直接隧穿
- 陷阱辅助的直接隧穿

FN隧穿

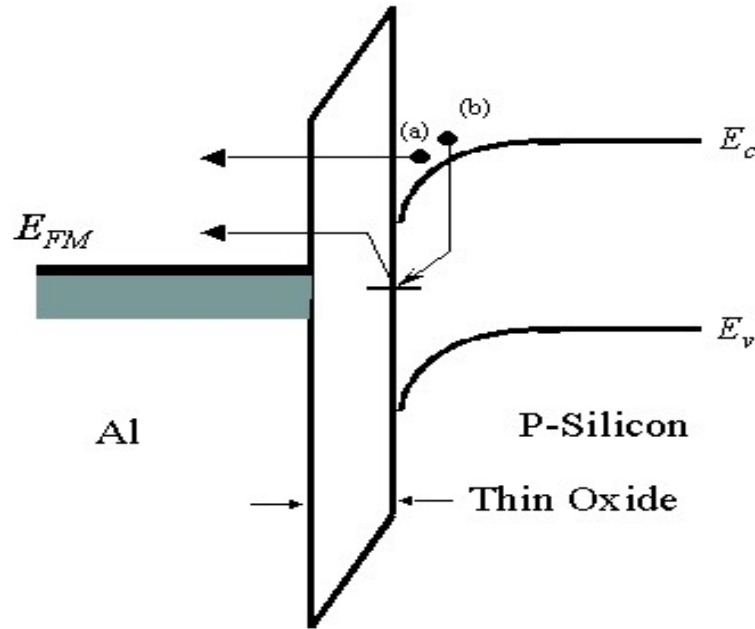


FN隧穿

$$J_{FN} = \frac{q^3 \Sigma_{ox}^2}{16 \pi^2 \hbar \phi_{Ox}} \exp \left(- \frac{4 \sqrt{2m^*} \phi_{Ox}^{3/2}}{3 \hbar q \Sigma_{ox}} \right)$$

4. 栅介质SiO₂层的隧穿电流

直接隧穿



$$J_{DT} = \frac{A}{t^2} \exp\left(-2t \sqrt{\frac{2m^*q}{\hbar^2} \left\{ \phi_B - \frac{V_{diel}}{2} \right\}}\right)$$

5. 热载流子注入 (Injection of Hot Carrier)

幸运电子 (Lucky-electron) 模型

在Si中距离Si-SiO₂界面距离为d处导带电子发射进入SiO₂的概率可表示为： $P(d) = A \exp(-d / \lambda)$

其中 λ 为热电子能量损失的有效平均自由程

发射相关的有效势垒为： $qV(d) = \phi_{ox} - \Delta\phi - \alpha\Sigma_{ox}^{2/3}$

$$\Delta\phi = \sqrt{\frac{q^3 E_{ox}}{4\pi E_{ox}}} \quad \text{镜像力感应的势垒降低}$$

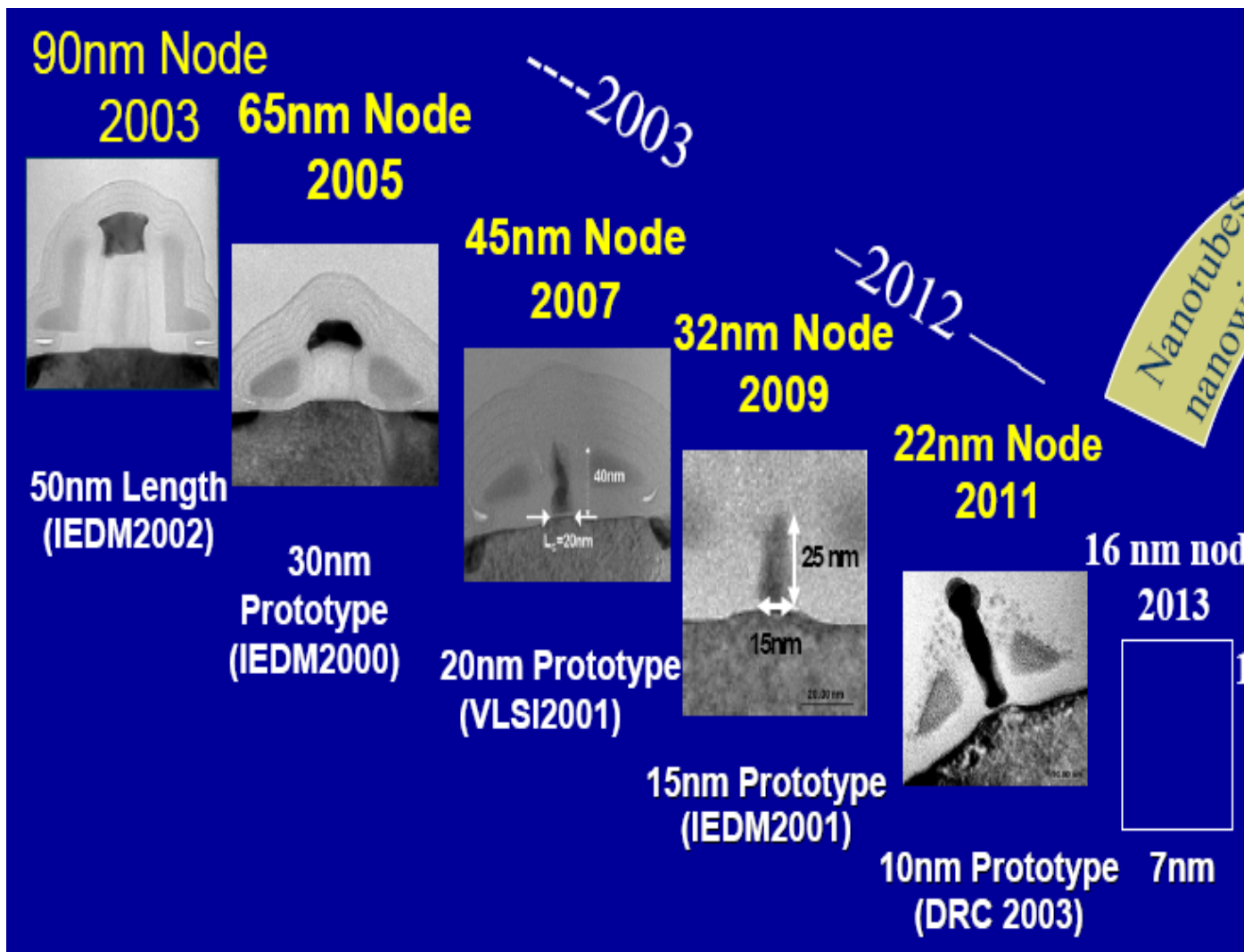
有效平均自由程的温度
依赖关系可表示为：

$$\lambda(T) = \lambda_0 \tanh(E_R / 2kT)$$

6. 金属栅和高K栅介质的应用

• 按比例缩小 (Scaling down) 的规则

不断缩小器件特征尺寸，是半导体集成电路技术发展的基本规律

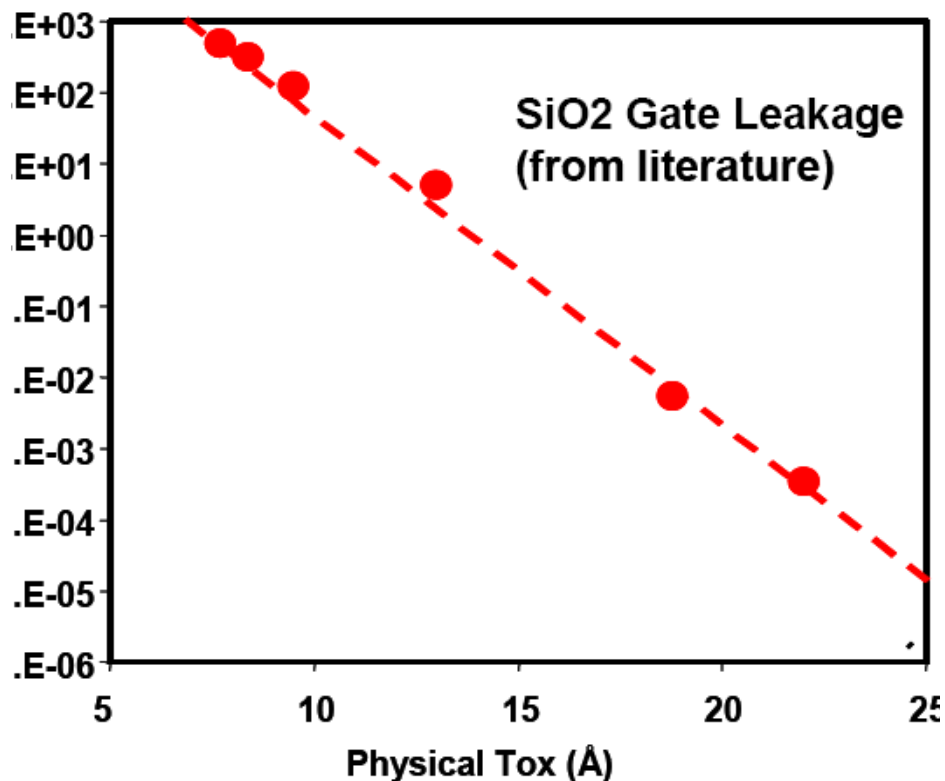
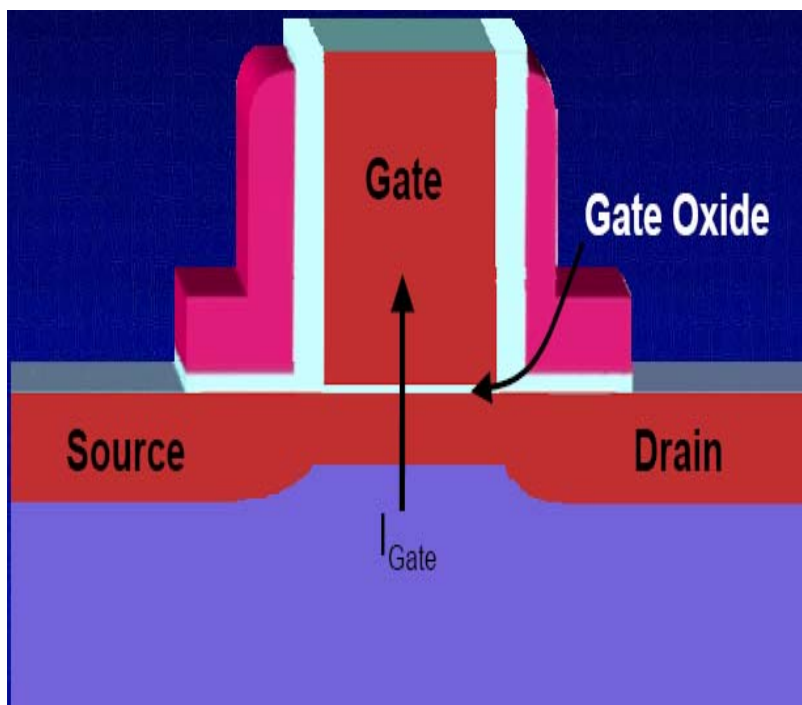


为维持好的器件特征，保证栅对沟道载流子分布的有效控制，MOS器件特征尺寸在缩小过程中，各结构参数需要遵循一定的规律，即按比例缩小规则。

6. 金属栅和高K栅介质的应用

- 栅氧化层厚度缩小的物理限制

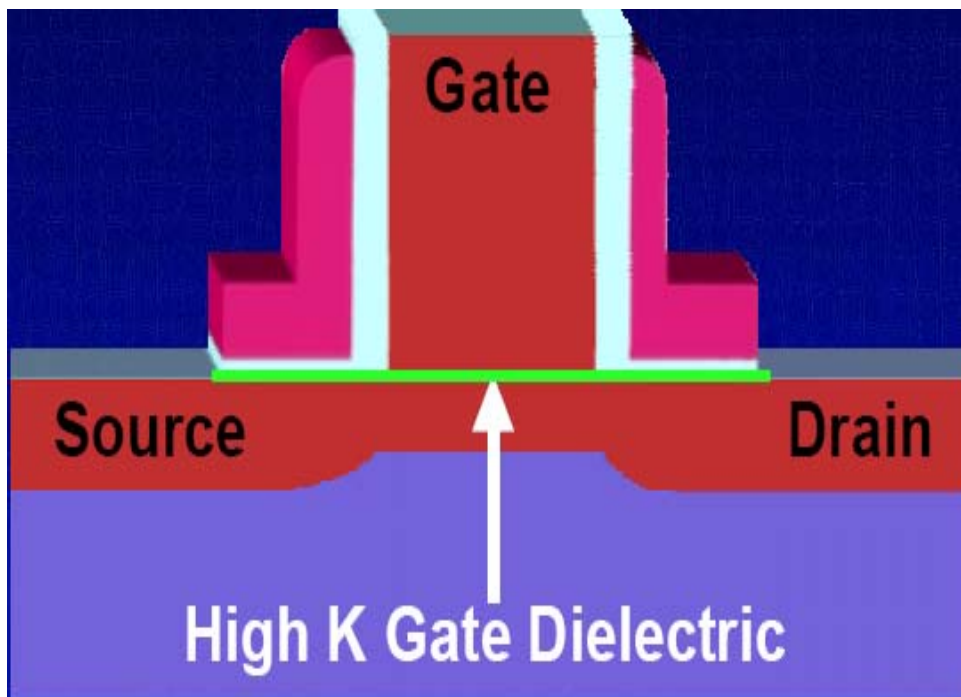
随器件特征尺寸的缩小，沟道长度、栅氧化层厚度、源漏与沟道结深尺度需要按比例缩小 ($L \propto T_{ox} X_j^{1/3}$)。当栅氧化层厚度缩小到2nm以下时，量子直接隧穿效应将变得非常显著。



6. 金属栅和高K栅介质的应用

- 高K栅介质和金属栅电极的需求

利用高K栅介质替代 SiO_2 作为栅介质层材料，由于在维持相同等效氧化层厚度的情形下，可使用厚的介质层厚度，从而显著减小量子直接隧穿效应引起的栅泄漏电流。

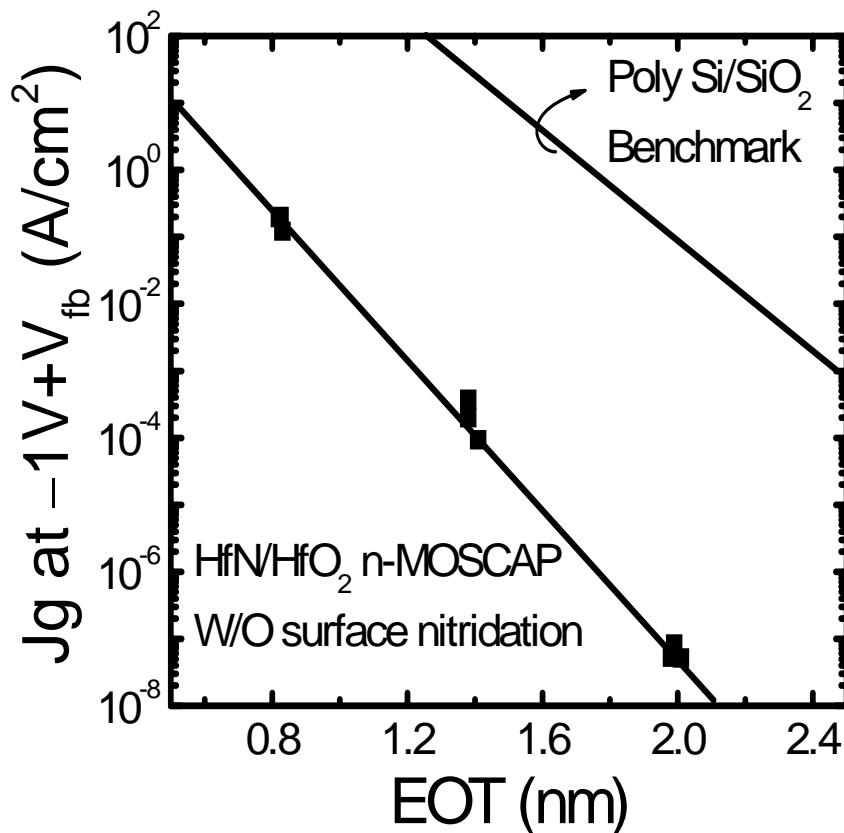
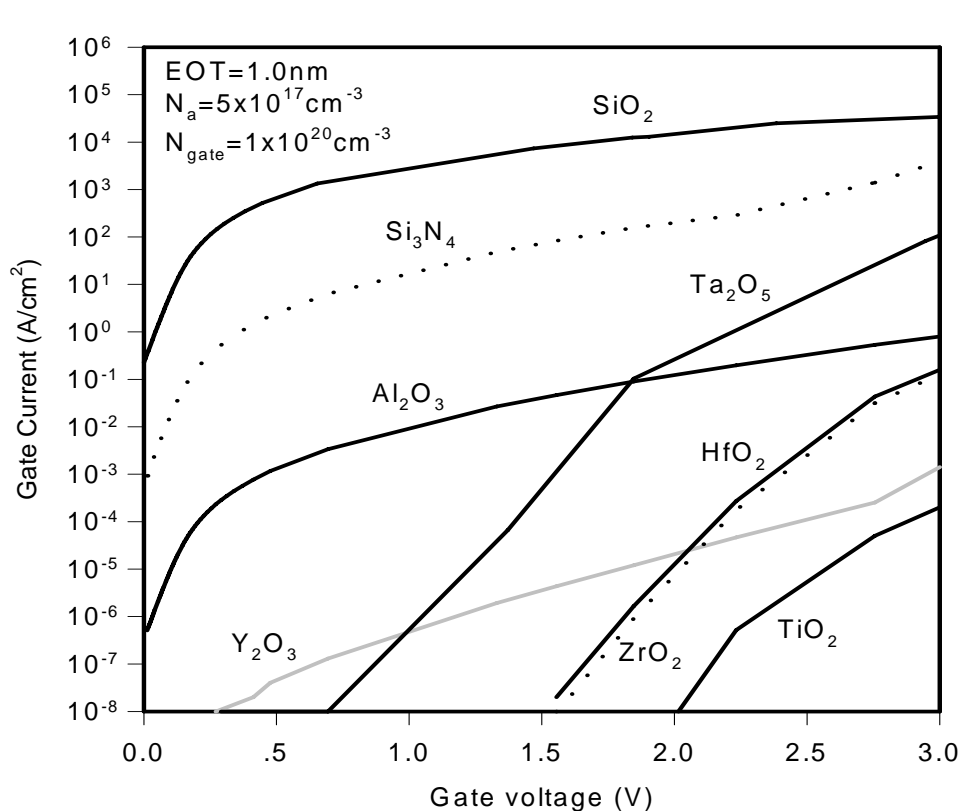


等效氧化层厚度（Equivalent Oxide Thickness, EOT）是指厚度为 t_{ph} 介电常数为 ϵ_{Hi} 的介质材料等效为 SiO_2 对应的厚度：

$$C = \frac{\epsilon_{\text{SiO}_2}}{t_{ox}} = \frac{\epsilon_{Hi}}{t_{ph}}$$
$$EOT = t_{ox} = \frac{\epsilon_{\text{SiO}_2}}{\epsilon_{Hi}} t_{ph}$$

6. 金属栅和高K栅介质的应用

理论计算和实验结果均证实与SiO₂栅介质相比，采用高K栅介质后，在相同的EOT下，栅泄漏电流可显著减小



各种高K介质材料及SiO₂栅泄漏电流的理论计算结果

实验测量的高K栅介质与SiO₂栅泄漏电流比较